Σ-Δ modulator의 구조를 갖는 A/D 변환기 설계

정회원 윤 정 식*, 정 정 화**

A Design on the A/D converter with architecture of Σ-Δ

Jeoung-Sig Yoon*, Jong-Wha Chong** *Regular Members*

요 약

본 논문에서는 2 Ms/s의 데이터 rate와 12-비트의 해상도를 갖는 Sigma-delta modulator의 구조를 제안한다. Sigma-delta modulator는 oversampling과 노이즈 shaping의 두 가지 특성으로 인해 낮은 해상도의 A/D 변환기와 결합하여 높은 해상도를 갖는 A/D 변환기의 구현이 가능하다는 장점으로 audio 응용 분야에 널리 사용되어 왔다. 그러나, Sigma-delta modulator를 무선 데이터 통신 등 다양한 응용 분야에서 사용하기 위해서는 좀더 높은 데이터 rate를 갖는 Sigma-delta modulator에 관한 연구가 필요하게 되었다. 본 논문에서 제안한 Sigma-delta modulator 구조는 기존의 64 내지 256의 oversampling비를 16으로 낮추어 sampling을 하여 기존의 수 십에서 수 백 Ks/s정도의 데이터 rate를 1 Ms/s 이상의 높은 데이터 rate에서 동작하도록 하였다. 그리고 두 개의 2차 Sigma-delta modulator를 Cascade 구조로 연결하고, 이득을 최적화하여 4차의 Sigma-delta modulator와 유사한 결과를 얻을 수 있었다. 내부에는 1-비트 A/D, D/A 변환기를 채용하여 부가적인 calibration 회로가 필요 없도록 하였다.

ABSTRACT

This thesis proposes a sigma-delta modulator architecture with 2 Ms/s data rate and 12 bit resolution. A sigma-delta modulator has the features of oversampling and noise shaping. With these features, it can be connected with low resolution A/D converter to achieve higher resolution A/D converter. Most previous researches have been concentrated on high resolution but low data rate applications, e.g. audio applications. But, in order to be applied to various applications such as wireless data communication, researches on sigma-delta modulator architecture for higher data rate are required. The proposed sigma-delta modulator architecture has the sampling rate of 16 times Nyquist rate to achieve high data rate, and consists of a cascade of two 2nd order sigma-delta modulator to get relatively high resolution. The experimental result shows that the proposed architecture achieves 12-bit resolution at 2 Ms/s data rate.

Key word : oversampling, A/D converter, sigma-delta modulator, noise shaping, resolution

Ⅰ. 서 론

최근 휴대용 무선기기와 무선 데이터 통신에 대한 관심과 연구가 활발해지고 있다. 따라서 많은 양의 데이터를 빠른 속도로 보내기 위해서 높은 데이터 rate를 가지는A/D 변환기의 필요성이 증가하고 있다.

아날로그 영역과 디지털 영역을 이어주는 역할을 하는 A/D 변환기의 특성상, A/D 변환기에는 아날로그 회로와 디지털 회로가 공존한다. 최근의 디지털 집적회로 기술의 발달과 VHDL과 같은 하드웨어 기술언어의 발전, 이를 이용하는 CAD 툴의 발달 등으로 인해, 디지털 집적회로의 설계는 비교적 용이하게 되었다. 그러나 아날로그 집적회로는 아직까지 디지털 집적회로에 비해 상대적으로 설계와 구현이 어렵다. 그리하여 A/D 변환기내의 아날로그 회로의 구성을 비교적 간단하게 구현할 수 있는 Sigma-delta modulator를 사용한 A/D 변환기에 대한 관심이 높아졌다.

* 경민대학 디지털 정보통신과(yoon101@kyungmin.ac.kr) ** 한양대학교 전자공학과
논문번호 : 020035-0124, 접수일자 : 2002년 1월 24일

초기의 Sigma-delta modulator는 데이터 rate가 비교적 낮은 audio 응용 분야에 많이 사용되었다. 그리고 sigma-delta modulator의 기본적인 특성상 높은 해상도를 갖는 방향으로의 연구가 대부분이었다. 높은 해상도를 갖게 하려면 oversampling비는 점차 커질 수밖에 없다. 그러나 점차 높은 데이터 rate를 가지는 응용 분야에 대해서도 Sigma-delta modulator를 사용하려는 연구가 진행됨에 따라 낮은 oversampling비에서 높은 데이터 rate를 가지는 Sigma-delta modulator에 관한 연구가 필요하게 되었다. 본 논문은 제Ⅱ장에서 Sigma-delta modulator의 원리에 대해서 알아보고, 제 Ⅲ장에서는 Sigma-delta modulator의 여러 가지 구조에 대하여 설명하고 제 Ⅳ장에서는 제안한 구조에 대하여 기술하며, 제 Ⅴ장에서는 제안한 구조를 실험을 통해서 검증하며, 제 Ⅵ장에서 결론을 다룬다.

Ⅱ. Sigma-Delta Modulator

1. Oversampling

아날로그 신호를 디지털 신호로 바꾸기 위해서는 먼저 sampling작업을 필요로 한다. 일반적인 sampling은 입력신호의 주파수 대역폭의 두 배가 되는 주파수로 sampling을 하게 된다. 이 때의 sampling 주파수를 Nyquist sampling 주파수라고 하며, Nyquist sampling 주파수로 동작하는 A/D 변환기를 Nyquist-rate A/D 변환기라고 한다. Nyquist sampling 주파수보다 높은 sampling 주파수로 sampling 하는 기술이 바로 oversampling 기술이다. 그리고 이러한 기술을 사용한 A/D 변환기를 oversampling A/D 변환기라 한다. Oversampling은 주로 Nyquist sampling 주파수의 수십 배 내지 수백 배까지의 높은 주파수로 행해진다. 이 때의 oversampling 주파수와 Nyquist sampling 주파수의 비를 oversampling비라고 한다.

Nyquist sampling 주파수로 sampling을 하게 되면 A/D 변환기의 alias 신호를 없애기 위한 anti-alias 필터의 특성이 뛰어나야 한다. 그러나 oversampling을 하게 되면 필요한 주파수 대역의 신호를 alias 신호와 멀리 떨어지게 한다. 그렇게 되면 특성이 우수한 anti-alias 필터 대신 간단한 RC 필터를 사용해도 된다.

그림 2.1 (a)의 Nyquist-rate A/D변환기와 그림 2.1 (b)의 oversampling A/D 변환기를 비교해보면 oversampling A/D 변환기의 주파수 대역이

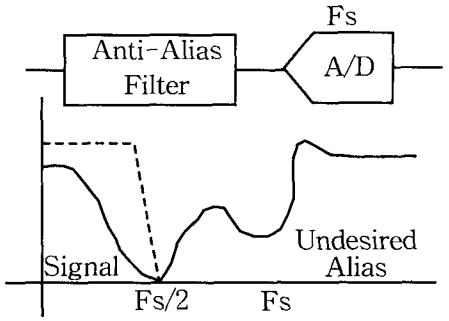


그림 2.1 (a) Nyquist-rate A/D변환기

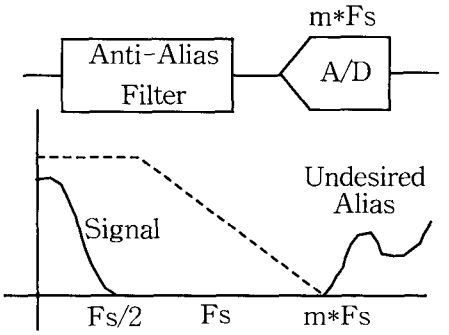


그림 2.1 (b) Oversampling A/D변환기

Nyquist-rate A/D 변환기보다 oversampling비만큼 넓다. 양자화 노이즈의 에너지는 같고 주파수 대역이 후자가 더 넓기 때문에 단위 주파수당 노이즈의 크기는 훨씬 작아지게 된다. 입력 신호는 일정하고 노이즈의 크기가 줄어들면 그에 따라서 신호 대 잡음비, SNR(Signal-to-Noise-Ratio)이 증가하게 된다. 즉 oversampling을 함으로써 A/D 변환기의 해상도를 높일 수 있게 된다.

2. 노이즈 Shaping

노이즈 shaping 기술이란 노이즈 스펙트럼의 모양을 바꾸는 것이다. 모든 노이즈를 AWGN(Additive White Gaussian Noise)으로 가정하면, 노이즈는 주파수 대역에 상관없이 고르게 분포하게 된다. 여기에 피드백과 루프 필터를 사용하여 원하지 않는 주파수 대역에서의 노이즈를 크게 만드는 대신에 원하는 주파수 대역의 노이즈를 상대적으로 줄이면 A/D 변환기의 해상도를 높일 수 있게 된다. 이것은 A/D 변환기와 필터를 피드백 루프에 위치시킴으로써 구현된다.

그러면 그림 2.2의 (b)와 같이 화이트 노이즈를 고주파 대역통과 필터를 거친 것처럼 만들 수 있다.

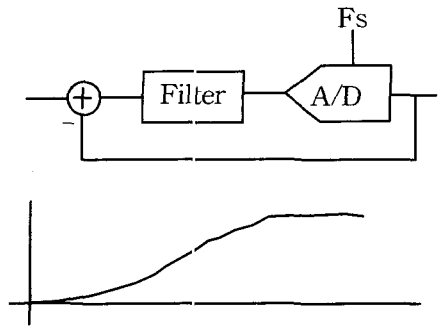


그림 2.2 (b) Noise ShapingFilter를 가진 A/D 변환기

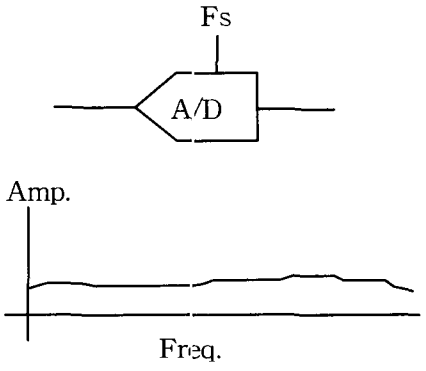


그림 2.2 (a) 일반적인 A/D 변환기

3. Sigma-Delta Modulator

Sigma-delta modulator는 일종의 데이터 변환기이다. 그림 2.3 에서와 같이 기본적인 Sigma-delta modulator는 아날로그 필터, oversampling A/D 변환기, 그리고 oversampling D/A 변환기로 구성된다.[1][2][8][9]

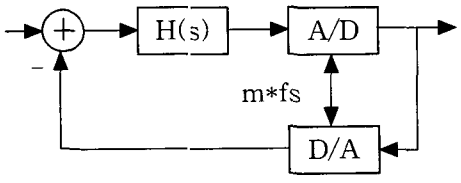


그림 2.3 Sigma-delta modulator 의 기본구성

입력 신호는 아날로그 필터를 거치게 되고 신호는 oversampling A/D 변환기를 거쳐 디지털 신호로 변환되어 출력단으로 나가 피드백 루프를 통해서 다시oversampling D/A 변환기의 입력이 된다. D/A 변환기의 출력은 A/D 변환기와 D/A 변환기를 거치는 사이에서 발생되는 양자화 노이즈가 된다.

이 때의 양자화 노이즈는 oversampling의 영향으로 넓은 주파수 대역으로 펼쳐지게 된다. 이 양자화 노이즈는 피드백 루프와 아날로그 필터를 거쳐서 출력이 된다.

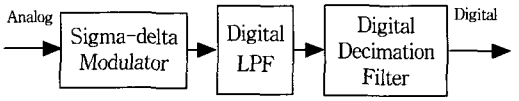


그림 2.4 Sigma-delta modulator A/D 변환기

Sigma-delta modulator의 출력 단에 디지털 저주파 대역 통과 필터를 붙여 고주파 성분의 양자화 노이즈를 제거하고 decimation 필터를 붙여 원래의 데이터 *rate*로 *downsampling*을 하면 그림 2.4와 같은 Sigma-delta modulation A/D 변환기를 구현할 수 있다. 이처럼 Sigma-delta modulator를 사용하면 낮은 해상도의 A/D 변환기를 사용하여 높은 해상도의 A/D 변환기를 구현할 수 있다.

4. Sigma-delta modulator의 선형모델

Sigma-delta modulator를 해석하기 위해서는 먼저 선형모델로 만들어야 한다. 그림 2.5 에서와 같이 sampling 주파수를 *fs*, sampling 간격을 T(1/*fs*)라고 할 때, 입력 신호가 sampling 간격동안 일정하다고 가정하면 그림과 같이 Sigma-delta modulator의 discrete-time 모델을 만들 수 있다.[1][2][4][8][9]

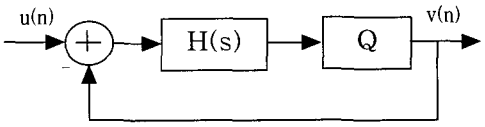


그림 2.5 Discrete-time Sigma-delta modulator 모델

여기서 u(n)은 입력, v(n)은 출력, *H(z)*는 필터, 그리고 Q는 양자화기이다.

양자화기는 비선형 소자이기 때문에 다시 노이즈 신호가 더해지는 것, 즉 그림 2.6과 같이 AWGN이 첨가되는 것으로 모델링할 수 있다.[1][2][8][9]

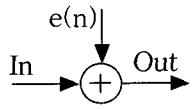


그림 2.6 양자화기의 선형 모델

여기서 e(n)은 양자화 노이즈이다. 비선형의 양자화기를 그림 2.6과 같이 모델링 하면 그림 2,7과 같은 Sigma-delta modulator의 discrete-time 선형모델을 얻을 수 있다.[1][2][8][9]

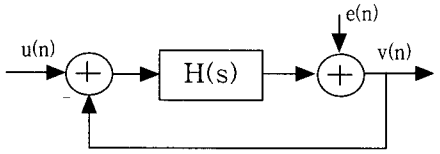


그림 2.7 Discrete-time 선형 Sigma-delta modulator 모델

5. 신호 전달함수(STF)와 노이즈 전달함수 (NTF)

앞에서 구한 선형모델을 이용하여 두 가지의 전달함수를 만들 수 있다. 하나는 입력 u(n)과 출력 v(n) 사이의 전달함수이고, 다음 하나는 입력 e(n)과 출력 v(n)사이의 전달함수이다. 전자는 입력되는 신호와 출력과의 관계를 나타내므로 신호 전달함수(STF : Signal Transfer Function)라 하고, 후자는 발생되는 노이즈와 출력과의 관계를 나타내므로 노이즈 전달함수(NTF : 노이즈 Transfer Function)라 한다.[1][2][4][8][9] 이 두 가지 전달함수를 이용하여 Sigma-delta modulator의 출력을 구하면,

$$Y(z) = STF \cdot X(z) + NTF \cdot E(z) \tag{1}$$

가 된다. 여기서 $Y(z)$는 출력, $X(z)$는 입력 신호, 그리고 $E(z)$는 양자화 노이즈이다. 식(1)에서의 신호 전달함수(STF)와 노이즈 전달함수(NTF)는 다음과 같이 구할 수 있다.

$$\begin{aligned} STF: S(z) &= \frac{H(z)}{1+H(z)} \\ NTF: N(z) &= \frac{1}{1+H(z)} \end{aligned} \tag{2}$$

위 식에서 STF는 신호 성분인 저주파 신호를 그대로 통과시키는 특성을 가지고, NTF는 고주파 대역 통과의 특성을 가져서 고주파 대역의 노이즈를 강조하는 대신에 저주파 대역의 노이즈를 감소시켜야 한다. 그러므로 $H(z)$는 저주파 대역통과 필터의 전달함수가 되어야 한다. 식(2)를 식(1)에 대입하면,

$$\begin{aligned} Y(z) &= \frac{H(z)}{1+H(z)} \cdot X(z) \\ &\quad + \frac{1}{1+H(z)} \cdot E(z) \end{aligned} \tag{3}$$

가 된다. 여기서 Sigma-delta modulator의 차수는 $H(z)$의 차수로 결정된다. 가장 간단한 예로, 위 식에서 $H(z)$를적분기 $(z^{-1}/1-z^{-1})$라고 하면,

$$\begin{aligned} STF: S(z) &= \frac{\frac{z^{-1}}{1-z^{-1}}}{1+\frac{z^{-1}}{1-z^{-1}}} \\ &= z^{-1} \\ NTF: N(z) &= \frac{1}{1+\frac{z^{-1}}{1-z^{-1}}} \\ &= (1-z^{-1}) \end{aligned} \tag{4}$$

가 된다. 즉 STF는 저주파 대역 통과 필터의 특성을 갖고, NTF는 고주파 대역 통과 특성을 가진다. 이 Sigma-delta modulator의 출력은 다음과 같다.

$$Y(z) = z^{-1} X(z) + (1-z^{-1}) E(z) \tag{5}$$

위의 예에서 $H(z)$의 차수가 1차이므로 1차 Sigma-delta modulator가 된다.

Ⅲ. Sigma-delta modulator의 구조

1. 단일 비트 구조

단일 비트 구조는 sigma-delta modulator 내부에 1-비트의 A/D, D/A 변환기를 사용하는 구조이다. 1-비트의 해상도를 갖는 A/D, D/A 변환기를 사용하기 때문에 타고 난 선형성을 가지며, 회로의 불완전성과 불일치에 강하다. 반면에 sigma-delta modulator 내부에 있는 A/D 변환기의 해상도가 낮기 때문에 높은 해상도를 가지는 A/D 변환기를 설계하기 위해서는 차수가 높은 필터를 사용하든지, 아니면 oversampling비를 높여야 한다. 그러나, 필터의 차수를 높이면 안정성이 문제가 되고, oversampling비는 일정수준 이상으로 올릴 수는 없기 때문에 단일 비트 구조를 가지는 sigma-delta modulator는 주로 낮은 데이터 rate의 응용이나, 저해상도를 요하는 응용에 사용된다.[1][2][3]

2. 멀티 비트 구조

멀티 비트 구조는 sigma-delta modulator 내부에 1-비트의 A/D, D/A 변환기 대신 멀티 비트의 변환기를 사용하는 구조이다. 내부 A/D 변환기의 해상도가 높기 때문에 단일 비트의 구조에 비해 높은 해상도를 가지는 A/D 변환기를 설계할 수가 있다. 하지만 A/D, D/A 변환기의 선형성을 보장하기가 힘들다. 만일 3-비트 A/D, D/A 변환기를 사용하여

10-비트의 해상도를 갖는 A/D 변환기를 설계하였다면, 사용된 3-비트의 A/D, D/A 변환기는 10-비트의 A/D, D/A 변환기에 맞는 선형성이 보장되어야 한다. 그러므로 멀티 비트 구조의 sigma-delta modulator를 이용하여 A/D 변환기를 설계할 때에는 modulator 내부 D/A 변환기의 선형성을 보장하기 위하여 calibration 회로가 필요하게 된다.

3. 단일 스테이지 구조

단일 스테이지 구조는 그림 2.3과 같이 Sigma-delta modulator를 하나의 단으로만 구성한 것이다. 즉 A/D, D/A 변환기를 하나씩만 사용하는 구조이다. 이 구조의 장점은 구현이 간단하다는 것이다. 그러나 2차이상의 sigma-delta modulator는 불안정한 특성을 보이므로, 안정성을 고려하지 않고는 최대 2차의 차수밖에 만들 수 없기 때문에, 같은 oversampling비로 동작할 경우 상대적으로 낮은 해상도를 얻을 수밖에 없는 단점이 있다. 그리하여 낮은 oversampling비와 높은 해상도를 필요로 하는 응용 분야에는 부적합하고, 높은 oversampling비를 사용할 수 있는, 즉, 데이터 rate이 낮은 audio나 voice 응용 분야에서 많이 사용된다.[1][2][3]

4. 멀티 스테이지 구조

멀티 스테이지 구조는 앞서 설명한 단일 스테이지 구조를 갖는 sigma-delta modulator를 cascade로 연결하여 높은 차수의 sigma-delta modulator를 구현하는 구조이다. 다수의 낮은 차수를 갖는 sigma-delta modulator를 이용하여 하나의 높은 차수를 갖는 sigma-delta modulator를 만드는 것이다. 이 구조를 이용하면 비교적 높은 차수의 sigma-delta modulator를 안정성을 크게 고려하지 않은 채 설계할 수 있다. 반면에 여러 개의 스테이지가 cascade로 연결되므로 각 스테이지 사이의 이득 불일치에 민감하다.[4] 특히 스테이지의 수가 많아지면 큰 문제가 될 수도 있다.

Ⅳ. 제안된 Sigma-delta modulator의 구조

기존의 Sigma-delta modulator는 오디오 용도에 많이 사용되었기 때문에 Nyquist-rate이 44KHz 이하이고, oversampling 비가 64 내지 256까지의 높은 oversampling 비를 가진다. 그러므로 수 백 KHz에서 수 MHz 사이의 sampling 주파수를 가진다.[2][3] Sigma-delta modulator를 무선 데이터 통신과 같은 높은 데이터 rate를 갖는 응용 분야에 활용하기 위해서는 새로운 구조가 필요하다. 새로운 구조를 제안하는 데에 다음과 같은 세가지 사항을 고려하였다.

첫째는 oversampling 비이다. 입력 신호의 bandwidth가 1 MHz 이상이 되면 Nyquist-rate이 최소 2 MHz가 된다. 그렇게 되면 현재 IC 설계 기술의 한계 때문에 높은 oversampling 비를 사용할 수 없게 된다. 또한 높은 sampling 주파수를 사용하면 power 소비가 많아진다는 단점도 있다. 그리하여 본 연구에서는 oversampling 비를 16으로 설정한다.

두 번째로 고려할 사항은 Sigma-delta modulator의 차수이다. 높은 해상도를 위해서는 높은 차수를 사용하는 것이 바람직하나 2차 이상이 되면 불안정해지는 Sigma-delta modulator의 특성 때문에, 2차 이하의 Sigma-delta modulator를 사용하거나, cascade 구조를 사용하여 차수를 높이는 방법을 사용하여야 한다. 본 연구에서는 안정성과 해상도 모두 만족하기 위하여 2차 Sigma-delta modulator 2개를 cascade로 연결한 멀티 스테이지 구조를 사용한다.

세 번째는 단일 비트를 사용할 것인지 멀티 비트를 사용할 것인지를 결정하는 것이다. 단일 비트를 사용하면 선형성을 보장받을 수 있지만 해상도가 멀티 비트에 비해 떨어지는 단점을 가지고, 멀티 비트를 사용했을 때는 해상도는 좋아지지만 정밀한 calibration 회로가 필요하기 때문에 설계가 복잡해지고 부가적인 회로가 필요한 단점이 있다. 그리하여 본 연구에서는 설계의 단순성과 회로의 크기를 고려해서 단일 비트 구조를 채택한다.

본 논문에서 제안한 "2-2 cascade 단일 비트 Sigma-delta modulator"는 oversampling비가 단지 16이고, 안정된 2차 Sigma-delta modulator 두 개가 cascade로 연결되어 4차의 차수를 가지며, 부가적인 calibration 회로가 필요 없도록 1-비트 A/D, D/A 변환기를 사용한다.

대략적인 모형은 그림 4.1과 같다.

그림4.1에서 $X(z)$는 입력, $E_1(z)$과 $E_2(z)$는 각 단에서 발생되는 양자화 노이즈, $Y_1(z)$와 $Y_2(z)$는 각 단에서의 출력, $Y(z)$는 전체 출력이다. 각 내부블록을 살펴보면, 1번째 단과 2번째 단의 2차 Sigma-delta modulator의 모형은 그림4.2와 같다.

여기서 a, b, c, d, e, f는 첫 번째 스테이지의 이득이고, g, h, k, l, m, n은 두 번째 스테이지의 이득이다. Digital Recombination 블록은 첫 번째 스테이지에서 발생되는 양자화 노이즈를 출력으로부터 제거하는 역할을 한다. 여기서 G1과 G2는 이득이

다. 위의 모형들을 사용하여 제안된 Sigma-delta modulator의 신호 전달함수와 노이즈 전달함수를 구하면 다음과 같다.

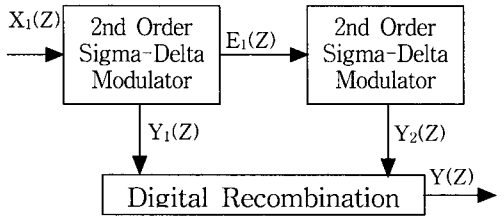


그림 4.1 2-2 Cascade 단일 비트 Sigma-delta modulator

여기서 내부의 피드백 루프의 이득을 1로 설정하여 필요한 이득 블록의 수를 줄였다(즉, $c \cdot d \cdot f = 1, k \cdot l \cdot n = 1$)

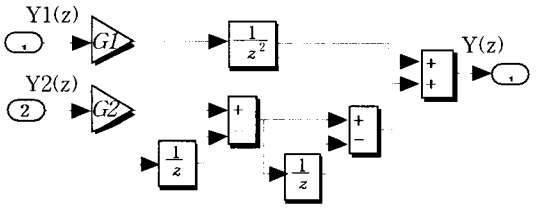


그림 4.3 디지털 오차 제거 로직

첫번째 단

$$STF: \frac{abcd\ z^{-2}}{1-z^{-1}+abcde\ z^{-2}}$$

$$NTF: \frac{(1-z^{-1})^2}{1-z^{-1}+abcde\ z^{-2}}$$

두번째 단

$$STF: \frac{ghkl\ z^{-2}}{1-z^{-1}+ghklm\ z^{-2}} \qquad (6)$$

$$NTF: \frac{(1-z^{-1})^2}{1-z^{-1}+ghklm\ z^{-2}}$$

각단의 출력을 구하면

$$\begin{aligned} Y_1(z) &= \frac{abcd\ z^{-2}}{1-z^{-1}+abcde\ z^{-2}} X(z) \\ &+ \frac{(1-z^{-1})^2}{1-z^{-1}+abcde\ z^{-2}} E_1(z) \\ Y_2(z) &= \frac{ghkl\ z^{-2}}{1-z^{-1}+ghklm\ z^{-2}}(-E_1(z)) \\ &+ \frac{(1-z^{-1})^2}{1-z^{-1}+ghklm\ z^{-2}} E_2(z) \end{aligned} \qquad (7)$$

이다.

식(6)과 식(7)를 이용하여 전체 출력을 구하면,

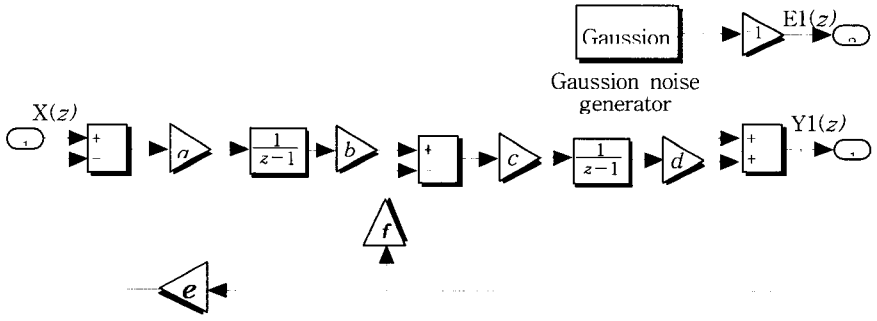


그림 4.2 (a)

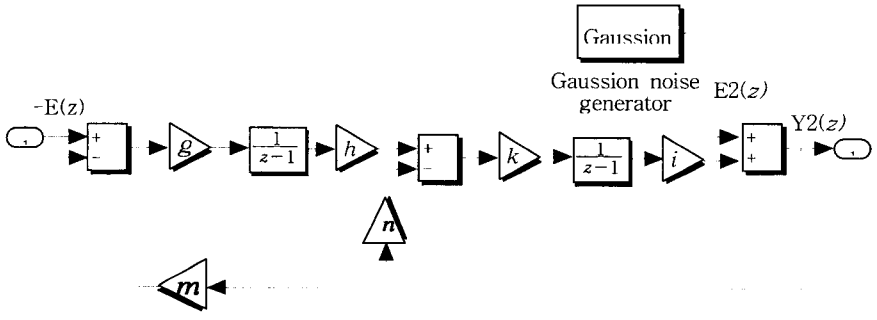


그림 4.2 (b)

$$
\begin{aligned}
Y(z) &= G_1 \frac{abcd\, z^4}{1 - z^{-1} + abcde\, z^{-2}} X(z) \\
&+ G_1 \frac{z^{-2}(1 - z^{-1})^2}{1 - z^{-1} + abcde\, z^{-2}} E_1(z) \\
&- G_2 \frac{ghkl\, z^{-2}(1 - z^{-1})^2}{1 - z^{-1} + ghklm\, z^{-2}} E_1(z) \\
&+ G_2 \frac{(1 - z^{-1})^4}{1 - z^{-1} + ghklm\, z^{-2}} E_2(z)
\end{aligned} \tag{8}
$$

과 같다.

식(8)에서 첫 번째 단의 양자화 노이즈(E1(z))를 제거하기 위해서 G_1과 $G_2 \cdot g \cdot h \cdot k \cdot l$ 는 같아야 한다. 그리고 입력 신호에 대한 이득은 1 로 설정한다(즉, $a \cdot b \cdot c \cdot d = 1$). 그러면 전체 출력은 다음과 같이 간단해진다.

$$
\begin{aligned}
Y(z) &= G_1 \frac{z^4}{1 - z^{-1} + e\, z^{-2}} X(z) \\
&+ G_2 \frac{(1 - z^{-1})^4}{1 - z^{-1} + ghklm\, z^{-2}} E_2(z)
\end{aligned} \tag{9}
$$

V. 실험 결과 및 고찰

제안된 Sigma-delta modulator의 성능을 시험하기 위하여, 먼저 MATLAB과 Simulink Toolbox를 사용하여 모델을 구성하였다. 그리고 이득의 최적화 과정을 거친 후 그 결과를 이용하여 Simulation을 수행하였다.

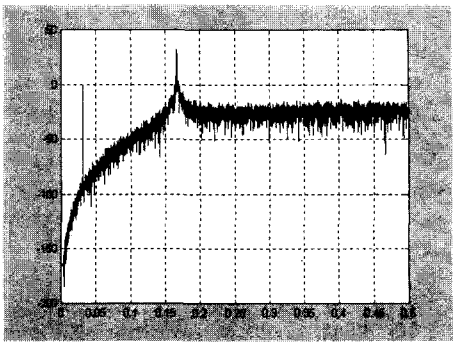
입력 신호로는 1 MHz의 주파수를 가지는 Sine 파를 사용하였고, sampling 주파수는 32 MHz를 사용하였다.

식(26)에서 e와 *ghklm*을 같게 두고, e와 두 번째 단의 forward path 이득인 ghkl과 m을 변화시키며 각각의 SNR(signal-to-noise Ratio)을 구해서 최적의 이득을 구하였다.

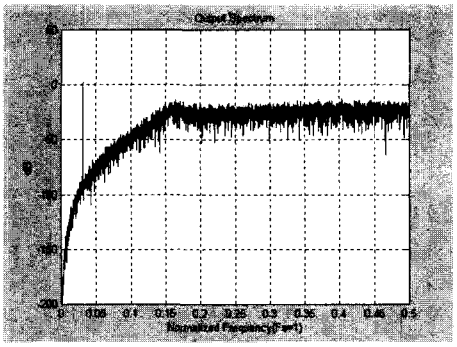
표 1. 이득과 SNR의 관계

이득 / 라벨	*ghkl*	*e*	*m*	SNR(dB)
(a)	**1**	**1**	**1**	**52.8**
(b)	1	0.8	0.8	52.7
(c)	1	0.6	0.6	52.7
(d)	2	0.8	0.4	58.7
(e)	5	1	0.2	66.7
(f)	7	0.7	0.1	69.6
(g)	9	0.9	0.1	71.8
(h)	10	1	0.1	72.8

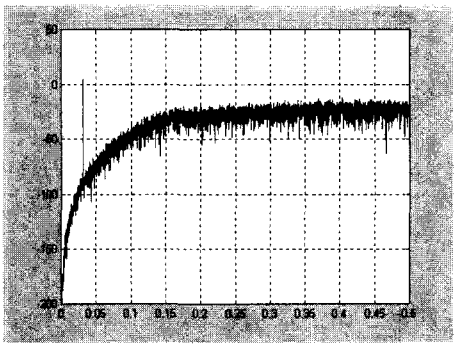
그리고, 표1.의 결과에 따른 각각의 출력 스펙트럼을 구하였다.



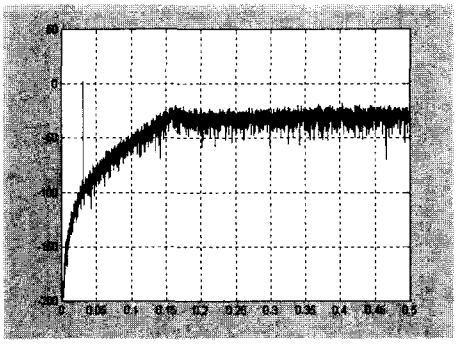
(a)



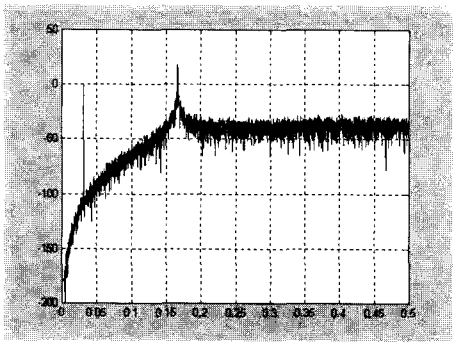
(b)



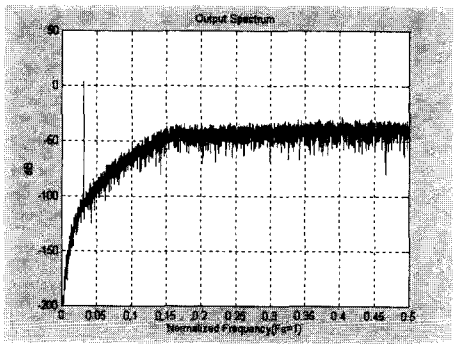
(c)



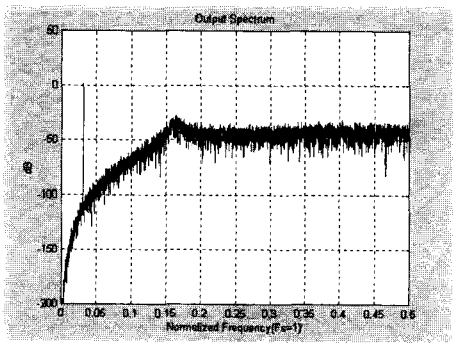
(d)



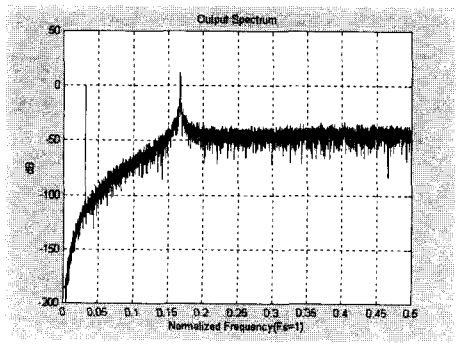
(e)



(f)



(g)



(h)

그림 5.1 제안한 구조의 이득에 따른 출력 스펙트럼

그림에서 sampling 주파수를 1로 표본화시켰다. 0.03 부근에서 peak가 되는 것은 입력 신호의 power spectrum이 나타나는 것이다.

여기에서 g의 값이 10일 경우 SNR은 최대값을 보였지만 노이즈 스펙트럼을 보면 불안정한 특성을 나타내어서 g를 9로 채택하였다. 이득의 최적화 작업과 출력 스펙트럼의 분석 결과 최적화 된 이득은 다음과 같다.

표 2. 최적화 된 이득

a	b	c	d	e	f	G_1
1	1	1	1	0.9	1	1
g	h	k	l	m	n	G_2
9	1	1	1	0.1	1	0.1

위의 이득을 사용하여 제안한 구조의 sigma-delta modulator를 구성하여 simulation 한 결과 71.8 dB의 SNR을 얻을 수 있었다.

제안한 구조의 dynamic range를 구하기 위해 입력 레벨을 변경해 가면서 SNR을 구해보았다. 입력 레벨과 SNR과의 관계는 다음과 같다.

여기서 Dynamic Range를 구해보면 72 dB 정도가 된다. 이것을 해상도로 환산하면 약 12-비트 정도가 된다. 다른 연구와의 비교를 표 3.으로 나타내었다.

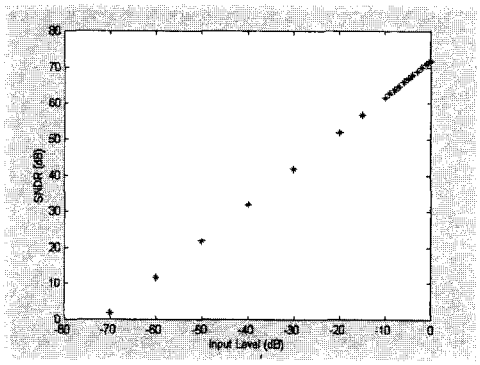


그림 5.2 입력 레벨과 SNR과의 관계

위의 표에서 보면, Feldman[4]의 구조는 6개의 적분기와 세 가지의 레벨을 가지는 양자화기를 사용하여 14-비트의 해상도를 얻었고, Brandt and Wooley의 연구는 3개의 적분기와 3-비트의 A/D, D/A 변환기를 사용하여 12-비트의 해상도를 얻었다. 본 연구에서는 4개의 적분기와 1-비트 A/D, D/A 변환기를 사용하였다.

Authors	해상도 (비트)	Oversampling비(OSR)	Speed (Ms/s)	Architecture	장점	단점
Feldman[4]	14	16	2	2-2-2cascade 1.5-비트DAC	높은 해상도 낮은 OSR	Mismatch에 민감 복잡한 구성
Brandt and Wooley	12	24	2.1	2-1 cascade, 3-비트 DAC	낮은 차수	높은 OSR 복잡한 구성
본 연구	12	16	2	2-2 cascade, 1-비트 DAC	낮은 OSR 간단한 구성	해상도

Ⅵ. 결 론

본 논문에서는 입력 주파수가 비교적 높고, 높은 해상도를 가지는 A/D 변환기를 위한 Sigma-delta modulator의 구조를 제안하였다.

주로 Audio 응용에 많이 사용되던 Sigma-delta modulation A/D 변환기를 높은 입력 주파수에 사용할 수 있도록 oversampling비를 줄였고, 내부에 1-비트의 A/D, D/A 변환기를 사용하였기 때문에 부가적인 보상회로가 필요 없게 하였다. 그리고, 비교적 높은 해상도를 가질 수 있도록 2개의 안정한 2차 Sigma-delta modulator를 cascade 구조로 연결하였다. 이득의 최적화 과정을 거쳐서 4차의 차수를 가지고 12-비트의 해상도를 가지는 Sigma-delta modulator를 제안하였다. 실험 결과 2 Ms/s의 데이터 rate를 가지며, 부가적인 보상 회로가 필요없고, 해상도가 12-비트인, 다양한 응용 분야에 활용될 수 있는 Sigma-delta modulator를 얻었다.

참 고 문 헌

[1] Bhagwati P. Agrawal and Kishan Shenoi, "Design Methodology for *ΣΔM*," IEEE Transactions on Communications, Vol. Com-31, No. 3, pp. 360-370, March 1983.

[2] James C. Candy, "A Use of Double Integration in Sigma Delta Modulation," IEEE Transactions on Communications, Vol. Com-33, No. 3, pp. 249-258, March 1985.

[3] Bernhard E. Boser and Bruce A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," IEEE Journal of Solid-State Circuits, Vol. 23, No. 6, pp. 1298-1308, December 1988

[4] Arnold R. Feldman, "High-Speed, Low-Power Sigma-Delta Modulators for RF Baseband Channel Applications," Ph.D. thesis, UC Berkeley, 1995.

[5] Godi Fischer and Alan J. Davis, "Alternative Topologies for Sigma-Delta Modulators-A Comparative Study," IEEE Tansactions on Circuits and Systems-II:Analog and Digital Signal Processing, Vol. 44 No. 10, pp. 789-797, October 1997.

[6] Rajesh Sharma, James A. Bucklew, "Stochastic Analysis of the *ΣΔ* Modulator and Differential Pulse Code Modulator," IEEE Tansactions on Circuits and Systems-II:Analog and Digital Signal Processing, Vol. 44 No. 10, pp. 798-807, October 1997.

[7] Plassche, Rudy J. van de, "Integrated analog-to-digital and digital-to-analog converters," ISBN 0-7923-9436-4, Kluwer Academic Publishers, 1994.

[8] Shenoi, Kishan, "Digital signal processing in telecommunications," ISBN 0-13-096751-3, Prentice Hall Inc., 1995.

[9] Analog Devices, Inc., "Mixed-Signal Design Seminar," ISBN-0-916550-08-7, Analog Devices, Inc., 1991.

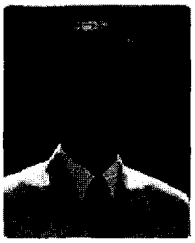
[10] "Simulink User's Guide," The Math Works Inc., 1996.

윤 정 식(Jeoung-Sig Yoon) 정회원

1973년 2월 : 한양대학교 전자공학과 졸업
1993년 2월 : 한양대학교 산업대학원 전기 및 전자공학과 졸업
1983년 : 삼성전기 주임연구원
1996년 3월 : 현대전자 산업전자 연구소 책임연구원

1999년 2월~현재 : 경민대학 디지털 정보통신과 전임강사
<주관심 분야> 컴퓨터 네트워크, 유선통신, 무선통신, 위선통신

정 정 화(Jong-Wha Chong) 정회원



1975년 2월 : 한양대학교 전자공학과 졸업
1977년 2월 : 한양대학교 대학원 전자공학과
1981년 3월 일본 와세다대학교 대학원 전자공학과(박사)

1986년 6월~1987년 9월 : 미국 Berkeley 대학 박사후 과정,
2000년 10월~현재 : 한양대학교 정보통신 대학교수.
<주관심 분야> HW/SW Co-design, High Speed wireless LAN system, MPEG encoder/decoder chip design