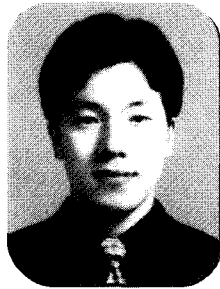
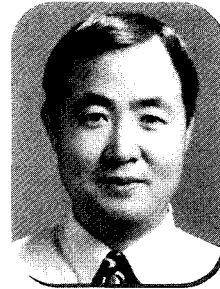


## 표면분석법을 이용한 반도체 패키지에서의 불량원인 분석



· 이민우 ·

앰코 테크놀로지코리아  
기술연구소 선임연구원



· 유희열 ·

앰코 테크놀로지코리아  
기술연구소 수석연구원

### 1. 서론

최근 수십 년간 반도체의 미세화로 배선 기술의 발달과 이로 인한 고집적화는 현대 전자산업에 있어서 가장 핵심적인 기술 변화로서 전기, 전자, 통신, 정보 등 21세기의 신기술의 근간이 되어 왔다. 1965년 페어차일드 연구소장이던 고든 무어는 반도체의 집적도가 18개월마다 2배로 늘어날 것이라 예측했다. 무어의 예측대로 반도체가 발달해왔고, 또한 최근에는 미세 선폭의 한계라고 불리웠던 0.1um의 선폭을 넘어 0.09um 까지 개발되기에 이르렀다.

이러한 반도체 디바이스의 고집적-고효율화는 고성능의 packaging 기술에 대한 요구를 증대 시켜왔고, 최근의 반도체 패키징 기술은 종래 과거의 칩에 대한 기계적인 보호 기능에서 벗어나 다양한 구조와 재료를 통해서 디바이스의 열적, 전기적, 성능과 신뢰성(reliability) 및 집적도를 좌우하게 되었다. 그러나, 한편으로는 다양한 고집적도의 패키징 구조와 다양한 유기 혹은 무기 패키징 재료들의 사용으로 인해서 종래에는 발생하지 않았던 마이크로 미터 혹은 그 이하 단위의 미세한 불량이 발생하고 있으며 이에 대한 정밀한 해석을 통한 반도체와 패키지의 신뢰성확보의 중요성이 점점 높아지고 있다.

이 글은 최근 개발 및 양산 하고 있는 새로운 패키지들의 구조와 여기에 사용되는 소재들의 특성을, 표면분석을 중심으로 하는 불량분석의 실제 예들을 통하여 살펴보고, 불량률의 주요원인이 되는 공정상의 오염 및 미세 입자들에 의한 불량을 해석하는 기법을 소개하고자 한다.

### 2. 반도체 패키지 및 소재의 발달 추이

#### 2.1 반도체 패키지 구조의 발달

Silicon Chip을 외부 회로와 전기적으로 연결시키고 기계적인 충격이나 외부환경으로부터 보호하기 위하여 최초로 상용화 되어서 널리 쓰이던 방식은 Through hole 또는 Dip 방식의 패키지이다(그림 1). 그 후 80년대에 들어오면서 집적도가 높아지면서 QFP나 SOJ 등의 peripheral 형태나 단위 면적 당 외부 리드수가 늘어난 표면 실장 패키지가 등장하게 되었고 집적도가 증가함으로 인해 디바이스 내에서 발생하는 열의 방출 효율을 높이기 위한 구조들이 상용화 되었는데 이와 같은 용도로 쓰인 대표적인 패키지 구조로서 PGA(Pin Grid Array)를 예로 들 수 있다.

1990년대에 들어오면서 가장 획기적인 변화는 PCB (Printed Circuit Board) 기술의 도입을 통한 BGA

(Ball Grid Array)의 등장이라고 할 수 있다. 기존의 리드프레임 패키지의 구조적, 기능적 한계를 다기능의 회로기판 제조기술을 응용하여 극복하게 되었으며, 동시에 기존의 리드 프레임 패키지 또한 미세화 및 기능화 되어 TSOP와 같은 1mm 이하 두께의 패키지도 개발되기 시작되었다. 1990년대 중반 이후에는 연성 회로기판(flexible circuit)을 활용하여 WLCSP(Wafer Level Chip Size Package)나  $\mu$ BGA와 같은 CSP 기술이 발달 되었으며 같은 기능 혹은 다른 기능을 수행하는 두 개 이상의 IC chip들을 한 패키지에 적층한 stackCSP 또한 등장하였다. 또한, 전기적 열적 성능을 높인 TEBGA(Thermally Enhanced BGA)나 HPBGA(High Performance BGA) 등 기존의 회로기판 기술을 다양하게 활용하여 작으면서도 device의 효율성을 높이는 새로운 패키지들이 활용되기 시작하였다.

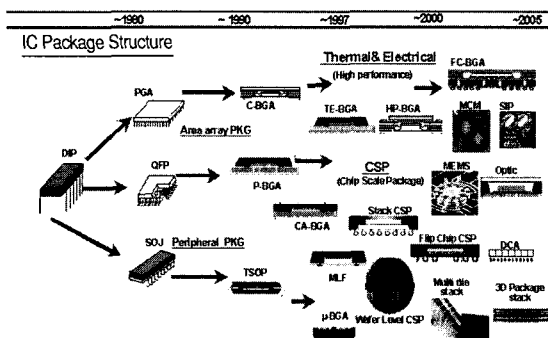


그림 1. IC package structure evolution.

2000년 이후에는 디바이스내의 급격한 연산속도의 증가를 위한 GHz 이상의 고주파 동작으로 야기되는 자기(self) 혹은 상호(mutual) 인덕턴스(inductance)로 인한 신호의 왜곡이나 상호간섭(cross-talk)과 같은 문제를 반도체 패키지의 관점에서 해결하기 위한 구조들이 활발하게 상용화되기 시작하였다. 패키지 내의 칩과 substrate를 종래의 wire bonding 기술이 아닌 metal bump로 직접 연결하여 임피던스 감소시켜서 전기적 성능을 향상시킨 flip chip 패키징 기술이나 신호 전달의 경로를 줄이고 패키지내의 신호들의

왜곡을 최소화하기 위한 최적의 전자기적인 설계기법을 통해서 하나의 반도체 패키지 내에 다기능의 system을 구축하는 MCM(Multi-Chip Module)이나 SIP(System in Package)가 활발하게 연구 및 응용되고 있다. 다른 한 측면으로는 다양한 기능성 반도체 디바이스들, 즉 MEMS(Micro Electro-Mechanical System)나 CCD와 CMOS등의 image sensor 및 통신용 광 디바이스 등과 같이 종전의 전기적 신호의 입출력을 넘어 기계적인 신호나 광신호 등에 대한 입출력을 용이하게 하고 요구되는 특정 기능의 수행을 가능하게 하는 반도체 디바이스의 패키징 기술 또한 활발하게 검토 및 개발되고 있다. 또한, 소형 및 박형 패키지 기술 또한 더욱 심화되어 두께 0.5mm이하의 초박형 패키지기술이나 칩의 다중 적층 기술이 상용화되고 있으며 웨이퍼 범핑 기술을 응용하여 직접 mother board에 실장 하는 DCA(Direct Chip Attach) 기술 또한 지속적으로 발전하게 될 전망이다.

## 2.2 반도체 패키징용 소재 기술의 발달

반도체 패키징용 소재의 발달은 각 시대별 반도체 패키지의 기능별 요구사항과 일치한다(표 1). 1990년대 이전의 반도체 패키지의 주된 기능은 칩의 전기적 신호의 전달 및 외부 환경으로부터의 보호로서 기계적인 관점에서의 반도체 패키지라고 할 수 있다. 따라서 주로 구리 리드프레임 소재와 전기적인 접합 및 산화방지목적의 도금기술과 고분자 접착제 및 초기 EMC(Epoxy Molding Compound) 기술 등이 주된 연구의 관심 대상이 된 소재였다.

1990년대 이후, 인쇄회로 기판 소재의 기술의 도입을 통해서 유기 고분자 복합소재 및 회로용 금속 소재들이 개발되었다. 또한, 미세회로기판 제조 기술을 통해서 다양한 요구의 고밀도 고기능성의 소형 반도체 패키지를 가능하게 하였으며, 현재까지도 인쇄회로기판을 통한 BGA기술이 반도체 패키징용 소재 발전을 주도하고 있다고 해도 과언이 아닐 정도로 적용분야가 다양하다. 또한, BGA실장용 소재로서 Sn/Pb solder ball관련된 소재 기술과 다양한 BGA용 패키지 요구에 부합하는 다양한 Encapsulation용 고분자 소재들이 개발이 되었다.

1990년대 후반과 2000년대 초반에 걸쳐 현재에 이

르기까지 소재의 주된 변화의 흐름은 디바이스내의 빠르고 안정된 신호처리를 위하여 전기적인 특성이 우수한 금속배선이나 저유전상수의 소재에 대한 연구개발이 활발하게 진행되고 있다는 것이다. 인쇄회로기판 제조기술, 또한 더욱 미세화 되고, 다층구조 기술이 발달되고 있으며, 반도체 패키지가 단순한 전기적인 접합 및 보호기능에서 벗어나 디바이스의 효율을 높이는 하나의 전기 전자적인 시스템으로서 변화시키는 주도적인 역할을 하고 있다. 또한, Flip Chip 관련 접합용 금속 소재와 접합용 범프를 형성하기 위한 Metallization 기술 및 소재들이 지속적으로 개발되고 있으며, ACF(Anisotropic Conductive Film) 및 언더필(underfill) 등 고분자 소재들 또한 점차로 상용화 되어가고 있는 추세이다. 또한, 3D 칩 적층에 필요한 접착용 필름기술 및 Wafer Thinning과 관련된 소재 및 기술이 상용화되고 있다. 환경규제와 관련되어 패키지내의 중금속(ex:납)과 같은 유해물질의 함량을 낮추는 환경 친화적인 전자 패키징용 소재 개발을 위한 노력이 지속되고 있다.

이상에서 살펴본 바와 같이 반도체 패키지 구조와 이와 관련된 소재의 발달은 반도체 디바이스의 집적도와 연산속도의 급격한 증가로 인한 고밀도 패키지 기술의 요구와, 또한 더 작고 얇고 가벼우면서도 다양한 종류의 디바이스의 기능의 효율성을 높이는 가능성을 가지는 하나의 시스템으로 그 인식이 변천되어왔다. 소재의 측면에서도 이러한 각각의 가능성을 부여하는 재료들에 대한 개발과 연구가 다양하게 이루어져 왔다. 따라서, 점차로 다양한 구조와 기능을 요구하는 반도체 패키지와 그에 다른 소재에 대한 미세한 물리-화학적, 또는 전기-전자적 특성을 이해하는 것은 향후 반도체 디바이스의 기능과 효율을 향상시키고 신뢰성을 높이는데 매우 중요함을 알 수 있다.

### 3. 반도체 패키지에서의 표면분석의 중요성

반도체 패키지 내에는 다양한 소재들의 계면이 존재한다. 그림 2에서는 일반적인 BGA내부에 존재하는 계면에서 예상되는 물리 화학적 현상을 나타내었다. 인쇄회로 기판(PCB) 내에는 다층의 구리배선과

표 1. Requirements for IC packaging materials based on development tier.

Period (packages)	Requirements for IC packaging Materials
~1990 'Chip Protection' (DIP/QFP/PGA/SOJ)	<ul style="list-style-type: none"> <li>· Ceramic substrate</li> <li>· Metal lead frame technology</li> <li>· Sn/Pb plating</li> <li>· Ag plating</li> <li>· Conductive die attach adhesives</li> </ul>
1990~1999 'High density and performance' 'Chip Scale packaging' (TQFP/PBGA/CSP/cavity BGA/Array mold package)	<ul style="list-style-type: none"> <li>· Organic substrate (2~4 layer)</li> <li>· Metal heat spreader</li> <li>· Ni/Au plating</li> <li>· Eutectic Solder ball, paste</li> <li>· Liquid encapsulation</li> <li>· Ball attach &amp; SMT</li> <li>· Non-Conductive adhesives</li> </ul>
1999~2003(current) 'Electrical design for High Frequency application.' 'Functionality' '3D & ultra thin packaging' (Flip-chip/SIP/MCM/MEMS/CCD Module/Opto-electronic Packaging/Multi-die stack/Paper-thin package stack/Direct Chip attach)	<ul style="list-style-type: none"> <li>· Electrical characterization of materials</li> <li>· Organic substrate (Multi-layer over 10)</li> <li>· Thin Organic substrate rates</li> <li>· Surface treatment</li> <li>· Embedded passives</li> <li>· Environment-friendly material set</li> <li>· Lead free plating, Solder ball, paste</li> <li>· Film adhesive</li> <li>· ACF, underfill</li> <li>· Wafer bumping/UBM process/BCB</li> <li>· Wafer thinning</li> <li>· Low K material set</li> <li>· Materials for 3D packages</li> <li>· High accuracy alignment system</li> </ul>

유리섬유를 열경화성수지에 강화시켜 만든 복합 재료의 core층이 존재하며 PCB 표면은 금으로 도금된 구리배선과 그 사이를 감광성 마스크 수지(solder mask resin)가 덮고 있다. 칩은 열전도성이 좋은 접착

제로 PCB에 접합되며, 칩내 I/O 단자인 알루미늄 pad와 PCB 표면에 노출된 금 도금된 구리 lead tip를 gold wire로 연결시키고, 이어서 칩을 외부환경에서 보호하기 위해 EMC로 over-molding 한다. 이와 같이 칩을 봉지(encapsulation) 하는 공정을 거친 결과, EMC는 칩의 표면, gold wire 배선, 및 PCB 표면에 걸쳐 계면을 형성하게 된다. 패키지 내에는 유기 고분자 계면뿐만 아니라 금속 간의 결합 계면도 다양하게 존재한다. 몇 가지 실례로 칩의 Al패드와 Au wire의 접합면에는 금속간 결합층(inter-metallic layer)들이 존재하며 Al-Au 금속 상간의 확산속도차이에 의한 Kirkendall void 불량이 종종 발생하는데 이는 반도체 패키지의 전기적 신뢰성에 영향을 끼칠 수 있는 사항들 가운데 하나이다. Au wire의 회로기판의 금속 bonding pad와의 결합 또한, 회로기판의 도금상태나 표면 청결상태에 따라서 Au wire와 Al pad 간의 결합력이 영향을 받게 된다. 또한, BGA의 경우에 있어서는 PCB의 ball array를 통해서 mother board에 실장이 되는데 여기에 사용되는 ball pad 표면의 정확한 분석 및 solder ball의 시간과 온도에 따른 금속간 계면 확산현상을 이해하는 것은 BGA 패키지에 있어서 mother board실장 후 생기는 주기적인 응력에 대한 신뢰성문제의 해석에 필수적이다.

이 밖에도 보이지 않는 오염이나 재료내의 불순물이나 공정 중에 발생한 미세 입자들, 또는 표면의 화학적 활성화 상태나 정전기현상으로 인한 문제 등으로 인해서 반도체 패키지는 신뢰성과 생산성에 큰 영향을 받게 된다. 따라서, 이러한 계면에서의 표면 특성을 정확하게 분석하고 미세한 불량에 대한 해석

을 정확하게 하기 위해서는 표면분석을 적절하게 운영하는 것이 필수적이다.

따라서, 반도체 패키지 내에 존재하는 미세한 표면의 특성 및 불량의 요인에 대한 정확한 분석은 점점 미세화, 다층 및 3D 입체구조로 변화하면서도 다양한 유기, 무기 소재들이 사용되는 현재 반도체 패키지 개발동향을 고려해 볼 때 패키지의 신뢰성 및 생산성확보에 필수적이라고 할 수 있다.

#### 4. 표면분석의 원리

##### 4.1 표면분석의 원리

표면분석은 소재의 표면의 화학적인 조성을 파악하기 위해 외부 표면의 미세한 원자 층의 정보를 얻기 위한 실험이다. 일반적으로 표면분석은 탐침(Probe)으로부터 분석대상 시료의 표면으로 주사되는 입자들(빛 :  $h\nu$ , 전자 :  $e^-$ , 양성자 :  $\alpha^+$ , 이온 등)의 자극(stimulation)에 대한 반응으로 시료의 표면에서 방출되거나 흡수되는 대전 입자들, 즉, 전자, 원자, 혹은 이온화된 분자들의 에너지를 검출하는 것을 통해서 이루어 진다. 이렇게 측정된 정보로부터 각 분석방법별 알고리즘 및 database library를 통해서 해당 분석지점의 구성원소, 화학결합의 상태 혹은 분자구조에 대한 정보를 정량화 혹은 정성화하게 된다. 그림 3에서는 표면 분석시 분석대상 표면의 입자 주사 및 검출과 관련된 방법으로서, 탐침의 위치를 조절하여 분석대상 표면을 지정하는 localization of the probe 방식(a)과 렌즈 system을 통하여 검출기의 위치 조절로 지정하는 spatially-localized detection 방식(b)에 대하여 도식화하였다.

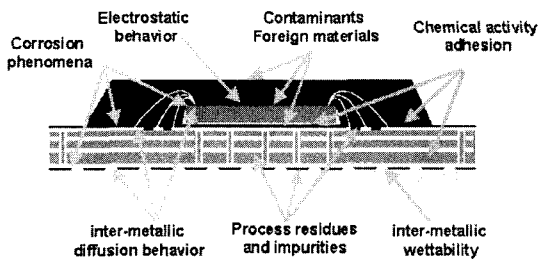


그림 2. Surface Failure modes in the organic and inorganic layers of Semiconductor package structure(PBGA).

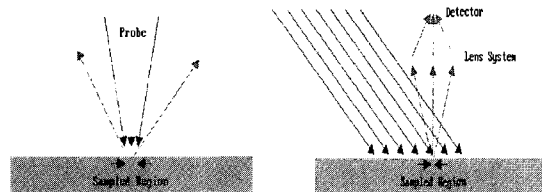


그림 3. General implementation for Surface analysis (a) Localization of the probe (b) Spatially-localized detection.

## 4.2 Depth Profiling

Depth profiling은 의미 그대로 시료의 표면분석시 깊이 방향에 따른 원소 및 구조의 변화를 측정하는 방법이다.

깊이 방향으로의 시료의 원소 및 구조를 분석하기 위해 일반적으로 분석시스템 내에 일체형으로 부착된 Ion beam을(ex : Ar<sup>+</sup>) 대상 분석영역에 주사함으로써 표면을 분당 수십~수백 Å의 단위로 제거해 나가면서, 제거한 표면의 정보를 검출하는 방식의 과정을 반복하는 것을 통하여 깊이 방향에 따른 재료의 특성 변화를 알아낼 수 있다. 그림 4에서는 AES(Auger Electron Spectroscopy)의 경우를 예를 들어 Depth profile의 원리를 도식화하였다.

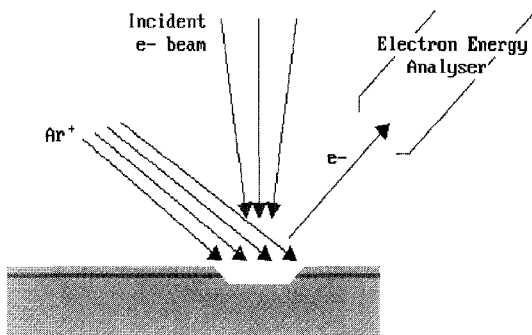


그림 4. Example of depth profiling instrumentation(Auger Electron Spectroscopy).

## 4.3 표면분석의 종류

표면분석방법은 분석 대상이 되는 시료에 주사하는 입자의 종류와 같은 종류의 입자를 주사 하더라도 검출되는 입자의 종류에 따라서 다르게 분류된다. 표 2에서는 표면분석의 종류들과 이에 따른 각 분석법들의 검출한계(detection limits), 깊이(depth)방향과 좌우(lateral)방향의 분해능(resolution), 분석 가능한 정보의 종류들에 대하여 나타내었다.

AES(Auger Electron Spectroscopy)는 가장 널리 쓰이는 일반적인 표면 원소분석법의 하나로서 분해능이 가장 우수한 분석법 중의 하나이다. 그러나, 검출 가능한 원자 %농도가 0.1~1%로 약간 높은 편에 속한다. Micro-FTIR의 경우는 유기물 특히 고분자 내의

공유결합에 존재하는 적외선 흡수영역 스펙트럼을 통해서 결합구조에 대한 정보를 제공한다. 보통은 ATR(Attenuated Total Reflection)방식으로 적외선 전 반사를 이용하므로 표면에 존재하는 유기박막에 대한 분석이 가능하며, 분해능 15um정도로 다른 분석법에 비해 상대적으로 떨어지지만 최근 유기 고분자 재료의 사용이 늘어나는 반도체 패키징용 재료의 분석용으로는 유용하게 사용할 수 있는 장점이 있다. XPS(ESCA)는 원소분석 뿐만 아니라 결합구조에 대한 정보도 얻을 수 있으나 resolution이 떨어져 보통 100um 이하의 미소영역의 분석에는 적용되기 어려운 단점이 있다. SEM과 함께 원소 분석용으로 널리 사용하는 EDS의 경우는 depth resolution이 1~5um 정도로 매우 높아서 엄밀한 의미에서는 표면 분석이라 할 수 없다. 그러나, depth방향의 분석을 고려하지 않아도 되는 경우에는 어느정도 신뢰할 만한 data를 제공할 수 있고, 분석이 까다롭지 않고 신속하게 되는 장점이 있다. SIMS(Secondary Ion Mass Spectroscopy)는 극미량의 시료에 대해서도 신뢰할 만한 분석결과를 제공하는 우수한 표면분석 기기이다. ppm~ppb 단위까지도 검출이 가능하다. 질량분석기(mass analyzer)의 종류 및 구조에 따라 Quad-SIMS, TOF-SIMS 등이 있다.

## 5. 반도체 패키지 표면 분석 실례

### 5.1 Micro-FTIR을 사용한 유기오염 및 고분자 소재 분석

공유결합을 하고 있는 유기물 및 고분자 화합물들은 적외선 에너지를 흡수하여 분자내에 원자간의 진동이나 회전시킨다. 거시세계와는 달리 분자 단위의 미시세계에서의 에너지교환은 양자역학이론에 따른다. 각각의 서로 다른 결합을 하고 있는 유기화합물 내에서의 진동이나 회전에 필요한 적외선 흡수 에너지는 특정한 값으로 양자화(quantized)되어 있다. micro-FTIR(micro-Fourier Transform Infrared)의 원리는 적외선을 파장영역별로 분석하고자 하는 시료에 조사하여 각각의 결합을 나타내는 특정 흡수영역에 해당하는 스펙트럼들에 대한 분석을 통해서 유기 분자의 결합구조를 예측하는 것이다(그림 5). 사람

표 2. List of surface analysis instruments with their general specification and typical application.

Analytical technique	Typical application	Signal detected	Elements detected	Organic structure information	detection limit	depth resolution	imaging mapping	Lateral resolution
AES	Elemental surface analysis high resolution depth profiling	Auter electrons from near surface atoms	Li-U	N/A	0.1~1 atomic%	2~6nm	Yes	100nm
micro FTIR	identification of polymers, Plastics, Contaminants, Organics films, fibers and liquid	Infrared absorption		Molecular Group	0.1~100ppm		No	15um
Raman	identification of organics and inorganics	Raman scattering	Molecular chemical identification from vibrational spectra		~0.1wt%	confocal mode 1~2um	Yes	1um
XPS/ESCA	Surface analysis of organic and inorganic molecules	Photoelectrons	Li-U	Chemical bonding	0.01~1 atomic%	1~10nm	Yes	10um ~20um
XRF	Thin film Thickness composition	X-rays	Na-U		10ppm		No	100um
EDS (SEM)	imaging and elemental microanalysis	Secondary ion and backscattered electrons and X-rays	B-U		0.1~1 atomic%	1~5um (EDS)	Yes	4.5nm(SEM) 1um(EDS)
SIMS	Dopant and impurity depth profiling, surface and microanalysis	Secondary ions	H-U		1E12~1E16 atoms/cc	5~30nm	Yes	< 1um (imagin) 30um(depth profiling)
Quad-SIMS	Dopant and impurity depth profiling, surface and microanalysis insulators	Secondary ions	H-U		1E14~1E17 atoms/cc (ppm~ppb)	< 5nm	Yes	< 5um (imagin) 30um(depth profiling)
TOF-SIMS	Surface micoanalysis of polymers, plastics, and organics	Secondary ions, atoms, molecules	H-U	Molecular ions to Mass 10,000	< 1ppm~1E8 atoms/cc	1 monolayer	Yes	0.10um

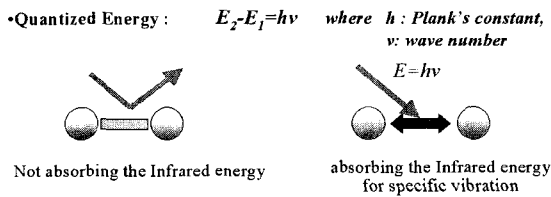


그림 5. Principle and Theory of FTIR.

들이 서로 다른 지문을 갖고 있듯이 유기재료는 각기 고유한 FTIR spectra를 갖고 있기 때문에 정성분석이 가능하다.

이와 같은 기본원리 하에 실제 반도체 패키지 내에서 발생하는 유기 혹은 고분자소재에 의한 불량의원인 분석하는 실례를 살펴보겠다.

### 5.2 Micro-FTIR을 사용한 PCB bonding pad 오염 분석

그림 6은 Polyimide 필름에 금속 회로 패턴이 존재하는 연성 회로기판(flexible circuit)을 사용한 Tape BGA 패키지 내의 wire bonding pad내에서 발생된 오염을 나타낸다. 이와 같은 유기오염 경우는 Silicon Chip내의 전기적 신호의 전달을 방해하고 metal Pad와 wire와의 금속간 결합력을 현저하게 저하시키므로 반도체 패키지 시스템 내에서 치명적인 오류를 발생시킨다. 또한 분명한 원인 파악이 되지 않으면 생산성에도 지대한 영향을 주게 되므로 정확한 분석이 요구된다.

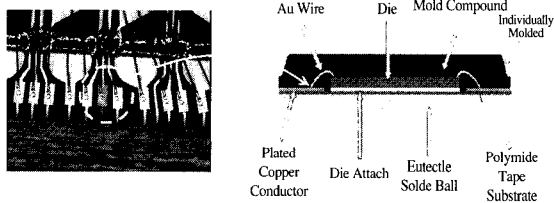


그림 6. organic contamination on wire bonding pad in flexible circuit for tape BGA packages.

100um 이하의 미소영역에 대한 micro-FTIR을 수행하였을 때 발견할 수 있었던 흥미로운 사실은 연성 인쇄회로기판 내의 오염의 원인으로 예상되었던 Solder mask(그림 6 : bonding area 위쪽의 polymer line)의 잔류물이나 인쇄회로기판을 Cu carrier frame에 붙이기 위한 adhesive 성분과는 전혀 다른 적외선 흡수스펙트럼이 나왔다는 사실이었다. 원인으로 분석되었던 것은 Cu carrier frame과 인쇄회로 기판을 붙이는 adhesive를 보호하기위한 cover film의 코팅물질로 쓰였던 PE(Poly ethylene)가 금형에서 cutting 될 때 생겼던 수  $\mu\text{m}$ 단위의 잔류물이 adhesive 측면에 남아 있다가 wire bonding시 고온으로 인해 흘러나와서 생긴 것으로 판명되었다(그림 7).

Micro FTIR을 통한 결과를 볼 때 main 흡수 영역 뿐만 아니라 minor 흡수 peak까지 정확하게 일치하는 것을 확인 할 수 있다(그림 8).

다른 표면 분석법들이 주로 원소에 대한 분석이나

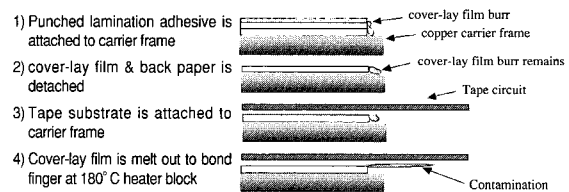


그림 7. wire bonding pad contamination process -root cause illustration.

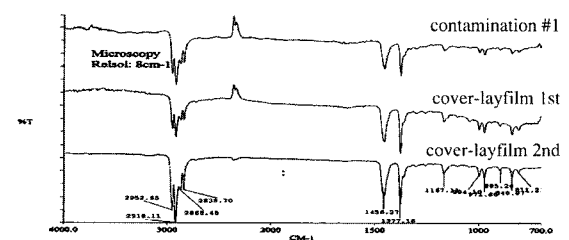


그림 8. micro-FTIR spectrum of organic contamination on wire bonding pad and cover-lay film as a root cause.

결합에 대하여 제한적인 분석 결과를 주는데 반하여 micro-FTIR은 결합구조에 따라서 분명한 차이를 보이는 흡수 스펙트럼을 보여주므로 유기물에 의한 오염 분석에 매우 유용함을 알 수 있다.

### 5.3 $\mu\text{BGA}$ 용 기판의 lead bonding area 표면오염 분석

그림 9는 Amkor사의  $\mu\text{BGA}$ 와 그 구조를 나타냈다.  $\mu\text{BGA}$ 는 기존의 패키지와는 달리 연성 회로기판의 soft copper 회로가 직접 칩의 단자에 접합되는 ribbon bonding type의 패키지로서 진정한 의미에서의 CSP (Chip Size Package)의 좋은 예라고 할 수 있다. 그러

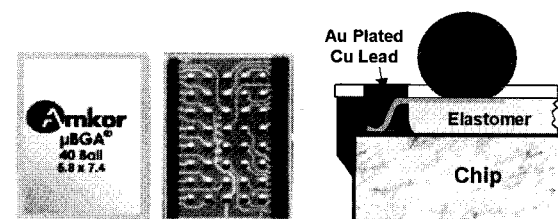


그림 9. photograph of  $\mu\text{BGA}$  and its structure.



그림 10. Organic contamination on the flexible circuit used in uBGA.

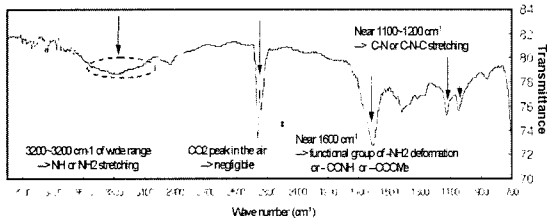


그림 11. The micro-FTIR spectrum of the contamination in the flexible circuit for uBGA package: showed Amide group which later found to be from bacteria in the plating bath.

나, lead bonding을 하기 때문에 연성 인쇄회로 기판의 품질에 더 민감하게 되어 그림 10과 같은 lead bonding 지역에서의 오염으로 인한 금속간 결합력을 저하시키고 이로 인해 전기적인 신뢰성에 문제가 되는 경우가 종종 발생한다.

앞서 분석한 경우와 동일한 방법으로 micro-FTIR의 ATR법을 사용하여 분석을 하였을 때, 그림 11과 같은 표면분석 결과가 나왔고 이것의 스펙트럼의 분석을 통해서 대략적으로 amine이나 amide 계열과 일치하는 것으로 판명이 되었다. 추후 이 결과를 바탕으로 연성 인쇄회로 기판 제조 공정을 조사한 결과 이러한 오염의 원인이 오래된 도금조(plating bath)의 용액에 서식하는 박테리아로부터 나온 단백질 내의 amide 결합으로 판명이 되었으며, 도금용액에 대한 관리 기준을 보다 강화하는 것으로 문제를 해결할 수 있었다.

#### 5.4 칩과 EMC의 delamination 원인에 대한 분석

반도체 패키지에서의 층간 박리(delamination)의 문제는 오랫동안 반도체 패키지의 신뢰성을 결정짓는 중요한 문제로 인식되어 왔다. 또한, 최근 무연 솔더(lead free solder) 접합 기술의 적용에 따른 soldering 온도의 상승으로 더욱 중요시 되고 있다. 그림 12는 칩의 상부와 EMC간의 박리현상을 초음파를 이용한 비파괴 검사(C-scan)법을 통해서 관찰한 사진(a)과 박리된 칩 표면의 polyimide passivation 층을 나타낸다(b).

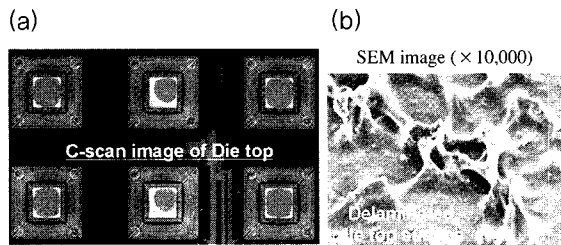


그림 12. C-scan photograph of delaminated area between die top and Epoxy molding compounds (a) and delaminated die top surface, showing irregular texture (b).

이러한 박리현상의 원인으로서 추정되었던 EMC와 die top표면의 Polyimide passivation층 간의 접착력 저하의 원인을 분석하기 위해 micro-FTIR을 수행해 보았을 때, 박리가 일어난 칩의 경우는 1700cm<sup>-1</sup> 부근의 -COOH 흡수가 높게 나타나는 것을 통해서 경화가 완결되지 않은 것을 추정할 수 있다(그림 13).

Polyimide의 경화과정은 아래 그림 14와 같다 -

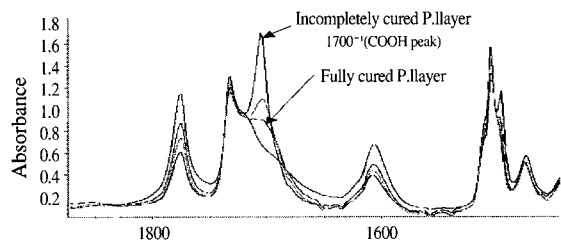


그림 13. Incompletely cured Polyimide passivation layer: shows FTIR absorption spectrum near 1700cm<sup>-1</sup> and the peak absorption decreases by thermal aging.



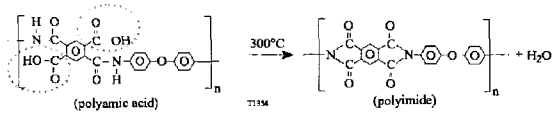


그림 14. Polyimide curing reaction.

COOH 기를 가지는 Polyamic acid가 고온에서 경화되면서 물을 부산물로 남기며 Polyimide로 전환된다. 따라서 정상적으로 경화가 완결되었으면 -COOH peak의 흡수가 일어나지 않았어야 하는데 문제가 되었던 Polyimide passivation은 불안정한 공정 조건으로 인해서 완전경화가 일어나지 않았고, 이에 따라 고온고압의 molding공정 시 추가적인 경화가 일어나면서 발생한 수증기의 팽창으로 인해서 박리 현상이 일어난 것으로 분석되었다. Molding 공정 전에 고온(300°C 이상)으로 가열한 경우는 -COOH의 적외선 흡수가 일어나지 않는 것을 확인할 수 있다.

이와 같이 micro-FTIR은 유기물의 오염의 종류에 대한 정보 뿐만 아니라, 반응시 경화 거동을 해석하고 문제가 생긴 표면에 대한 유기 고분자내의 구조적인 정보를 제공해 주는 것을 알 수 있다.

### 5.5 EPMA를 사용한 금속간 확산 현상 분석

EPMA(Electron Probe Microanalysis)는 SEM과 같이 전자총으로부터 가속되어 발생된 전자빔이 시편에 도달하여 방출시킨 여러 입자 중, 2차 전자 및 반사 전자를 검출하여 분석 영역에 대한 상 관찰하는 동시에 전자총의 전자가 도달된 시료표면에서 발생하는 미약한 X-선을 Wave length Dispersive X-ray spectrometer(WDS)를 통하여 원소 별로 동시에 검출하여 미세영역에 포함되어 있는 원소들에 대한 정량 및 정성분석을 할 수 있도록 구성된다. 보통 500~1000ppm의 미소원소분석까지 가능하다.

이와 같은 EPMA의 기능은 반도체 금속간의 결합 및 확산 또는 불량분석에 유용한 정보를 제공한다. 그림 15는 BGA 패키지에서 회로기판의 Au와 Ni 도금이 되어 있는 구리 배선에 접합된 63%Sn/37%Pb Eutectic Solder ball의 240°C에서의 금속간 접합 후 접합면에서 보이는 금속 확산에 대하여 EPMA를 수행한 경우이다.

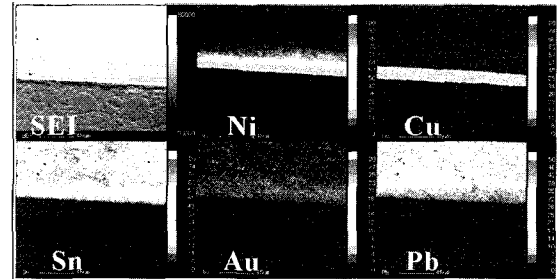


그림 15. EPMA mapping results of the intermetallic diffused layer between Eutectic solder and Ni/Au plated ball attach pad on the printed circuit board substrate.

좌측 상단의 SEM image에서 보이는 금속간 결합에 대하여 EPMA 원소별 mapping을 통하여 인쇄 회로 기판의 금속 패드(Cu) 위의 도금 층인 Ni, Au의 확산 경향을 볼 수 있다. Au는 Soldering 공정이 끝났을 때, 이미 빠른 속도로 확산되어 Ball의 전 영역에 분포되어 있는 것을 볼 수 있고 Ni은 상대적으로 느린 확산속도를 인하여 접합 계면에서 Solder ball 쪽으로 수  $\mu\text{m}$  확산된 것을 볼 수 있다. Ni이 barrier 층으로 역할을 하게 되어 Cu ball pad는 확산이 일어나지 않은 것을 볼 수 있으며, Ball 영역의 Sn과 Pb는 각각의 rich영역을 이루며 고르게 분포하고 있는 것을 볼 수 있다. 특히, Au가 확산되면서 AuSn<sub>4</sub>를 형성하게 되는데 이 화합물은 취성이 높아서 회로기판의 과도한 Au 도금은 패키지를 mother board에 실장 후 결합 신뢰성을 약화시키는 원인이 된다.

1990년대 후반부터 환경 친화적인 반도체 패키지의 개발이 활발하게 논의되면서 가장 화두에 올랐던 것이 기존의 Eutectic Solder를 대체 할 수 있는 무연 솔더(lead free solder) 기술이었다. 그림 16에서는 그림 15와 동일한 경우에 있어서 무연 솔더(Sn/3.5%Ag/0.75%Cu)의 금속간 확산 현상에 대한 EPMA mapping 결과를 나타내었다. Eutectic 솔더와의 차이점을 살펴보면, 우선 Sn과 Ag가 Ball 전체에 고르게 퍼져 있는 반면에 lead free ball 내에 존재하고 있는 0.75%의 Cu가 Ni층 쪽으로 확산되어 Cu와 Ni과 Sn의 Ternary intermetallic층을 형성하는 것을 볼 수 있다. 보통 (Cu, Ni)<sub>3</sub>Sn<sub>5</sub>가 형성되는 것으로 문헌상에 알려져 있다.

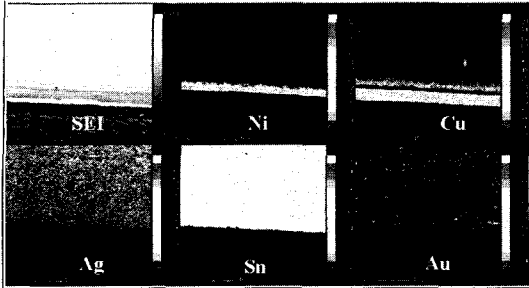


그림 16. EPMA mapping results of the intermetallic diffused layer between lead free solder(Sn/3.5%Ag/0.75%Cu) and Ni/Au plated ball attach pad on the printed circuit board substrate.

EPMA를 통해서 solder ball 뿐만 아니라, Au wire와 Al pad, 최근에 응용되는 Cu 배선과 관련된 Cu pad와 Au나 Cu wire의 현상, 도금층 내의 확산 및 Flip Chip 용 bump형성 시 UBM(Under Bump Metal)내에서의 현상 등, 반도체 패키지 내에 존재하는 다양한 금속 접합 층의 확산현상을 분석할 수 있다.

### 5.6 ESCA/ XPS를 사용한 금속 산화막 오염 분석

ESCA(Electron Spectroscopy of Chemical Analysis) 혹은 XPS(X-ray Photoelectron Analysis)는 X선을 분석하고자 하는 표면에 입사 시켜 분석하고자 하는 원자내의 전자를 방출 시킨다. 여기서 광자의 에너지를  $h\nu$ 라고 하면 광자의 에너지에 의해서 방출된 광전자(photo-electron)의 에너지를 검출함으로써 주어진 광자(soft-X ray)와 방출된 광전자의 에너지의 차이를 구함으로 해당 원소의 전자궤도에 있는 결합에너지를 구하게 된다. 이와 같은 과정을 그림 17에 나타내었다.

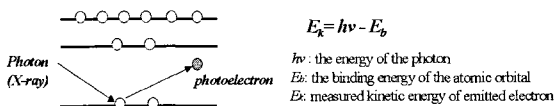


그림 17. Principle of XPS: accomplished by irradiating a sample with mono-energetic soft X-rays and analyzing the energy of detected electrons.

또한 ESCA에서 전자의 결합에너지(binding energy)  $E_k$ 는 원자의 산화여부 라든가 주변의 물리적 화학적 결합에 영향을 받기 때문에 순수한 원자의 경우와는 다른 Chemical shift를 보이게 된다. 이러한 원리로 관찰하고자 하는 표면의 원소분석뿐만 아니라 결합구조에 대한 정보도 얻을 수 있는 장점이 있다.

그림 18은 연성 회로기판(flexible circuit)을 사용한 패키지의 측면에서 금속성 이물질이 관찰되어서 ESCA를 통해서 분석한 예를 나타내었다. 패키지 측면에 있는 미세한 금속성 이물질은 단지 외관상의 문제가 아니라 전기적인 면에서 볼 때 중대한 문제를 야기 할 수 있다. 그 이유는 대부분의 인쇄회로기판의 측면에는 구리배선의 Au/Ni도금을 위한 배선의 단면이 일정한 간격으로 존재하기 때문에 패키지의 측면에 전도성 이물질이 묻을 경우 합선(short)을 일으킬 수 있기 때문이다.

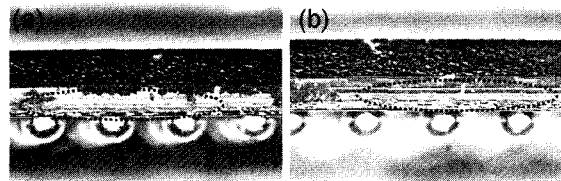


그림 18. Metallic foreign materials adhered at the lateral side of BGA packages (a) yellow color (b) purple color.

ESCA 분석을 통해서 분석한 결과 이 이물질은 Cu의 산화막으로 판명이 되었다. 그림 19에서 (a)는 패키지의 측면의 이물질에 대한 결합에너지 spectrum를 나타내었으며 (b)는 순수한 Cu의 표면, (c)는 CuO와 Cu<sub>2</sub>O의 reference 시료를 나타낸다. Spectrum 상에서 볼 때 패키지 측면의 이물질이 CuO와 일치하는 것을 볼 수 있다.

결과를 바탕으로 이와 같은 BGA패키지의 측면 이물질의 원인을 점검하였을 때, 구리 carrier frame에 연성 회로기판(flexible circuit)이 접착되어 공정을 거치는 과정에서 고온의 열을 받게 되고, 이로 인하여 구리의 표면에 생긴 산화막이 mold 공정 이후, EMC와 구리의 산화막간의 결합이 부분적으로 형성된다.

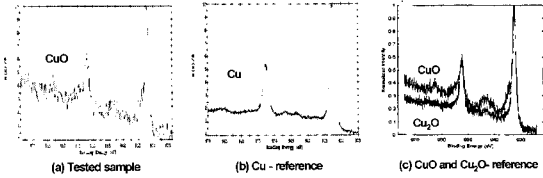


그림 19. ESCA binding energy vs Normalized intensity spectrum. :shows tested sample found out to be Cu oxide.

이러한 결합으로 인하여 패키지 측면에 이물질로 남아있게 되는 것이 확인이 되었다.

이와 같이 금속, 무기재료의 원소분석과 결합구조를 동시에 분석할 수 있는 ESCA의 기능을 활용함으로써 표면에 대한 정확한 정보를 얻을 수 있고, 또한 이것을 통해서 여러 공정에서 열이력을 거치는 금속 혹은 반도체 재료들의 산화로 인한 영향을 분석할 수 있다.

### 5.7 Galvanostat를 사용한 금속 산화막 두께 측정

앞에서 반도체 패키지 공정상의 열 이력에 의한 산화 경향에 대하여 언급을 하였다. 실제로 구리 frame을 사용하는 반도체 패키지의 경우 구리표면의 산화 정도에 따라서 표면의 평균 산화막의 두께를 측정하는 기기로서 Galvanostat를 응용하여 산화막 두께에 따른 박리현상의 의존성을 살펴보겠다.

Galvanostat는 그림 20에서 예시한 바와 같이 전극에서 생성 또는 소모되는 물질의 질량은, 용액을 통과한 전하(전기)량에 비례한다는 Faraday의 전기분해의 법칙에 의하여 산화막을 전기화학적으로 환원 시킴으로 환원 전류밀도(current density :  $i$ )와 소요된

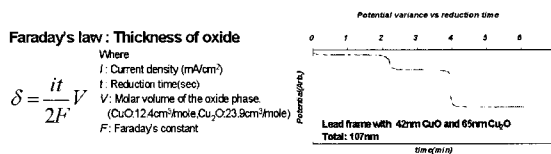


그림 20. Faraday's law: The amount of charge which are participated to reduce oxide are calculated from the amount of oxide. This can be interpreted into thickness.

시간( $t$ ), 그리고 각 산화막의 molar volume(cm<sup>3</sup>/mole) 으로부터 산화막의 평균 두께를 계산을 하게 되는 원리이다. 그림 20의 우측에 예시된 그래프는 산화막이 환원되면서 생기는 Cu 산화막들의 전극 전위차의 변화를 통해서 CuO가 표면에서 먼저 환원되고, 다음 Cu<sub>2</sub>O 층이 환원되는 단계적인 변화를 나타낸다. Cu 표면 위의 Cu<sub>2</sub>O, CuO의 각각의 두께를 측정할 수 있다.

그림 21은 이러한 Galvanostat의 원리를 이용하여 각각의 구리 리드프레임(Cu lead frame)의 산화 정도를 다르게 하여 산화막의 두께가 다른 리드프레임으로 제작된 반도체 패키지를 85°C/85% 상대습도조건에서 48시간 흡습 후 218°C VPS(Vapor Phase Soldering)를 3번 시행한 뒤 일어난 박리 현상을 초음파를 통한 비파괴 분석(T-scan)을 통해서 산화막의 두께와 박리현상과의 관계를 나타낸 것이다.

결과를 통해서 산화막의 두께가 약 40~60nm의 두께를 가질 때 가장 접착력이 높은 것으로 나타났다.

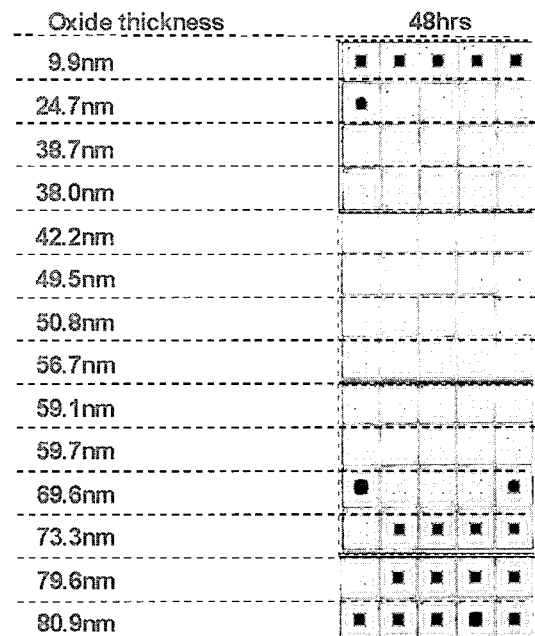


그림 21. Package delamination vs Cu Oxide thickness on lead frame : T-scan image: Moisture soak(85°C/85%)/VPS 3X 218°C.

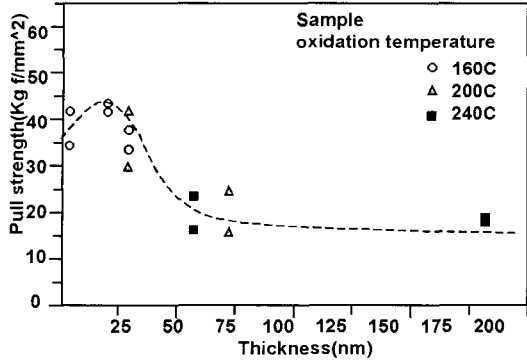


그림 22. Adhesion of EMC and Cu lead frame with different oxidation thickness: near 20~35nm shows the maximum adhesion.

접착과 관련된 이론적인 측면에서는 산화막 자체는 유기 고분자소재와 접착력이 순수한 구리의 표면보다 우수하리라 예상되나 일정한 두께 이상의 과도한 산화막은 불완전한 결정 구조의 구조적 취약성으로 인하여 오히려 금속과의 결합력을 떨어뜨리므로 접착력이 떨어짐을 알 수 있다. 그림 22에서는 동일한 시편에 대한 접착력 인장실험 결과를 나타낸다. 예상대로 산화막의 두께의 최적조건이 존재함을 알 수 있다.

Galvanostat는 일반적인 개념의 표면분석 장치는 아니지만 반도체 패키징용 금속소재의 열 이력에 따른 산화경향이 차이에 따른 신뢰도의 변화에 대하여 예측할 수 있는 분석장치라고 할 수 있다.

### 5.8 SEM-EDS를 사용한 무기 이물질 분석

보통 SEM과 함께 장착되어 원소분석으로 활용하는 EDS(Energy Dispersive X-ray Spectrometry)는 500A~1.0μm의 전자빔을 시료표면에 주사시켜 시료 표면에서 발생하는 특성 X선의 파장과 강도를 X선분광기로 측정하여, 그 미소영역에 0.1%~1% 이상 함유되어 있는 원소를 정성 및 정량 분석하는 장치이다. 보통 SEM과 함께 장착이 가능하기 때문에 비용이 저렴하고 분석 시간이 빠른 장점이 있다. 깊이에 대한 분해능이 떨어지나 패키지 관점에서 10~20um 이상 두께의 시편이나 이물질에 대한 분석에는 유용하게 사용할 수 있다.

인쇄회로 기판에서의 금속 Dendrite의 성장은 말할 것도 없이 반도체 디바이스의 가장 치명적인 오류를 가져오는 원인 중에 하나이기 때문에 그 현상에 대한 관찰과 발생원인을 정확하게 분석하고 재발하지 않도록 관리하는 것은 반도체 디바이스의 장기적인 신뢰성을 확보하는데 매우 중요하다.

그림 23은 인쇄회로 기판 내에서 전류를 가지지 않은 non-biased HAST test (130° C/85%R.H./72hrs)을 거치고 난 후에 발생한 dendrite를 나타내었다.

Dendrite가 약 50~100um정도 금속배선에 전체적으로 가느다란 실처럼 성장한 것을 확인 할 수 있으며, 일부 배선에서는 각 배선에서 성장한 Dendrite가 서로 닿을 정도로 성장한 것도 관찰 되었다. EDS test를 통해서 발생한 dendrite의 원인을 분석한 결과 Cu혹은 Cu의 산화물로 추정되었다(그림 24).

Dendrite의 원인을 분석하기 위하여 문제가 발생한 시편에 대하여 ion chromatography 분석을 한 결과를 표 3에 나타내었다.

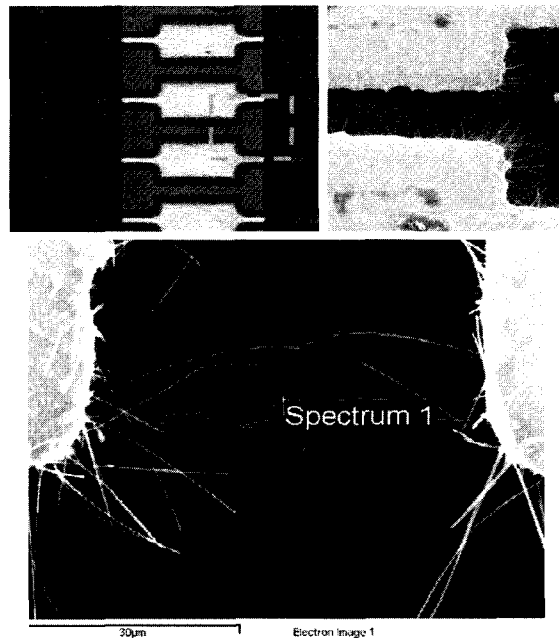
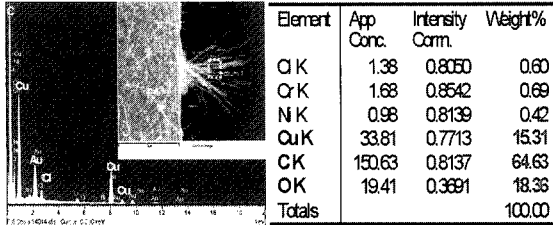


그림 23. SEM image Dendrite: dendrite is detected on the metal trace of organic substrate (additive build-up process) after the non-bias HAST test(130° C/85%R.H./72hrs).



Element	App Conc.	Intensity Corr.	Weight%
Cl K	1.38	0.8050	0.60
Cr K	1.68	0.8542	0.69
N K	0.98	0.8139	0.42
Cu K	33.81	0.7713	15.31
CK	150.63	0.8137	64.63
OK	19.41	0.3391	18.33
Totals			100.00

그림 24. EDX test results shows that the Dendrite is Cu or Cu related compounds.

표 3. Ionic impurities(ng/cm<sup>2</sup>) level of defected substrates.

Substrate ion content	Sample 1	Sample 2	Sample 3	
Anion	F(-)	650.53	732.99	763.02
	Cl(-)	91.98	63.33	94.75
	Br(-)	0.00	0.00	0.00
	NO <sub>2</sub> (-)	0.00	0.00	0.00
	NO <sub>3</sub> (-)	14.20	12.76	7.16
	PO <sub>4</sub> (-)	0.00	0.00	0.00
	SO <sub>4</sub> (-)	365.86	872.30	313.76
Total	1122.57	1681.38	1178.69	
Cation	Na(+)	1161.00	2522.41	1534.73
	NH <sub>4</sub> (+)	361.01	352.62	475.67
	K(+)	35.26	3.61	0.46
	Mg(2+)	57.85	1.80	8.85
	Ca(2+)	403.14	1.52	39.77
Total	2018.25	2881.95	2059.47	
Ion total	3140.82	4563.33	3238.16	

이온 불순물 검사 결과에서 볼 수 있듯이 상대적으로 많은 양을 보이는 음이온으로서 F-(650~750ng/cm<sup>2</sup>)와 SO<sub>4</sub><sup>2-</sup>(300~900ng/cm<sup>2</sup>)이 다량 검출되었으며, Cl-(60~100ng/cm<sup>2</sup>)도 일정한 양이 검출된 것을 볼 수 있었다. 양이온으로서 Na+(1000~2500ng/cm<sup>2</sup>), NH<sub>4</sub><sup>+</sup>(350~500ng/cm<sup>2</sup>)과 같이 일반적인 함량을 초과하는 양의 이온이 검출되었으며, 이같이 비정상적으로 많은 이온 불순물은 고온고습의 조건에서 구리배선의 측면에 노출되어 있는 구리의 표면에서 일어난 부식반응과 무전해 precipitation에 의한 것으로 추정된다. 일반적인 경우에 있어서 Cu는 산성용액에서 무전해 부식반응이 일어나지 않는다. 그러나, 암모니아나 시안화물과 같은 복잡한 작용기가 Cu를 부식시킴으로 일어난 결과로 추정이 되었으며, 이온

함량을 전체로 500ng/cm<sup>2</sup>이하로 낮추었을 때 무전해 dendrite가 발생하지 않는 것으로 확인이 되었다.

### 5.9 AES depth profiling를 이용한 도금층 불량 분석

앞서 언급한 바와 같이 AES(Auger Electron Spectroscopy)는 가장 많이 쓰이는 표면분석장비로서 분해능(resolution)이 우수하며, depth profile에 탁월한 성능을 발휘하는 장점이 있다. AES 전자가 발생하는 과정(a)과 전자빔에 의한 분석 체적(b)을 그림 25에 나타내었다.

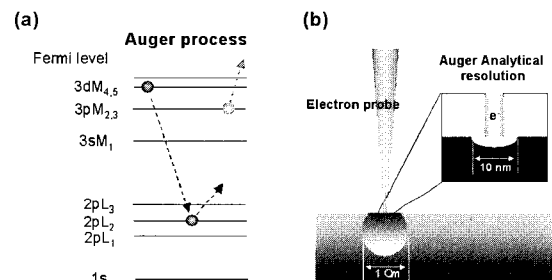


그림 25. (a) illustrates AES process for energy dissipation with titanium as an example. The illustrated LMM Auger electron energy is  $\sim 423\text{eV}$  ( $E_{\text{Auger}} = E_{L2} - E_{M4} - E_{M3}$ ) (b) shows the AES analytical volume: lateral resolution as  $\sim 10\text{nm}$ /depth resolution as  $2\sim 6\text{nm}$ .

Auger process는 수 keV를 가지는 일차전자가 원자 핵쪽의 전자(2pL<sub>2</sub>)를 방출시키고, 이때 생긴 hole로 더 높은 Fermi 준위(3dM<sub>4,5</sub>)에 있는 세 번째 전자가 hole로 이동하면서 발생한 에너지로 얻은 새로운 전자(3pM<sub>2,3</sub>)가 운동에너지를 가지고 방출되게 된다. 이렇게 방출된 전자를 Auger전자라고 한다. 에너지 보존의 법칙에 의해서 Auger전자의 에너지는  $E_{\text{Auger}} = E_{L2} - E_{M4} - E_{M3}$ 로 주어지게 된다.

이러한 AES를 통하여 반도체 패키징용 회로기판 내의 도금층의 불량에 관해 깊이별 원소 분석depth profiling한 경우에 대하여 살펴보겠다. 그림 26은  $\mu\text{BGA}$ 의 금으로 도금된 구리배선의 표면을 나타낸

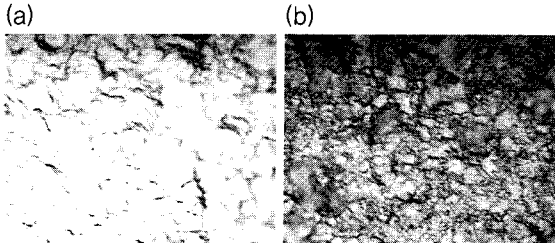


그림 26. (a)  $\mu$ BGA ball pad area of normal case. (b)  $\mu$ BGA ball pad area of discolored case.

것이다. 광학 현미경으로 보았을 때, (a)의 경우는 밝은 금빛을 나타내고 정상적으로 도금층이 형성된 것을 볼 수 있었으나, (b)의 경우는 광택이 흐리고 변색이 된 것을 볼 수 있었으며, solder ball 접합이나 wire bonding을 시행할 경우 접합력이 떨어지는 것을 볼 수 있었다. 변색의 원인이 유기 혹은 고분자 계열 인자를 micro-FTIR로 확인해 보았으나 유기물로 인한 오염이 아닌 것으로 판명되어 원소 분석과 도금층별 분석이 가능한 AES를 이용하여 depth profiling을 수행하였다.

도금층에 대한 depth profiling에 대한 결과를 그림 27에 나타내었다.  $\mu$ BGA에서는 보통 wire bonding을 하는 BGA 인쇄회로 기판과는 달리 lead bonding을 하기 때문에 상대적으로 취성이 높은 Ni plating은 하지 않는다. (a)는 정상적으로 도금된 층에 대한 결과로서 분당 370A/min 정도로 sputtering을 할 때, 초기에는 Au 표면에 흡착되어있는 탄소가 보이는 층이 얇게 존재하나 곧 감소하고 Au가 드러난다. 시간이 지남에 따라 표면의 Au 층이 감소하고 Cu 층이 드러나며 소량의 산소도 함께 검출되는 것을 볼 수 있다. 대략적으로 원자 %비율이 Cu(85atomic%), O(13 atomic%)로서, Au로 도금층 하부의 구리배선이 부분적으로 산화된 것을 알 수 있다. 대략적으로 Au와 Cu의 평균적인 경계가 나타나는 시점은 SiO<sub>2</sub> 기준 370A/min의 sputtering 속도로 17분 후 나타나는 것을 볼 수 있다. 그러나, 표면이 변색된 (b)의 경우 동일한 조건에서 depth profiling을 실시한 결과 Au가 제거된 후, 나타난 구리배선 층에서의 원자% 비율이 Cu(45atomic%), O(55 atomic%)로서 (a)의 경우와 크게 달리 산소가 과량 검출되었는데, 이는 CuO층이 과

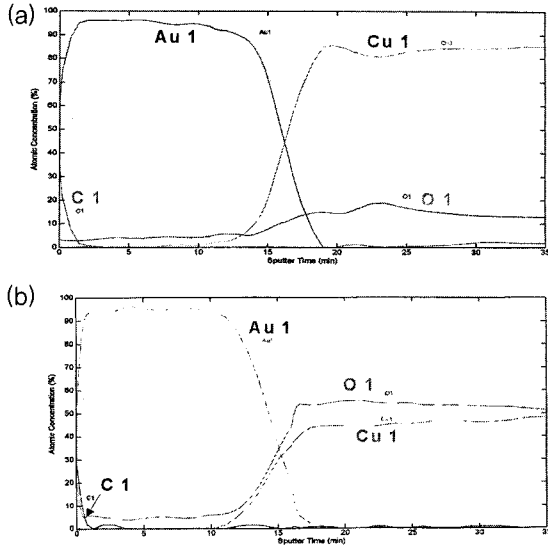


그림 27. AES depth profiling results of the normal plated layer of Au on Cu (a) and discolored plated layer (b) the discolored layer showed severe copper oxidation CuO Sputtering speed : 370 Å/min in SiO<sub>2</sub>.

도하게 생성된 결과로 보여진다.

이러한 불량요인은 구리배선 pattern이 완성된 후, 형성된 산화막이 도금 전에 수행하는 표면 전처리 공정이 불완전하거나 또는, 보통 인쇄 회로 기판에서 Cu와 Au의 상호 확산을 막는 역할을 하는 Ni plating을 다른 가능성은 보통 인쇄 회로기판에서 Cu와 Au의 상호확산을 막는 역할을 하는  $\mu$ BGA 구조의 특성상 Ni plating을 하지 않음으로 인하여 생긴 상호확산 및 공정 시 열이력에 의한 산화막 성장으로 인한 것임을 추정할 수 있다.

### 5.10 TOF-SIMS를 이용한 초미량 유기 불순물 분석.

SIMS(Secondary ion mass spectroscopy)의 원리에 대하여 그림 28에 나타내었다. ~10keV 정도의 운동에너지로 가속된 1차 이온(primary ion)이 분석하고자 하는 시편의 표면에 충돌하면 1차 이온의 운동에너지로 인해서 표면 원자들간의 연속적인 충돌현상이 일어난다. 이중 결합에너지이상의 운동에너지를 갖

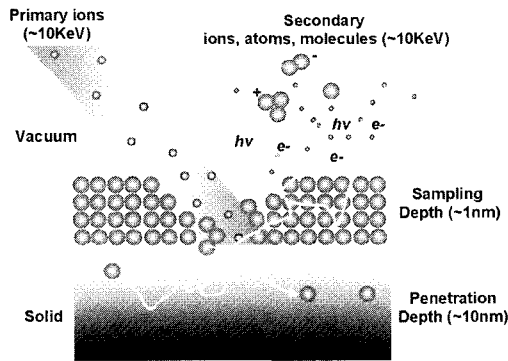


그림 28. Sputter effects in SIMS : a fast primary ion passes energy to target atoms in a series of binary collisions. Energetic target atoms(called recoil atoms) collide with more target atoms.

는 입자들(중성입자, 양이온, 음이온등) 이 입자들 중 양이온들의 질량대 전하비와 그 갯수를 분석하여 시료의 원자종류, 구조, 조성 등을 측정하는 원리이다.

SIMS는 감도가 가장 우수한 표면분석법 중의 하나로서 ppb 단위의 초미량 표면분석이 가능하며, 또한 depth profiling 및 이미지 mapping도 할 수 있다.

회로기판에서 회로를 보호하기 위하여 도포 되는 Solder mask와 접착제(Die attach adhesive)사이의 계면의 접착력 저하와 관련된 문제를 분석한 예를 살펴보겠다. 그림 29에서는 특정한 인쇄회로 기판에서의 비정상적인 인장 테스트 후 파괴형상을 보이고

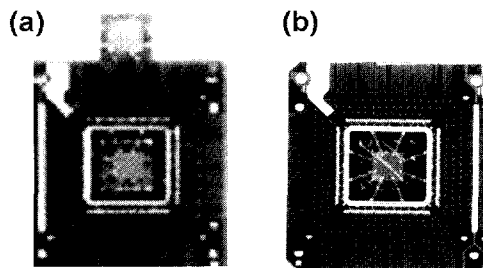


그림 29. PCB and Silicon chip full test fracture mode (a) Normal fracture mode between solder mask and Cu trace (b) abnormal fracture mode between Die attach adhesive and solder mask surface.

있다. (a)는 정상적인 파괴 모드를 나타낸 것으로 Chip과 인쇄회로기판 표면의 Solder mask와의 adhesion 값이 상온에서 13.2kgf를 보이는데 반해 (b)는 그것의 절반에도 못 미치는 6.3kgf를 나타내었으며, 이러한 경향은 고온 실험에서도 동일하게 나타났다(표 4 참조).

표 4. Die Shear strength comparison between PCB type A and B : A showed 2~2.5 higher adhesion value then type B for both high and ambient temperature condition.

	PCB-A	PCB-A
Die shear strength(kgf/die)	13.2	6.3
High temperature Die shear strength	4.9	1.9

이러한 현상의 원인을 분석하기 위하여 TOF-SIMS 를 정상적인 접착력을 나타내는 인쇄회로기판 A type 과 접착력에 문제가 있는 B type을 분석한 결과를 그림 30에 나타내었다. 결과를 통해서 볼 때, Type A의 경우는 일반적인 인쇄 회로 기판용 Solder Mask 에 대한 정보와 일치하는 spectra를 나타내는데 반하여 (a), type B의 경우는 정상적인 solder mask와는 다른 spectra를 나타내는 것을 볼 수 있었다. 질량대 이온 비율별로 peak를 살펴보면  $m/z = 73(CH_3)_3Si^+$ ,

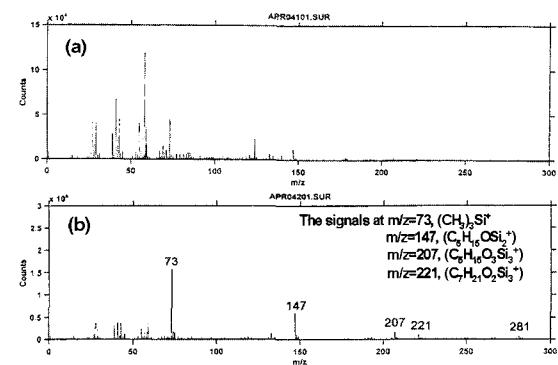


그림 30. TOF-SIMS mass spectra for (a) Type A PCB and (b) Type B PCB with abnormal fracture mode : the results shows that the surface of type B covered Si, C, O related organic compounds.

$m/z = 147(C_5H_{15}OSi_2^+)$ ,  $m/z = 207(C_5H_{15}O_3Si_3^+)$ ,  $m/z = 221, (C_7H_{21}O_3Si_3^+)$  등으로서 Si계열이 포함되어있는 유기화합물이 원인으로 추측이 되어졌다.

그림 31에서는 인쇄회로 기판 type B를 사용하여 패기징한 경우에 있어서 생긴 Chip과 Die attach용 adhesive간의 박리된 계면을 나타내었다. (a)는 박리된 칩의 밑면의 사진을 (b)는 인쇄 회로 기판 위에 남아있는 박리된 표면을 나타내며, (c)는 접착제가 깨끗하게 떨어진 칩의 뒷면에 남아있는 미량의 불순물에 대한 광학 현미경의 사진이다. 박리된 계면의 양쪽을 동일하게 TOF-SIMS로 분석하였을 때 PCB type B의 표면에서 오염으로 분석된 Si 계열 유기화합물과 동일한 spectra가 나타나는 것을 볼 수 있다(그림 32).

두 결과를 놓고 볼 때 Type B의 인쇄회로기판 표면에 존재하는 표면유기오염이 Die 접착제를 통해

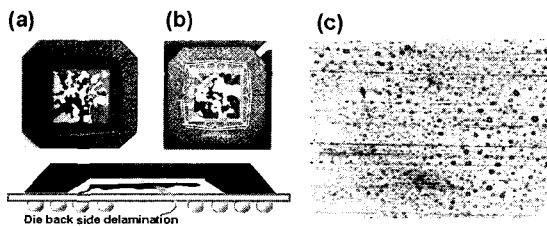


그림 31. Chip backside delaminated sample when using PCB type B for PBGA (a) backside of the Chip with adhesive residue (b) PCB side (c) Optically magnified photo of Si chip back side (100x).

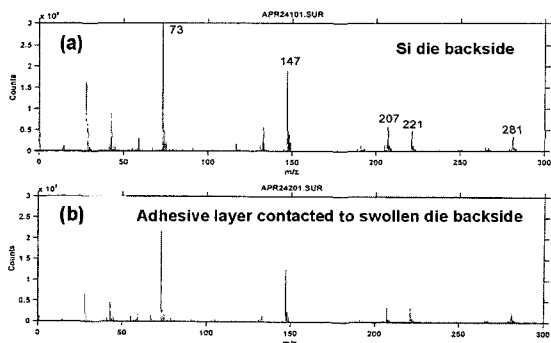


그림 32. TOF-SIMS mass spectra of (a) backside of the clearly delaminated Chip (b) adhesive side of the clearly delaminated area.

서 확산되어 Si chip의 뒷면에서의 Chip과 Die 접착제와의 결합력을 방해하는 인자로서 작용함을 알 수 있다.

위의 결과를 바탕으로 solder mask내의 첨가제를 검토하였을 때, solder mask 내의 PDMS(poly-dimethyl siloxane)가 문제의 원인이 됨을 확인 할 수 있었다(그림 33). PDMS는 인쇄회로 기판 제조시 solder masking 공정에서 기포발생을 억제하고 일정한 점도를 유지하기 위한 leveling제의 역할을 하는 첨가제로 쓰인다. 기준치를 상향하는 PDMS사용과 마지막 수세공정에서 제거 되지 않는 표면의 미량의 물질로 인해 이러한 문제가 발생된 것으로 확인이 되었다.

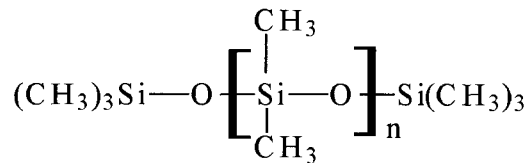


그림 33. Chemical structures of PDMS(poly-dimethyl siloxane).

이와 같이 SIMS는 미량의 분석시료에 대해서도 정확한 원소 및 화학구조에 대한 정보를 제공해 줌으로 일반적인 분석장비로 검출되지 않는 높은 감도를 요하는 불순물 또는 초미량 분석에 효과적임을 알 수 있다.

## 6. 결론

앞서 언급하였듯 최근의 패키지의 발달 동향은 디바이스에 대한 기계적 화학적 보호라는 전통적인 기능에서 벗어나 반도체 패키지는 디바이스의 기능과 효율 및 신뢰성을 최적화 시키는 하나의 시스템으로서 앞으로의 반도체 산업에서의 비중이 더욱 커질 전망이다. 앞으로 패키지의 구조와 인쇄회로기판의 시스템 차원의 전기전자적인 최적설계 및 이를 뒷받침해 줄 수 있는 적절한 소재의 활용은 더욱 미세화 되고 빠른 속도를 요하는 반도체 디바이스의 개발과 더불어 반도체 산업 및 이를 활용하는 정보, 전자, 통



신관련 산업의 중요한 관건이 되리라 생각된다. 또한 반도체 패키지가 더욱 소형화 되면서도 다양한 유기 혹은 무기 소재들이 활용되고 있는 현 시점에서 패키지 내의 미소영역에서 일어나는 현상들에 대한 정확한 이해와 분석을 통한 해결이 선행 되지 않으면 반도체 패키지의 목적하는 기능을 얻는데 상당한 난관에 부딪히게 되리라 예상된다.

이러한 측면에서 반도체 패키지나 관련 소재를 개발하는 연구 인력들이 다양한 각각의 표면 분석기법의 원리와 고유한 장, 단점들에 대하여 이해하고, 또 이를 실제적으로 적절하게 활용하여 현장에서 발생하는 반도체 패키지 내의 불량에 대한 이론적인 이해와 이를 통해 문제 해결하는 법을 습득하는 것은 매우 중요하다고 볼 수 있다.

### 참고 문헌

- [1] Ravi Mahajan, "Emerging directions for packaging technologies", Intel Technology Journal, Volume 06, Issue 02, 2002.
- [2] D. Briggs and M.P. Seah, Practical Surface Analysis, John Wiley & Sons, 1983.
- [3] Packaging, Electronic Materials Handbook Vol. 1, p. 1074, ASM international.
- [4] M. W. Lee, "Surface failure analysis in semiconductor packaging", p. 227, 1<sup>st</sup> ISMP 2002.
- [5] Zribi, A, et al., "Growth of ternary intermetallic alloys in Pb-Sn and Cu-Ag-Sn Pb free electronic joints", ECTC 2001.
- [6] B. H. Moon and H. Y. Yoo, "Optimal oxidation control for enhancement of copper lead frame-EMC adhesion in packaging process", ECTC 1998.
- [7] T. A. Carlson, Photoelectron and Auger Spectroscopy, Plenum Press, 1975.
- [8] J. Devancy, Packaging and Corrosion in Microelectronics, Nicholson, M.E, Ed, p. 287, 1987.
- [9] L. C. Feldman and J. W. Mayer, Fundamentals of Surface and Thin Film Analysis, North Holland, 1986.
- [10] M. Ishino and S. Mitani, "On contact failure

caused by silicones and an accelerated life test method", Proc. Holm Seminar on Electrical contacts, Chicago, II, p. 207, 1977.

- [11] Charles Evans & Associates Online Tutorial <http://www.eaglabs.com/tutorial.htm>.

· 저 · 자 · 약 · 력 · . . . . .

성명 : 이 민 우

❖ 학 력

- 1996년 서강대 화학공학과 공학사
- 1998년 서강대 대학원 화학공학과 공학석사
- 1998년 - 1999년 서강대 대학원 화학공학과 박사과정

❖ 경 력

- 1999년 - 현재  
엠코테크놀로지 코리아 기술연구소  
선임연구원

성명 : 유 희 열

❖ 학 력

- 1981년 서울시립대 화학공학과 공학사
- 1983년 서울시립대 대학원 화학공학과 공학석사
- 1993년 Tokyo Institute of Technology 공학박사

❖ 경 력

- 1993 - 현재  
엠코테크놀로지 코리아 기술연구소  
수석연구원