

박막소자응용을 위한 Mo 기판 위에 고온결정화된 poly-Si 박막연구

김도영† · 서창기 · 심명석 · 김치형 · 이준신

성균관대학교 정보통신공학부
(논문접수일 : 2003년 2월 17일)

The Study of poly-Si Film Crystallized on a Mo substrate for a thin film device Application

Do Young Kim,† Chang Ki Seo, Myung Suk Shim, Chi Hyung Kim, and Junsin Yi

School of Information and Communication Engineering, Sungkyunkwan Univ.

(Received Feb. 17, 2003)

요 약

최근, poly-Si 박막은 저가의 박막소자응용을 위하여 사용되어 왔다. 그러나, 유리기판 위에서 일반적인 고상결정화(SPC) 방식으로 poly-Si 박막을 얻기는 불가능하다. 이러한 단점 때문에 유리와 같은 저가기판 위에 poly-Si을 결정화하는 연구가 최근 다양하게 진행되고 있다. 본 논문에서는 급속열처리(RTA)를 이용하여 유연한 기판인 몰리브덴 기판 위에서 a-Si:H를 성장시킨 후 고온결정화에 대한 연구를 진행하였다. 고온결정화된 poly-Si 박막은 150 μ m 두께의 몰리브덴 기판 위에 성장되었으며 결정화 온도는 고 진공하에서 750 $^{\circ}$ C ~ 1050 $^{\circ}$ C 사이에서 결정화된 시료에 대하여 결정화도, 결정화 면방향, 표면구조 및 전기적 특성이 조사되었다. 결정화온도 1050 $^{\circ}$ C에서 3분간 결정화된 시료의 결정화도는 92%를 나타내고 있었다. 결정화된 poly-Si 박막으로 제작된 TFT 소자로부터 전계효과 이동도 67 cm²/Vs을 얻을 수 있었다.

주제어 : 결정화, 급속열처리, 다결정 실리콘, 박막 트랜지스터

Abstract

Polycrystalline silicon thin films have been used for low cost thin film device application. However, it was very difficult to fabricate high performance poly-Si at a temperature lower than 600 $^{\circ}$ C for glass substrate because the crystallization process technologies like conventional solid phase crystallization (SPC) require the number of high temperature (600-1000 $^{\circ}$ C) process. The objective of this paper is to grow poly-Si on flexible substrate using a rapid thermal crystallization (RTC) of amorphous silicon (a-Si) layer and make the high temperature process possible on molybdenum substrate. For the high temperature poly-Si growth, we deposited the a-Si film on the molybdenum sheet having a thickness of 150 μ m as flexible and low cost substrate. For crystallization, the heat treatment was performed in a RTA system. The experimental results show the grain size larger than 0.5 μ m and conductivity of 10⁻⁵ S/cm. The a-Si was crystallized at 1050 $^{\circ}$ C within 3min and improved crystal volume fraction of 92 % by RTA. We have successfully achieved a field effect mobility over 67 cm²/Vs.

Key Words : crystallization, RTA, poly-Si, TFT

1. 서 론

일반적으로 비정질 Si(a-Si)은 낮은 공정온도로 쉽게 성장이 가능하여 태양전지 [1], 디스플레이 구동소자 [2], 센서등의 활성층으로써 광범위하게 사용되어왔다. 그러나 비정질 Si은 가시 광선영역에서의 흡수가 크므로 광에 노출되었을 때 높은 광캐리어의 형성에 의하여 낮은 광안정성을 보이게 된다. 또한 전기적으로 1 cm²/Vs보다 작은 전계 효과 이동도(μ FE)로 구동속도의 제한을 가진다. 반면에, 다결정실리콘 (poly-Si) 박막은 μ FE에 있어 a-Si 박막에 비하여 100배이상 크며 광흡수도가 낮아 광학적으로 안정한 박막을 얻을 수 있다. 이러한 특성과 더불어 기존의 Si wafer에 비하여 유리나 플라스틱 기판과 같은 저가, 유연한 성질을 가지는 기판에서는 온도의 제약이 존재한다. 이 때문에 poly-Si 박막은 저온에서 a-Si를 성장한 후에 결정화하는 방법이 일반적이다. 이러한 추세에 따라 많은 연구그룹들은 a-Si로부터 양질의 poly-Si 박막을 성장하기 위하여 다양한 연구를 진행하고 있다. A-Si으로부터 poly-Si을 성장하는 몇 가지 방법중에서 고상 결정화(SPC, Solid Phase Crystallization) [3], 엑시머 레이저 열처리(ELA, Excimer Laser annealing) [4], 그리고 금속 유도 결정화(MIC, Metal Induced Crystallization) [5] 방법이 널리 사용되어 지고 있다. 초기의 연구는 큰 결정립을 얻기 위하여 600°C에서 20시간이상의 furnace를 이용하여 열처리하는 SPC법을 이용해왔다. 이러한 SPC법의 간단함에도 불구하고 결정화 온도는 유리기판과 같은 저가의 기판에 적용하기에 너무 높고, 열처리 시간이 너무 긴 단점을 가지고 있다. ArF, XeCl과 같은 엑시머 레이저를 사용하는 다른 방법인 ELA법은 순간적인 용해와 결정화를 통해 poly-Si을 얻을 수 있다. 이 방법은 유리나 유연한 기판에 손상 없이 a-Si을 결정화하는데 매우 유용하며, 높은 전계효과이동도(μ FE)를 제공하고 TFT 응용에 적합하다. 그러나 이 방법은 대면적에 있어서 결정화 균일성을 얻는데 문제점을 가지고 있다. 최근에 ELA의 단점을 극복하기 위한 결정화방법으로써 MIC법은 Ni과 같은 금속과 비정질 Si사이의 계면상에서 저온 열처리를 통해 금속 규소화합물을 만들고 결정화하는 방식이다. 이러한 방법은 금속

오염을 야기할 수 있다는 단점을 가지고 있다.

상기에 열거한 전형적인 결정화 방법은 몇 가지 단점을 가진다. 본 논문에서는 이러한 결정화 방법 중 SPC의 단점을 극복하여 단시간에 결정화가 가능하고 SPC 고유의 특징인 큰 결정립을 성장시키는 급속열처리법을 제안한다. 특히 기판으로 사용되는 폴리브텐기판 [6]은 유연한 기판으로 높은 온도에서 공정이 가능할 정도로 녹는점이 높고 roll-to-roll 공정이 가능한 기판이다. 본 논문은 RTA를 이용하여 개선된 SPC에 의해 성장된 poly-Si 박막의 특성에 대하여 논의할 것이다.

2. 실험 방법

고온결정화 기판으로 사용된 폴리브텐 기판은 약 150 μ m의 두께를 가지고 있었다. 일반적으로 폴리브텐기판은 단시간에 쉽게 산화되므로 표면의 자연 산화막을 제거하기 위해 H₃PO₄, HNO₃, DI water의 혼합용액으로 산화막을 제거하였다. 결정화될 a-Si는 5개의 W wire를 평행하게 배열하고 고전류를 흘려 1514°C의 온도로 가열한 후 He에 희석된 SiH₄ 가스를 열분해하여 성장시키는 방식인 hot-wire CVD (HWCVD)법 [7]으로 900nm를 증착시켰다. 결정화를 위하여 housing halogen lamp를 이용한 RTA 반응기에서 10⁻⁶torr의 고진공을 유지하면서 750°C ~ 1050°C 사이의 온도에서 3분동안 RTA로 결정화하였다. 그림 1은 본 연구에서 사용된 RTA 결정화 장치의 모식도와 실제사진이다.

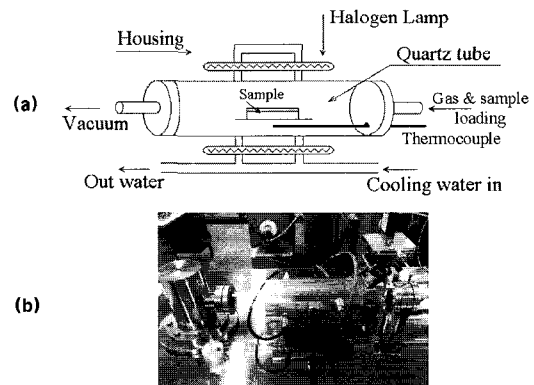


그림 1. 본 연구에서 사용된 급속열처리(RTA) 장치 모식도(a)와 실제장치사진(b)

박막의 결정성 평가를 위하여 Raman Spectroscopy (JobinYvon model T64000, power=400 mW)와 XRD (Mac Science M18XHF-SRA)를 이용하였으며 표면 분석을 이용하여 SEM(Spectroscan Leica Model 440)을 사용하였다. 전기적 특성평가는 Fluke 5110B power source, Keithley 617 multimeter 그리고 GP-IB Interface를 사용한 컴퓨터 시스템을 통해서 측정되었다. 본 연구에서 제작된 poly-Si TFT는 절연층으로 SiNx 박막을 inductive coupled plasma CVD (ICPCVD) 법으로 제작하고 소스와 드레인의 ohmic contact을 위하여 두께 25nm의 n⁺ a-Si 층을 300℃에서 PH₃, H₂와 He에 20% 희석된 SiH₄ 가스를 사용하여 증착하였으며 최종적으로 전기적특성이 Semiconductor Test & Analyser(Elecs model A200)로 평가되었다.

3. 결과 및 고찰

구조적 특성 및 결정 부피 비율에 대한 연구를 위하여 Raman spectroscopy를 이용하였다. 그림 2는

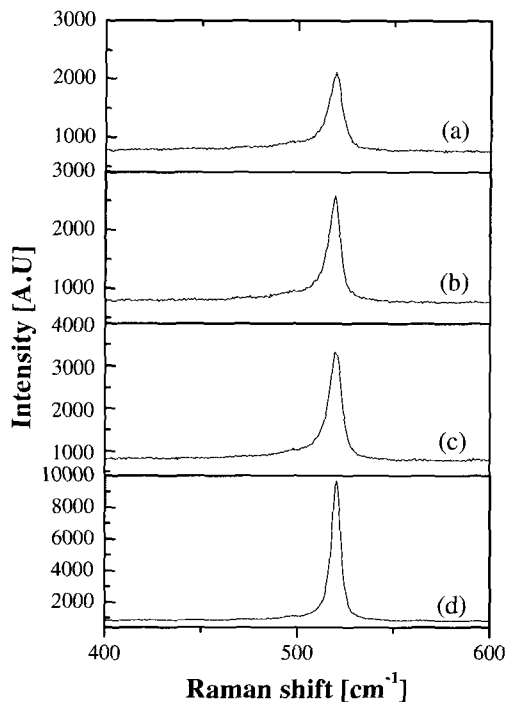


그림 2. 결정화온도에 따른 Raman spectroscopy: (a) 750℃, (b) 850℃, (c) 950℃, (d) 1050℃

RTA 고온결정화 온도에 따른 poly-Si 박막의 Raman spectroscopy 곡선을 나타내었다.

모든 시료들은 521cm⁻¹에서 단결정 Si에서 나타나는 TO 피크를 보여주는 것으로 관찰되었다. 이것은 a-Si으로부터 고온결정화에 의하여 poly-Si 결정화가 진행되었음을 암시하고 있다. 이로부터 단결정에서 나타내는 520cm⁻¹에서의 날카로운 Raman shift 피크와 520cm⁻¹을 기준으로 낮은 Raman shift를 가지면서 비대칭 지역인 480cm⁻¹에서의 broad한 피크를 비교함으로써 결정화도(X_c)를 계산할 수 있다. 500cm⁻¹ 영역에서의 중간 피크는 microcrystalline 결정상의 구조에서 나타나는 형태로 X_c는 수식 (1)과 같이 표현된다 [9].

$$X_c = \frac{I_{500} + I_{520}}{\sigma I_{480} + I_{500} + I_{520}} \quad (1)$$

I₄₈₀, I₅₀₀, I₅₂₀은 480, 500 그리고 520 cm⁻¹에서의 각각의 피크의 세기이며, σ는 결정질 Si에 있어 비정질 Si의 전체 Raman 단면적의 비율이다. 결정립이 작은 경우 일반적인 σ는 1로 가정하므로 그림 2에서 결정화도(X_c)는 결정화 온도의 증가와 함께 증가됨을 알 수 있다. 이러한 결정화도의 계산법으로부터 750℃~950℃ 사이의 결정화 온도에서의 poly-Si 막은 480cm⁻¹ 주변에서 미세한 비정질상의 shoulder가 나타나며 1050℃의 결정화 온도에서의 막은 비정질 상이 사라짐을 관찰 할 수 있다. 이런 결과로부터 우리는 결정화 온도가 증가함에 따라 막의 X_c가 증가됨을 알 수 있었으며 1050℃에서 결정화도가 최대 92%임을 계산할 수 있었다.

그림 3과 표 1은 XRD 형태와 결정화 온도에 따른 구조분석결과를 나타내었다. X-ray 회절을 만족시키는 28°와 47°에서 나타나는 피크는 결정화된 Si의 (111), (220) 면 방향을 나타낸다. 결정화 온도가 증가함에 따라 (111), (220) 방향의 피크 세기도 각각 증가한다. 표 1의 I₍₁₁₁₎/I₍₂₂₀₎은 (111)면의 방향이 (220)방향에 비하여 우선 성장함을 보여 주고 있다. 또한 결정화온도가 증가함에 따라 I₍₁₁₁₎/I₍₂₂₀₎이 감소하는 것은 높은 결정화 온도에서 (220)면의 성장이 우월하게 됨을 보여주고 있다. 입사되는 beam에 대한 X-ray 회절되는 beam의 비인 I/I₀의 값은 결정화 온도와 함께 증가되었으며, 이것은 박막의 결정화

밀도가 결정화온도가 저온에서 보다 고온에서 더 치밀해 졌음을 알 수 있었다. Scherrer의 공식 [10]으로부터 우리는 (111), (220) 면의 d spacing을 계산하였다. 각각의 면 방향에서 d spacing 길이는 결정화온도에 따라 변화가 관측되지 않았으며 이러한 결과는 모든 방향에 있어 막의 균일한 성장을 의미하고 있다. 표 1의 마지막 행에서 보이는 Full Width Half Maximum(FWHM) [8]의 경우 결정화 온도의 증가와 함께 감소한다. 이것은 (111), (220) 방향의 결정화도가 Raman spectroscopy의 결과와 일치함을 나타낸다.

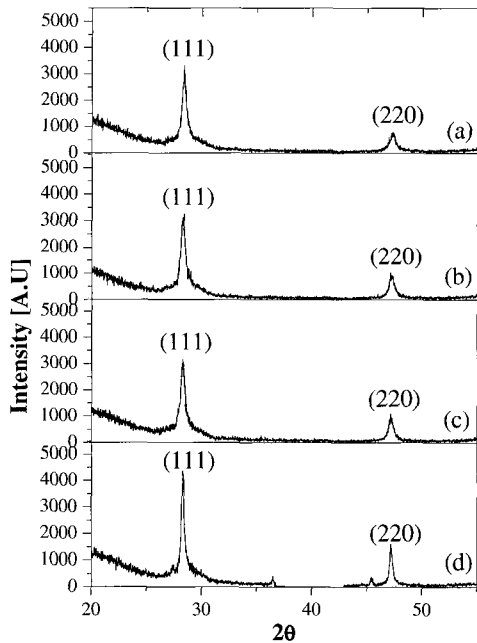


그림 3. 결정화온도에 따른 X-ray diffraction pattern (a) 750°C, (b) 850°C, (c) 950°C, (d) 1050°C

표 1. 결정화온도에 따른 X-ray diffraction 분석표.

결정화온도	750°C	850°C	950°C	1050°C	
$I_{(111)}/I_{(220)}$	4.219	3.503	3.092	2.848	
I/I_0	(111)	5	5	5	8
	(220)	1	1	2	3
d(nm)	(111)	0.314	0.315	0.316	0.315
	(220)	0.192	0.193	0.193	0.193
FWHM (degree)	(111)	0.4	0.4	0.4	0.36
	(220)	0.34	0.36	0.34	0.26

일반적으로 고온결정화나 고온공정에서는 기판에 의한 불순물이 문제시된다 [11]. 그러나 본 연구의 공정온도는 1050°C이하이므로 박막의 전기적 특성에 미치는 효과는 매우 작다고 사료된다. 그림 4는 poly-Si 막의 SEM 표면사진을 보여준다. 결정화온도가 낮을 경우, 결정화 된 표면은 많은 틈과 거친 상태를 보였다. 그러나 결정화 온도가 증가함에 따라 틈이 사라지고 표면의 거친 상태도 향상된다. 이런 결과로부터 우리는 높은 공정온도에 의해 틈 밀도의 감소, 표면 조직 형태의 향상이 야기된다는 것을 관찰할 수 있었으며 결정화온도 1050°C에서 0.5 μ m의 결정립크기를 얻을 수 있었다.

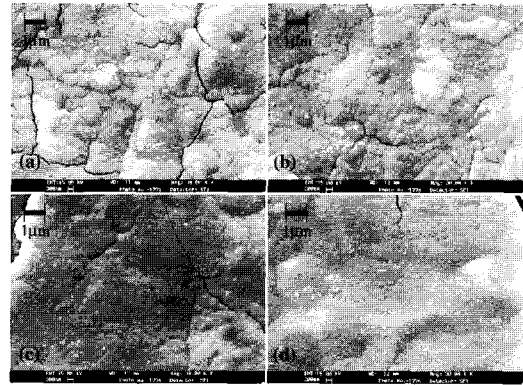


그림 4. 결정화온도에 따른 SEM 표면사진 (a) 750°C, (b) 850°C, (c) 950°C, (d) 1050°C

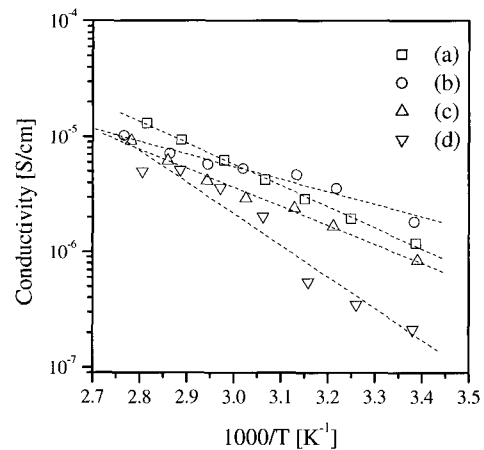


그림 5. 결정화온도에 따른 Arrhenius plot (a) 750°C, (b) 850°C, (c) 950°C, (d) 1050°C

진성대역에서 전도대역으로 캐리어의 전이로 측정되는 활성화 에너지(E_a)는 Arrhenius 방정식 [12] 으로부터 계산될 수 있다. 그림 5는 절대온도의 역수에 대한 암전도도 특성을 보여준다.

활성화 에너지는 결정화온도가 증가함에 따라 0.22eV에서 0.55eV까지 증가하는 특성을 보였다. 도핑되지 않은 c-Si의 경우 이상적인 활성화 에너지 값은 에너지 bandgap의 1/2인 0.55eV이다. 활성화 에너지는 1050°C에서 결정화된 시료의 0.55eV로 단결정 Si의 경우와 일치하는 특성을 보였다. 이로부터 몰리브덴 기판 위의 poly-Si 박막의 결정화는 결정화 온도에 따라 증가함을 확인할 수 있었다.

다. 일반적으로 비정질 Si는 낮은 전이전도 (g_m), 낮은 전계효과이동도(μ_{FE}), 그리고 높은 게이트 문턱 전압 (V_T)를 보인다. 또한 낮은 I_{on}/I_{off} 비율을 보여준다. 본 연구에서는 1050°C에서 결정화된 TFT를 제작하여 출력 특성은 좋은 포화 드레인 전류($I_{d,sat}$), 전이전도의 향상, 그리고 게이트 turn-on 전압의 감소를 얻을 수 있었다. 그림 6에서 보여지는 바와 같이 세 개의 차수로 인해 증가되는 드레인 전류를 얻을 수 있었으며 10^6 의 I_{on}/I_{off} 비율과 $67\text{cm}^2/\text{Vs}$ 의 μ_{FE} 의 특성을 가지고 있었다.

4. 결 론

저온에서 저가, 유연한 기판 위에 양질의 poly-Si를 성장하는 것은 매우 어렵다. 그래서 우리는 박막에 손상을 방지하기 위하여 온도에 안정하고 유연한 몰리브덴을 사용하여 고온 처리를 하는 새로운 poly-Si 결정화 공정을 제안하였다. 고온열처리는 다양한 결정화 공정 가운데 높은 결정립크기를 가지는 장점이 있다. 또한 장시간의 고온결정화 시간을 단축하기 위하여 RTA를 이용한 고온 결정화를 진행하였다. 이로부터 결정화온도 1050°C에서 3분간의 RTA처리를 통하여 92%의 높은 결정화도를 얻었으며 (111), (220) 면방향의 우선적인 성장을 가지는 박막을 얻을 수 있었다. 또한 전기적으로 이상적인 활성화 에너지 0.55eV를 얻었다. 이러한 고온 결정화로 제작된 poly-Si TFT는 제작하여 큰 I_{on}/I_{off} 비율과 $67\text{cm}^2/\text{Vs}$ 의 전계 효과 이동도(μ_{FE})를 가지고 있었다. 이런 유연한 기판은 고온 처리와 매우 유망한 roll-to-roll 공정의 가능성을 제시하여 준다.

후 기

본 논문은 21C 뉴프론티어사업 (과제번호: M102 KR010001-02K1801-01113)에 의하여 지원되었습니다.

참 고 문 헌

- [1] Kylie R. Catchpole, Michelle J. McCann, Klaus J. Weber, Andrew W. Blakers, *Solar Energy Materials & Solar Cells*, **68** (2001).
- [2] Helena Gleskova and Sigurd Wagner, *IEEE Trans.*

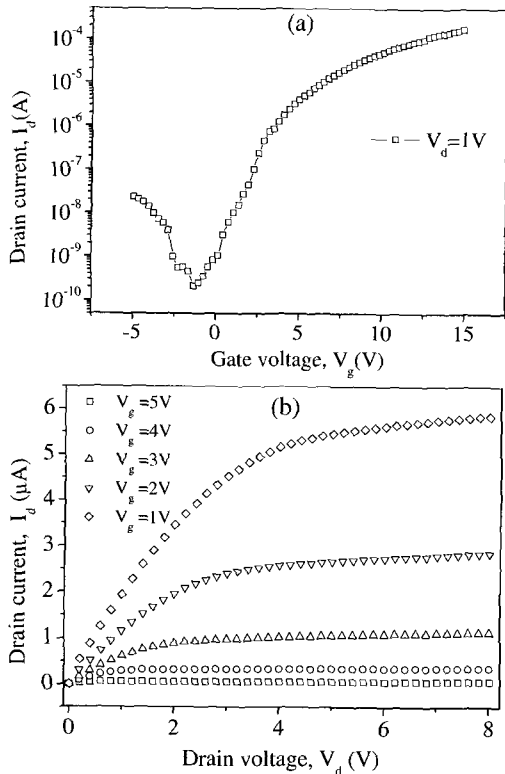


그림 6. 본 연구에서 제작된 poly-Si TFT의 (a) 전달 (transfer), (b) 출력(output) 특성 ($W/L=4$).

실제적인 박막소자를 평가하기 위하여 inverted staggered TFT의 고온 결정화법으로 성장된 poly-Si를 이용하여 inverted staggered TFT를 제작하였다. 비정질 Si의 저항(R_{sk})은 $10^9\Omega$ 정도이며, 결정화를 통해 $10^6\Omega$ 으로 채널 저항(R_{sk})을 감소시킬 수 있었

- on Elect. Dev. **48**, 8 (2001).
- [3] Masanobu Miyao, Isao Tsunoda, Yaizoh Sadoh, Atsushi Kenjo, Thin Solid Films **383**, 104 (2001).
- [4] J. S. Im, R. S. Sposili, and M. A. Crowder, Appl. Phys. Lett., **70**, 3434 (1997).
- [5] S. Y. Yoon, S. J. Park, K. H. Kim, J. Jang., Thin Solid Films, **383**, 34 (2001).
- [6] R. S. Howell, M. Stewart, S. V. Karnik, S. K. Saha, M. K. Hatalis, IEEE Electron Device Lett. **21**, 70 (2000).
- [7] D. Y. Kim, B. J. Ahn, S. I. Moon, J. Yi, Thin Solid Films **395**, 184 (2001).
- [8] S. Jia, H. Ge, X. Geng, Z. Wang, Solar Energy Materials & Solar Cells **62**, 201 (2000).
- [9] M. Wakgi, T. Kaneko, K. Ogata, and Asao Nakano, Mat. Res. Soc. Symp. Proc. **283**, 555 (1993).
- [10] B. D. Cullity and S. R. Stoch, *Elements of X-ray Diffraction*, 3rd ed. (Prentice Hall, 2001).
- [11] R. Auer, J. Zettner, J. Krinke, G. Polisski, Th. Hierl, R. Hezel, M. Schulz, H. P. Strunk, F. Koch, D. Niki, and H. v. Campe, 26th, PVSC 739 (1997).
- [12] Y. He, C. Yin, G. Cheng, L. Wang, and X. Liu, J. Appl. Phys. **75**, 797 (1993).