Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol. 16, No. 7, p. 584, July 2003.

논 문 16-7-6

6H-SiC MOSFET과 디지털 IC 제작

Fabrication of 6H-SiC MOSFET and Digital IC

오충완, 최재승, 송지헌, 이장희, 이형규, 박근형, 김영석*
(Chung W. Oh, Jae S. Choi, Ji H. Song, Jang H. Lee, Hyung G. Lee, Keun H. Park, and Yeong S. Kim*)

Abstract

6H-SiC MOSFETs and digital ICs have been fabricated and characterized. PMOS devices are fabricated on an n-type epilayer while the NMOS devices are fabricated on implanted p-wells. NMOS and PMOS devices use a thermally grown gate oxide. SiC MOSFETs are fabricated using different impurity activation methods such as high temperature and newly proposed laser annealing methods. Several digital circuits, such as resistive road NMOS inverters, CMOS inverters, resistive road NMOS NANDs and NORs are fabricated and characterized.

Key Words : SiC, MOSFET, Digital circuits, Impurity activation, High temperature annealing, Laser annealing

1. 서 론

SiC는 Si보다 절연파괴강도가 약 10 배 이상, 열전도도는 약 3 배 이상, 포화드리프트 속도는 약 3 배, 에너지 밴드갭은 약 3 배 정도 높아서 동작온도를 Si의 3 배인 약 500 ℃까지 올릴 수 있기 때문에 고온 극한 환경에서의 동작이 가능한 차세대 재료이다[1-3]. 이러한 분야에 사용하기 위한 SiC 소자들은 고온에서 구동하기 위한 SiC CMOS 및 IC들도 필요하기 때문에, 이들을 제작하고 그 동작 특성을 검정할 필요가 있다. 그러나 SiC는 Si보다 물질이 단단하여 소자와 IC 제작 공정이 힘들어서, 동작 특성이 우수하고 수율이 높은 IC의 개발을 위해서는 지금까지 개발된 공정들의 문제점들을 파악하고 개선할 필요가 있다.

지금까지 개발된 공정의 가장 큰 문제점으로 이온주입 후에 진행하는 불순물 활성화(activation) 방법이다. SiC는 불순물 이온주입 후 불순물을 활성화시키기 위해서는 아주 높은 1600 ℃정도의 고온 열처리를 해야 하는 것으로부터 야기된다. SiC의 불순물로 NMOS의 P형 우물 형성에 붕소(B)가 사용되고, NMOS의 N^+ 소스와 드레인 형성에 질소(N)가 사용되고, PMOS의 P+ 소스와 드레인 형성에 알루미늄(Al)이 사용되는데, 이 불순물들을 활성화하는데 필요한 열처리 온도가 각각 1,500 ℃이상, 1,050 ℃이상, 1,600 ℃이상의 고온이며 장시간의 열처리가 필요하다[4]. 그런데, 장시간의 고온 열처리로 인하여 SiC의 물리적인 특성이 변하는데 특히 원래의 방향성대로 원자들이 다시 결정화하여 결을 형성하는 스텝-번칭(step-bunching)이라는 현상이 발생한다[5]. 이 현상은 소자 및 회로에 절대적인 영향을 미친다. 이러한 고온 열처리의 문제점들을 보완하기 위한 방법으로 엑시머 레이저를 이용한 활성화 방법도 사용하고 있다[6]. 본 논문에서는 이러한 두 가지 불순물 활성화 방법이 소자 및 회로에 미치는 영향을 보기 위하여, 1600 ℃ 고온 열처리와 엑시머 레이저 활성화 방법을 이용한 샘플로 나누어서 소자 및 회로를 제작하고 그 특성을 측정하였다.

본 논문에서는 SiC MOSFET과 디지털 회로의 검증을 위해 위와 같이 공정에 변화를 주었는데,

* : 충북대학교 전기전자컴퓨터공학부
(충북 청주시 흥덕구 개신동 48,
Fax: 043-274-9614
Corresponding Author : kimys@cbucc.chungbuk.ac.kr)
2003년 3월 5일 접수, 2003년 4월 7일 1차 심사완료,
2003년 4월27일 최종 심사완료

이들의 영향을 조사하기 위하여 여러 가지 소자 및 기본 IC들을 제작하였다. SiC MOSFET으로는 NMOS와 PMOS 기본소자, SiC 디지털 IC로는 CMOS 인버터, NMOS와 부하저항으로 구성된 인버터, NAND, NOR 등을 제작하고 특성을 분석하였다. 본 논문의 구성은 다음과 같다. 2장에서는 위와 같은 여러 가지 실험 방법들을 자세히 설명하였고, 3장에서는 이러한 실험에 대한 결과와 고찰에 대해 서술하였다. 마지막으로 4장에서 결론을 맺었다.

2. 실험 방법

실험에 사용된 SiC CMOS 공정을 그림 1에 나타내었다. 먼저, 강하게 N형으로 도핑된 400 μm 두께의 SiC 웨이퍼 위에 질소가 5×10^{15} cm^{-3}으로 도핑된 5 μm 두께의 에피층을 성장시켜 MOSFET 제작을 위한 기판으로 사용하였다. NMOS를 위한 P형 우물, N+ 소스와 드레인, PMOS의 P+ 소스와 드레인은 각각 붕소, 질소, 알루미늄을 이온 주입하여 형성하였다. 원하는 농도 프로파일을 갖도록 하기 위해 적당한 이온 주입 에너지와 주입량에 대한 조건들이 조합된 다중 이온 주입을 하였으며, 불순물의 이온 주입을 용이하도록 하기 위해 650 ℃의 온도를 유지하였다. 또한 주입된 불순물을 활성화시키기 위해 1600 ℃에서 40 분간 열처리를 수행하였다. 열처리 온도는 실리콘을 이용한 공정에 비해 매우 높기 때문에, 폴리실리콘 게이트 형성 이후에는 적용할 수 없는 고온 공정이다. 따라서 MOSFET는 소스와 드레인을 형성한 후 게이트를 형성해야하는 비자기정렬(non self-aligned)구조를 갖게된다.

본 논문에서는 위에서 서술된 여러 공정들의 문제점들을 파악하고, 특히 불순물 활성화 실험을 위하여 표 1과 같이 두 가지 샘플을 제작하였다. 샘플 1은 1600 ℃ 40 분 조건의 고온 열처리를 행하였으며, 샘플 2는 엑시머 레이저 열처리를 적용하였다. 불순물 이온 주입 및 고온 불순물 활성화 공정은 표 2의 조건들[7]을 이용하였다.

표 1. 여러 가지 샘플 조건.

Table 1. Various sample conditions.

샘플 번호	불순물 활성화 방법	게이트 물질	산화막	오믹 접합
1	1600 ℃ 40 분	Mo	60 nm	Ni/Ti
2	엑시머 레이저	Mo	43 nm	Mo

표 2. 불순물 이온 주입 및 활성화 조건.

Table 2. Conditions of ion implantation and electrical activation of impurities.

	이온 주입 조건				활성화 조건
	종류	dose	에너지	온도	
P형 우물	붕소	3.8E12cm^{-2}	10keV	650 ℃	1600 ℃ 40분 아르곤 분위기
		7.5E12cm^{-2}	30keV		
		1.5E13cm^{-2}	70keV		
		1.9E13cm^{-2}	130keV		
		3.8E13cm^{-2}	230keV		
		2.0E14cm^{-2}	380keV		
N^+ 확산	질소	5.0E14cm^{-2}	30keV		
		6.0E14cm^{-2}	60keV		
		8.0E14cm^{-2}	120keV		
		1.5E15cm^{-2}	190keV		
P^+ 확산	알루미늄	2.0E14cm^{-2}	30keV		
		3.0E14cm^{-2}	80keV		
		5.0E14cm^{-2}	150keV		
		1.0E15cm^{-2}	260keV		

NMOS의 P형 우물 형성에 필요한 붕소, NMOS의 N^+ 소스와 드레인 형성에 필요한 질소, PMOS의 P+ 소스와 드레인 형성에 필요한 알루미늄은, 열처리 온도가 각각 1500 ℃이상, 1050 ℃이상, 1600 ℃이상의 고온이 필요하다. 그러나 공정의 단순화를 위하여 모두 동시에 1600 ℃에서 불순물들을 활성화하였다. 1600 ℃ 고온 열처리를 하는 샘플 1은 불순물 이온주입이 완료된 후, 고온 열처리를 할 동안 표면 손상을 최소화하기 위하여, 20 nm 두께의 희생산화막을 형성하고 불순물 활성화를 하였다. 그리고, 게이트 산화막을 형성할 때 1150 ℃에서 습식 산화 방법으로 60 ㎚를 형성하였다.

샘플 1은 고온 열처리 시간이 길기 때문에 게이트 산화막을 더 두껍게 형성하여 스텝-번칭에 의한 소자의 결함을 최소화해 보기 위해서이다. SiC 소자 및 회로의 게이트는 Mo 금속을 이용하였다. N^+형과 P^+형 접합 물질로는 Ni과 Ti을 30 ㎚과 5 ㎚를 증착한 후 샐리사이드(salicide) 방법으로 합금화 어닐 공정을 하였으며, 알루미늄을 사용하여 금속 배선 공정을 하였다.

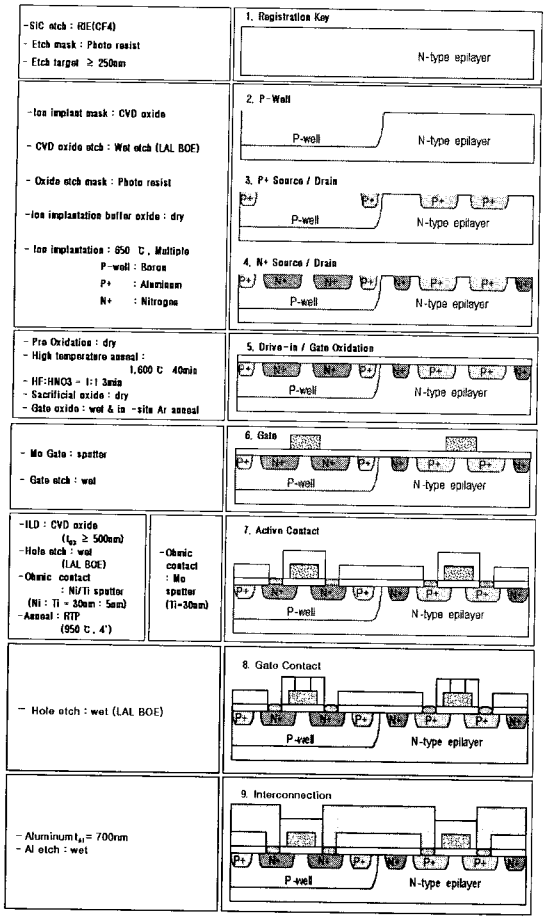


그림 1. 전체 SiC CMOS 공정 순서도.

Fig. 1. Overall process flow of SiC CMOS.

엑시머 레이저를 이용한 샘플 2는 이온 주입까지는 위와 동일하게 진행하였다. N^+ 이온주입 후 시편 위에 이온주입 차단막용 화학기상증착(CVD) 산화막과 희생 산화막을 남겨둔 후 질소 분위기의 실온에서 시료의 표면에 직각 방향으로 엑시머 레이저 빔을 쪼여 주었다. 레이저의 파장은 308 nm의 XeCl 선이고 시료 표면에서 빔의 크기가 3×1 ㎟, 평균 광세기가 1.0 J/㎠ 되도록 렌즈 등을 조절하여 폭이 20 ns인 펄스를 4 회 조사(irradiation)하여 이온 주입된 불순물을 활성화하였다. 1150 ℃에서 습식 산화 방법으로 43 ㎚의 게이트 산화막을 형성하였다. 게이트는 Mo를 이용하여 형성하였고, N^+형과 P^+형 접합 물질로 Mo를 사용하여 합금화 어닐 공정을 사용하지 않았다.

3. 실험결과 및 고찰

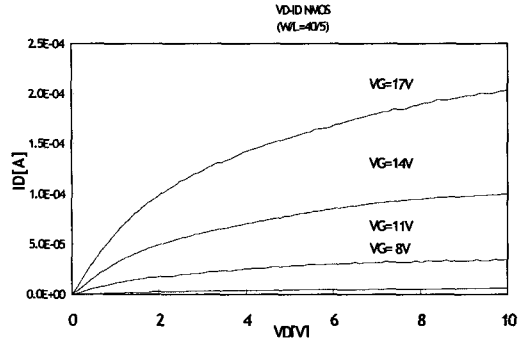
앞 장에서 소개된 SiC 공정에 의해 제작된 샘플들은 반도체 소자 분석기(HP-4156)를 이용하여 6H-SiC NMOS 및 PMOS 소자들 측정 및 분석하고, 디지털 IC 회로들은 반도체 소자 분석기(HP-4156)의 펄스 발생기와 모니터를 사용하여 측정하였다.

3.1 샘플 1(1600 ℃ 40 분 활성화)

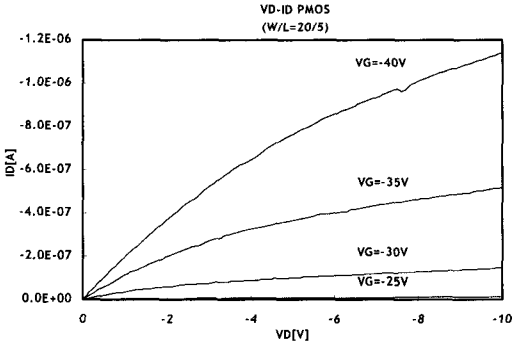
샘플 1에서 제작된 NMOS와 PMOS의 문턱전압을 외삽법으로 구한 결과 각각 9.8 V와 -26.1 V를 나타내었다. 이 값들은 예상된 NMOS 및 PMOS의 목표 문턱전압(각각 3 V, -3 V)보다 훨씬 높게 나왔는데 이것은 다음과 같은 이유들 때문이라고 판단된다. 첫 번째로, 게이트 산화막 두께의 증가이다. 고온 불순물 활성화 열처리 공정에서 시간을 40 분으로 한 결과 표면에 스텝-번칭이 발생하였다. 이 현상이 소자에 미치는 영향을 최소화하기 위하여, 습식 게이트 산화막 성장 조건을 기존보다 2 배 늘려 4 시간 20 분으로 600 Å을 성장시킨 것이 문턱전압을 증가시켰다. 두 번째로, 게이트 산화막 공정의 추가된 열량으로 인한 불순물 활성화 비율의 증가를 생각할 수 있다. 그러나 SiC 기판에 주입된 B+의 활성화 온도가 매우 높기 때문에, 게이트 산화막 형성 시에 추가된 열량에 의해 발생한 문턱전압의 상승 효과는 그다지 크지 않을 것으로 판단한다. 마지막으로 게이트 콘택이 불완전하여 외부 게이트 전극과 내부 게이트 사이에 커패시턴스 커플링과 같은 문제가 발생하여 문턱전압이 많이 증가하였다고 추정된다. 게이트 콘택을 형성할 때 게이트 금속 위에 존재하는 층간 절연막(CVD 산화막)을 완전히 제거하여야 하는데, 조금이라도 남으면 게이트는 층간 절연막과 게이트 산화막 사이에 플로팅된다.

즉, 외부에서 전압($V_{G,ext}$)을 가하면 층간 절연막 커패시턴스(C_{pp})와 게이트 산화막 커패시턴스(C_{ox})에 의하여 양분되어 내부 전압($V_{G,int} = V_{G,ext} C_{pp} / C_{pp} + C_{ox}$)이 걸리게 된다. 따라서 MOSFET를 동작시키기 위해서는 더 많은 게이트 전압을 필요로 한다. 즉, 문턱전압의 증가를 초래한다. 이것이 문턱전압의 증가에 제일 많은 영향을 미쳤을 것으로 판단된다.

제작된 NMOS 및 PMOS의 드레인 전류-전압 특성을 각각 그림 2에 나타내었다. NMOS의 경우 채널 폭과 길이가 각각 40 ㎛와 5 ㎛이고 채널



(a)

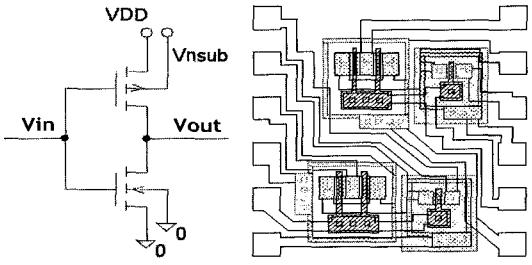


(b)

그림 2. NMOS(a)와 PMOS(b)의 전류-전압 특성 (샘플 1).

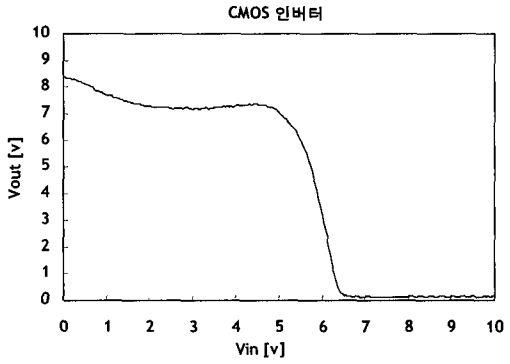
Fig. 2. I-V characteristics of NMOS(a) and PMOS(b)(sample 1).

방향은 기본 플랫존에 수평 방향이다. 수평 방향으로 제작된 소자의 전자 이동도가 수직 방향으로 제작된 소자의 이동도보다 약 5 배 정도 높기 때문에 주의가 요구된다. 실온에서 드레인에 10 V, 게이트에 17 V를 인가하였을 때 201 ㎂의 드레인 전류가 흐른다. 드레인 전압을 0.1 V로 인가한 상태에서 트랜스컨덕턴스를 측정한 결과 게이트 전압이 14 V일 때 1.2 ㎂/V의 최대값을 가졌다. PMOS는 채널 폭과 길이가 각각 20 ㎛와 5 ㎛이고 채널 방향이 수평 방향이다. 실온에서 드레인에 -30 V, 게이트에 -40 V가 인가되었을 경우에 -1.15 ㎂의 드레인 전류가 흐른다. 드레인 전압을 1 V로 인가한 상태에서 트랜스컨덕턴스를 측정한 결과 게이트 전압이 -30 V일 때 -0.01252 ㎂/V의 최대 값을 가졌다. NMOS가 PMOS에 비해 약 100 배 정도 많은 전류가 흘렀고, 트랜스컨덕턴스 값도 약 100 배 정도의 차이가 있음을 확인하였다.



(a)

(b)



(c)

그림 3. CMOS 인버터의 회로도(a), 레이아웃도(b) 및 전압전달특성(c)(샘플 1).

Fig. 3. CMOS inverter circuits(a), layout(b), and voltage transfer characteristics(c)(sample 1).

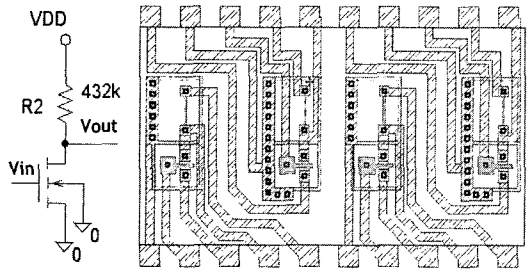
그림 3은 샘플 1의 조건으로 제작된 CMOS 인버터 회로도(a), 레이아웃도(b) 및 전압전달특성(c)이다. PMOS와 NMOS의 채널 폭과 길이는 각각 200 ㎛/10 ㎛, 50 ㎛/10 ㎛이며 채널 방향은 기본 플랫존에 수평이다. 인버터의 스위칭 문턱 전압(V_M)은 그 점에서 전압을 기준으로 높으면 ON, 낮으면 OFF로 나눌 수 있는 기준 전압이다. 실온에서의 전압전달특성으로부터 추출된 V_M이 5.6 V이다. 입력 전압이 낮을 때($Vin<V_M$) NMOS는 OFF되고 PMOS는 ON되어 출력 전압은 VDD가 되어야하지만, 실제 측정된 출력 전압값은 약 8.4 V로 VDD(=10 V)보다 낮다. 그 이유로서 PMOS가 완전하게 동작하지 못하고 저항 같은 역할을 하여 약 1.6 V의 전압 강하가 발생하였다고 생각된다. 입력 전압이 높을 때($Vin>V_M$) NMOS는 완전히 ON, PMOS는 OFF하여 출력 전압은 0.1 V의 값을 나타내었다.

1600 ℃의 고온 열처리로 불순물을 활성화하는 이 샘플은 일부 소자만 동작하고 회로의 대부분은 동작하지 않았다. 그 이유 중의 하나로 고온 열처리 공정의 온도가 너무 높기 때문에 스텝-번칭 등과 같은 여러 가지 문제를 일어 켜서 칩 수율이 하락한 것으로 판단된다. 이 점을 고려하여 본 논문에서는 다음의 엑시머 열처리로 불순물을 활성화하는 공정을 개발하여 소자와 회로를 제작하고 측정하였다.

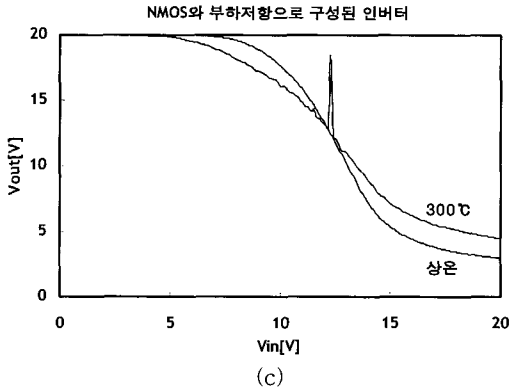
3.2 샘플 2(엑시머 레이저 활성화)

샘플 2는 고온 열처리 없이 엑시머 레이저로 불순물을 활성화한 후 Mo 게이트를 형성하여 제작하였다. 그림 4는 샘플 2에서 제작된 NMOS와 부하저항으로 구성된 인버터의 회로도(a)와 레이아웃도(b) 및 전압전달특성(c)이다. 이 샘플은 상온과 300 ℃에서 측정하였다. 부하 저항은 N^+ 확산으로 구성하였고, 제작 후 측정된 부하 저항은 상온에서 432 kΩ, 300 ℃에서 68 kΩ으로 감소하였는데, 그 이유로 불순물 활성화 비율이 300 ℃에서 높아진 때문으로 추정된다.

그림 4 (c)의 상온과 300 ℃에서 측정된 전압전달특성을 보면, 온도가 상온에서 300 ℃으로 증가하면 전압전달특성이 완만해진 것을 볼 수 있다. 이는 온도가 증가하면 문턱전압이 감소하여[8](이동도의 변화는 거의 없음) 전류는 증가하지만, 부하저항이 감소하여 전압 강하가 적게 발생한 때문이다.



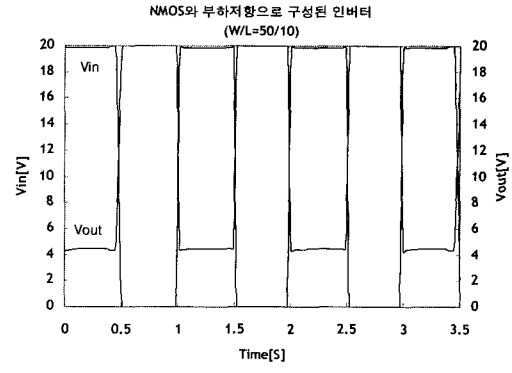
(a) (b)



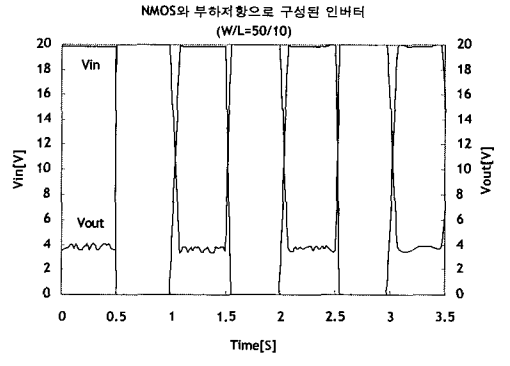
(c)

그림 4. NMOS와 부하저항으로 구성된 인버터의 회로도 (a), 레이아웃도 (b) 및 전압전달 특성(c)(샘플 2).

Fig. 4. Inverter circuits using NMOS and load resistor(a), layout(b), and voltage transfer characteristics(c)(sample 2).



(a)



(b)

그림 5. NMOS와 부하저항으로 구성된 인버터의 상온(a) 및 300 ℃(b)에서의 펄스 응답 특성(샘플 2).

Fig. 5. Pulse measurement results of the inverter using NMOS and load resistor at room temperature(a) and 300 ℃ (b)(sample 2).

표 3. 엑시머 레이저로 활성화한 샘플에서 인버터의 펄스응답 측정 결과.

Table 3. Pulse measurement results for the inverter using excimer laser annealing.

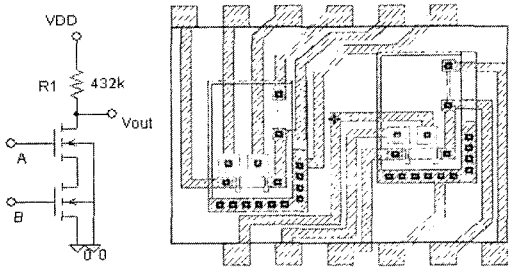
온 도	상온	300 ℃
상승지연시간	3.57 ms	1.67 ms
하강지연시간	3.55 ms	1.53 ms

이 회로에 대한 상온과 300 ℃에서의 펄스응답 특성을 측정한 결과가 그림 5에 나와 있고, 출력 펄스의 상승 및 하강지연시간 측정 결과가 표 3에 있다. 상승지연시간은 입력 펄스가 50 % 하강한 시간과 출력 펄스가 50 % 상승한 시간의 차이를 나타내며, 하강지연시간은 그 반대이다.

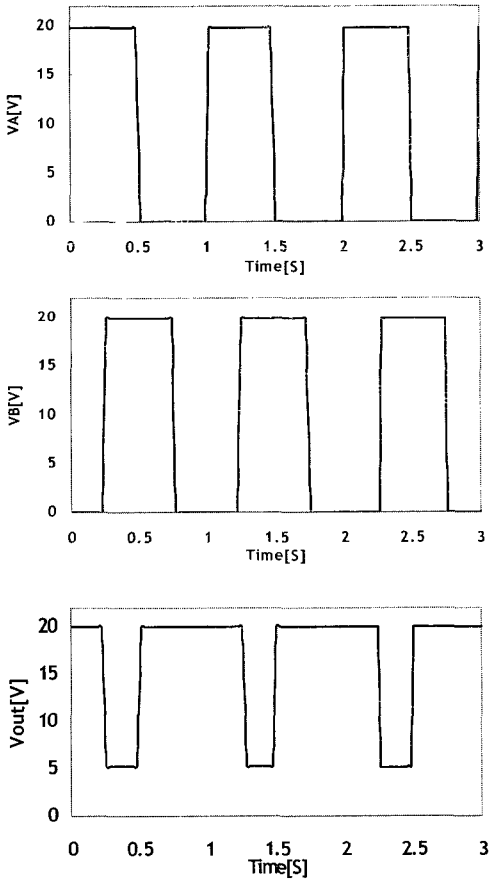
펄스응답특성을 측정할 때 반도체 소자 분석기 입력 신호의 상승 시간과 하강 시간은 모두 100 ns로 설정하였다. 주기가 1s인 입력 펄스가 20 V→0 V 변화할 때 출력 펄스는 상온에서 3.5 V→20.0 V, 300 ℃일 때 4.3 V→20.0 V로 인버터의 특성을 보인다. 표 3에서 보는 바와 같이 상온에서 상승지연시간은 3.57 ms이며 하강지연시간은 3.55 ms이고, 300 ℃일 때 상승지연시간은 1.67 ms이며 하강지연시간은 1.53 ms로 2 배가 넘게 감소한 것을 알 수 있다. 이는 NMOS의 포화 전류가 상온보다 300 ℃에서 크고, 부하저항으로 구성된 N^+의 저항값도 상온에서 보다 300 ℃에서 약 6 배 작아서 300 ℃에서 더 빠른 시간 내에 충방전을 할 수 있기 때문이다.

그림 6에 NMOS와 부하저항으로 구성된 NAND 회로도(a), 레이아웃도(b) 및 펄스응답특성(c)을 보여주고 있다. 그림 6의 펄스응답특성을 요약한 결과가 표 4에 나와 있다. NAND 회로이기 때문에 A와 B가 모두 "1" 일 때 출력 값이 "0"을 나타내고 있음을 알 수 있다. 여기서 "1"은 20.00 V이며, "0"은 5.34 V이다.

그림 7에 NMOS와 부하저항으로 구성된 NOR 회로도(a), 레이아웃도(b) 및 펄스응답특성(c)이 나와 있다. 이것을 요약한 결과는 표 4에 나와 있다. NOR 회로는 입력 A와 B가 모두 "0" 일 때 출력 값이 "1"을 나타냄을 확인 할 수 있다. NOR의 높은 출력 전압은 20.00 V이고 낮은 출력 전압



(a) (b)



(c)

그림 6. NMOS와 부하저항으로 구성된 NAND의 회로도(a), 레이아웃도(b) 및 펄스응답특성(c)(샘플 2).

Fig. 6. NAND circuits using NMOS and load resistor(a), layout(b), and pulse measurement results(c)(sample 2).

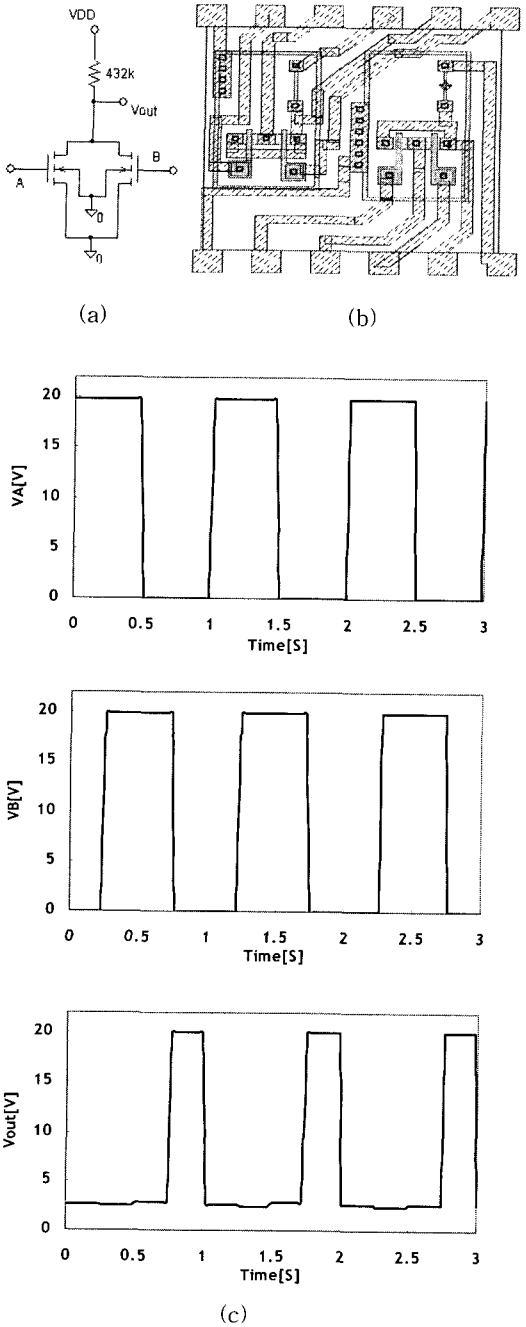


그림 7. NMOS와 부하저항으로 구성된 NOR의 회로도(a), 레이아웃도(b) 및 펄스응답특성(c)(샘플 2).

Fig. 7. NOR circuits using NMOS and load resistor(a), layout(b), and pulse measurement results(c)(sample 2).

표 4. NAND 및 NOR 회로의 펄스 측정결과 요약.

Table 4. Pulse measurement results for the NAND and NOR circuits.

NAND			NOR		
A	B	OUT	A	B	OUT
0	0	1 (20.00 V)	0	0	1 (20.00 V)
0	1	1 (20.00 V)	0	1	0 (2.58 V)
1	0	1 (20.00 V)	1	0	0 (2.58 V)
1	1	0 (5.34 V)	1	1	0 (2.58 V)

은2.58 V이다. 이처럼 SiC를 이용하여 디지털 회로를 설계하여 제작 평가한 결과 상온 및 고온에서 신뢰성 있게 동작됨을 확인 할 수 있었다.

4. 결 론

Mo 게이트를 사용한 6H-SiC CMOS MOSFET과 기본 디지털 회로인 인버터, NAND, NOR 등을 설계, 레이아웃, 제작하여 상온과 300 ℃에서 동작을 확인하였다. 특히, 불순물 활성화 공정의 영향을 보기 위하여 1600 ℃ 고온 열처리와 레이저 어닐링 두 가지 방법을 사용하였다.

첫 번째 샘플은 1600 ℃에서 40 분 동안 불순물을 활성화한 것이다. 기본 소자인 NMOS와 PMOS는 동작하였으며 문턱전압이 각각 9.8 V와 -26.1 V로 목표 문턱전압보다 훨씬 높았다. 그 이유로 스텝-번칭의 영향을 줄이기 위해 두껍게 성장한 게이트 산화막, 외부 게이트 전극과 내부 게이트 전극간의 커패시턴스 커플링 등의 영향이라고 생각된다. CMOS 인버터의 전압전달특성으로 인버터 동작은 확인하였지만, 다른 디지털 회로들은 동작하지 않았다. 1600 ℃ 40 분이라는 고온 불순물 활성화 공정, 스텝-번칭 등의 영향으로 동작하지 않는 부분이 많이 발생하였다고 생각된다.

두 번째 샘플은 엑시머 레이저를 이용해 불순물을 활성화한 것이다. 제작된 기본 NMOS는 정상 동작하였으며, 문턱전압이 상온에서 9.1 V, 300 ℃에서 5.9 V이었다. 온도가 증가할수록 문턱전압이 감소하는 것은 계면상태 밀도의 영향으로 [8], 이로 인하여 온도가 상온에서 300 ℃로 증가

하면 포화 전류가 약 2 배 증가하였으며, 인버터 회로에 사용된 부하저항은 약 6 배 감소하였다. NMOS와 부하저항으로 구성된 인버터의 특성을 상온과 300 ℃에서 평가한 결과, 상승 및 하강 지연시간이 상온에서 각각 3.57 ms, 3.55 ms이며, 300 ℃에서는 각각 1.67 ms, 1.53 ms로 감소하였다. 이것은 포화전류의 증가와 부하저항의 감소 때문으로 추정된다. 또한 NAND와 NOR 회로에 입력 펄스를 인가하여 NAND 및 NOR 논리 동작이 됨을 확인하였다.

이와 같이 고온 열처리와 엑시머 레이저를 이용해 불순물을 활성화하는 공정으로 기본 NMOS, PMOS, 인버터, NAND 및 NOR 회로 등을 제작하고 평가하였다. 고온 열처리 공정으로도 소자를 제작할 수도 있지만 수율면에서 상당히 불리하다는 것을 확인하였다. 이 대안으로 엑시머 레이저 공정을 이용하여 기본 소자와 디지털 회로등을 제작할 수도 있다는 것을 본 논문에서 확인하였다.

감사의 글

본 연구는 한국과학재단 특정기초연구(과제 번호: 2000-2-30200-010-3)와 산업자원부 산업기반기술개발사업(공고번호: 990-17-03)에 의해 지원되었음.

참고 문헌

[1] Y. S. Park, "SiC Materials and Devices", Academic Press, p. 2, 1998.

[2] 김형준, 나훈주, 정재경, "SiC 반도체 공정 및 소자기술 연구 현황", 전기전자재료학회논문지, 13권, 3호, p. 9, 2000.

[3] 김은동, "SiC 반도체 기술현황과 전망", 한국전기전자재료학회 2001추계학술대회논문집, p. 13, 2001.

[4] M. A. Capano, S. Ryu, M. R. Melloch, J. A. Cooper, Jr., and M. R. Buss, "Dopant activation and surface morphology of ion implanted 4H- and 6H-silicon carbide", J. Electron. Materials, Vol. 27, p. 370, 1998.

[5] M. Syvajarvi, R. Yakimova, and E. Janzen, "Step-bunching in SiC epitaxy: anisotropy and influence of growth temperature", Journal of Crystal, Vol. 236, p. 297. 2002.

[6] 송지헌, "레이저 어닐링 공정을 도입한 SiC MOSFET 제작과 소자 특성", 충북대학교 반도체공학과 공학석사학위 논문, 2003.

[7] S.-H. Ryu, "Development of CMOS technology for smart power applications in silicon carbide", Ph. D. Dissertation, Purdue University, 1997.

[8] 이원선, "SiC MOSFET의 SPICE 모델링", 충북대학교 반도체공학과 공학석사학위 논문, 2002.

[9] S. H. Ryu, K. T. Kornegay, J. A. Cooper, Jr., and M. R. Melloch, "Digital CMOS IC's in 6H-SiC operation on a 5-V power supply", IEEE Trans. Electron Devices, Vol. 45, p. 45, 1998.

[10] N. H. E. Weste and K. Eshrachian, "Principles of CMOS VLSI design", Addision-Wesley, p. 61, 1993.

[11] D. K. Schroder, "Semiconductor Material and Device Characterization", Wiley, p. 540, 1998.

[12] S.-H. Ryu. K. T. Kornegay, J. A. Cooper, Jr., and M. R. Melloch, "Monolithic CMOS digital integrated circuits in 6H-SiC using an implanted p-well process", IEEE Electron Device Letters, Vol. 18, p. 194, 1997.

[13] D. A. Neamen, "Semiconductor Physics and Devices", McGraw-Hill, p. 419, 1996.

[14] W. Xie, J. Pan, J. A. Cooper, Jr., and M. R. Melloch, "Monolithic digital integrated circuits in 6H-SiC", Inst. Phys. Conf., Ser. No. 141, p. 455, 1994.

[15] W. Xie, J. Pan, A. Cooper, Jr., and M. R. Melloch, "Monolithic NMOS digital integrated circuits in 6H-SiC", IEEE Electron Device Letters, Vol. 15, p. 455, 1994.

[16] S.-H. Ryu and K. T. Kornegay, "Design and fabrication of depletion load NMOS intergrated circuits in 6H SiC", Inst. Phys. Conf., Ser. No. 142, p. 789. 1995.

[17] 이원선, 오충완, 최재승, 신동현, 이형규, 박근형, 김영석, "고온 응응을 위한 SiC MOSFET 문턱전압 모델", 전기전자재료학회논문지, 15

권, 7호, p. 559, 2002.

[18] 신동현, "SiC MOSFET의 공정기술에 관한 연구", 충북대학교 반도체공학과 공학석사 학위 논문, 2002.

[19] 이창영, "P형 6H-SiC에 형성된 오믹 접합에 관한 연구", 충북대학교 반도체공학과 공학석사학위 논문, 2003.

[20] 이창영, 송지헌, 최재승, 이재봉, 김영석, 박근형, 이형규, "레이저 활성화에 의한 p형 SiC와 비합금 Mo 오믹 접합 특성", 전기전자재료학회논문지 투고중.