

主題

UWB 수신기의 설계 기술 소개

전자부품연구원 조삼구, 김동구, 박부식

차례

- I. 서론
- II. UWB CMOS 공정 기술
- III. UWB 수신부 회로
- IV. 결론

I. 서론

UWB 기술은 1980년대부터 군사용으로 연구가 진행 되어왔으며, 1998년부터 UWB 기술의 진전이 이루어져 2000년도에 기술을 응용한 제품을 데모하여 무선통신에서 이 기술의 이용 가능성을 증명한다. 미국의 FCC는 기술의 잠재성을 인정하여 지난 2002년 2월 UWB(ultra wideband) 기술의 상업용 응용을 승인하였다. 이 승인은 UWB 신호가 기존 시스템에 대한 간섭을 일으키므로 그 응용분야를 구분하여 전력의 세기를 제한하고 있다. 그럼에도 불구하고 초저전력, 초고속 통신의 가능성과 기대로 관심이 커지고 있으며, 다수의 동시 사용자, 고비화 등 기술적인 장점과 정밀 위치추적, 고정밀 레이더 등 응용분야가 다양하여 연구가 활발하다. 초기 응용분야를 무선 홈네트워크의 구현을 목표로 하고 있으며, 이러한 기술적인 특징의 UWB 기술은 향후

IT분야에서 중요한 기반 기술이 될 것으로 예상된다.

본 글에서는 IC 실현을 위한 공정과 회로에 대해 소개한다. 제 2 장은 UWB IC를 위한 CMOS 공정을 살펴보고, 제 3 장은 저전력, 고속 아날로그 회로에 대해 설명한다. 4장은 수신된 임펄스 신호의 전력 계산에 대해 설명한다.

II. UWB CMOS 공정 기술

근거리통신 또는 휴대용 단말기 응용을 위한 무선 통신에서 저가격, 고집적 그리고 고성능의 요구는 증가하고 있다. GaAs, SiGe 그리고 BiCMOS 공정기술은 높은 전자 이동도와 포화 속도(saturation mobility), 높은 저항의 기판(substrate), 높은 동작 주파수와 저노이즈 성능이 우수하여 무선시스템에서 이용되어 왔다. 반면, 실리콘 공정 기술은 NF(noise factor)와 속도의 제한, 그

리고 트랜지스터의 비선형성으로 인한 대역내의 신호에 대한 감도 저하 등 한계를 가지고 있으나 디지털 회로와 통합 등 완전한 무선 단일 트랜시버(tranceiver)를 구성할 수 있으므로 저가격 이동용 무선 제품의 응용을 위한 강력한 공정으로 고려되고 있다. 이러한 기술적인 제한은 CMOS 트랜지스터의 크기가 줄어들면서 극복될 것으로 예상되며, UWB 시스템에 이용될 가능성은 커지고 있다.

1. 주파수 대역

UWB 시스템은 1ns 이하의 펄스 파형에 정보 데이터를 전송하므로 적절한 속도, 적은 지터와 저노이즈 특성이 필요하다. 대부분 수 기가 헤르쯔(GHz) 이상 대역에서 응용이 예상되므로 샘플링 속도 그리고 수신단의 상관기는 이용대역보다 몇 배 높은 동작주파수를 요구하게 된다. 그림 1은 각 반도체 공정의 동작 속도를 보여주고 있다.⁽¹⁾ 현재 CMOS 공정은 100GHz 동작 주파수를 가지며, 200GHz까지 동작 가능한 GaAs 공정은 출력 임피던스가 낮고 제작가격이 고가이다.

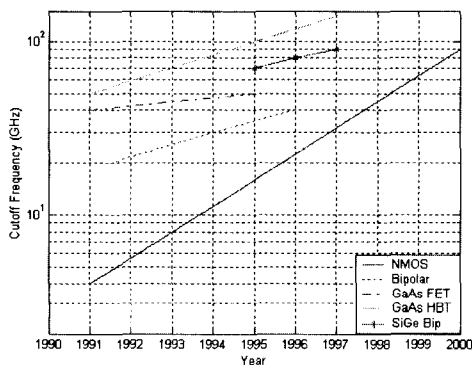


그림 1. 반도체 공정의 f_T 비교

MOSFET 구조에서 동작 주파수 f_T 는 식 (1)

과 같이 나타내지며, 채널 길이의 제곱에 역비례한다.⁽²⁾

$$f_T = \frac{\mu(V_{gs} - V_{th})}{4\pi L^2} \quad (1)$$

V_{gs} : 게이트와 소오스 사이 전압

V_{th} : Threshold 전압

μ : 전자 이동도

L : 채널 길이

2. CMOS 공정 노이즈

UWB 통신은 주파수 범위가 넓고 낮은 신호 레벨을 사용하므로 동작영역(dynamic range)과 선택도는 반도체 노이즈와 트랜지스터의 선형성에 많이 의존한다. 특히, 위상 노이즈는 선택도에 많은 영향을 미치며, UWB 신호가 광범위한 주파수영역으로 확산되므로 써멀 노이즈(thermal noise)는 도미넌트한 노이즈 항목이다.⁽³⁾

2.1. 서멀 노이즈(Thermal Noise)

서멀 노이즈는 도체에서 여기된 전하 캐리어가 전류를 랜덤하게 변화하여 전류가 변화하는 것으로 그 크기는 온도, 저항, 그리고 주파수 대역에 비례한다. 전류가 흐를 때 노이즈 전력은 식 (2)과 같이 나타내진다.

$$i_{nd}^2 = 4kT\gamma g_{do} \quad (2)$$

k : 볼츠만 상수 ($1.38 \times 10^{-23} J/T$)

γ : large factor

T : 절대온도

g_{do} : 드레인 소오스 컨덕턴스, $V_{DS}=0$

MOSFET은 드레인에서 소스 사이에 전류가 흐를 때 저항을 줄이고 게이트와 채널사이의 커패

시턴스에 의한 전류 흔들림을 줄임으로서 노이즈가 감소하게 되므로 게이트 면적을 줄이면 감소한다.

2.2. 플리커 노이즈 (Flicker Noise)

1/f 노이즈 감소는 RF(radio frequency)신호의 안정도를 높인다. 특히 직접 확산의 경우, 매우 낮은 1/f 노이즈를 요구한다. 식 (3)에 나타내듯이 FET 구조에서 게이트 면적을 줄임으로써 감소시킬 수 있다.⁽⁴⁾

$$i_n^2 = \frac{K}{f} \frac{g_m^2}{WLC_{OX}^2} \times \Delta f = \frac{K}{f} \omega_T^2 A \Delta f \quad (3)$$

- K : 디바이스 상수
- g_m : 트랜스컨덕턴스
- C_{OX} : 게이트 커패시턴스
- A : 게이트 면적
- ω_T : 단위 동작 주파수

2.3. 샷 노이즈 (Shot Noise)

전하장벽과 누설(leakage)에 의해 발생하는 노이즈로 FET구조에서는 게이트 면적을 줄임으로써 줄어든다. MOSFET은 식(4)로 표현된다.

$$i_n^2 = 2qI_{DC} \Delta f \quad (4)$$

- q : 전하량, $1.6 \times 10^{-19} C$
- I_{DC} : DC 전류
- I_b : 베이스 저항에 흐르는 베이스 전류

III. UWB 수신부 회로

수신단에 전송된 신호는 대역필터와 LNA를

통과한 후 디텍터 회로에 입력된다. 디텍터에서 신호의 SNR이 계산되어 출력되며 이 전력을 이용하여 코드동기를 확보하고 복조한다. 그림 2는 UWB 수신기의 구조를 보여주고 있다.

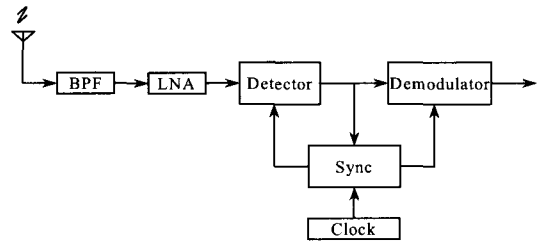


그림 2. UWB 수신기 회로

1. RF(Radio Frequency) 회로

시간 도약으로 변조된 펄스 파형은 넓은 주파수 대역을 점유하므로 임펄스 신호를 보존하기 위하여 증폭기는 DC에서 수 GHz 범위까지 동작하여야 하며, 선형성 그리고 출력 구동능력을 필요로 한다. 광대역 주파수 특성을 위해 트랜지스터의 입력단에 공진회로를 추가하여 동작주파수 범위를 확장, 초광대역 신호의 성분을 보호한다.⁽⁵⁾ 비선형으로 인한 THD(total harmonic distortion)는 인터모듈레이션 (intermodulation)을 발생하여 새로운 노이즈원으로 작용하며, 수신단의 복구능력을 열화시키고, 다중 사용자 환경에서 인접한 채널에 간섭을 일으키게 되므로 노이즈 레벨 아래에 공존할 수 있도록 해야 한다.⁽⁶⁾ 이득과 주파수의 비선형은 파형의 왜곡을 유도하여 복원시 상관기 S/N비를 낮게 하고 전송 속도를 감소시킨다. 수신된 신호를 증폭하여 상관기에 입력하는 LNA는 속도, 노이즈 특성 및 광대역에서 선형성이 높은 SN비를 위한 중요한 항목이며, 파형 왜곡이 발생하지 않아야 한다.

1.1 LNA

LNA 종류는 공통 게이트, 공통 소오스, 공통

드레인, 그리고 공통 소오스 역되먹임 회로 구조가 있다.^[7] 설계시 노이즈 레벨보다 높은 신호를 증폭하기 위한 이득 A_v , 입력 임피던스 Z_{in} , 입력 신호의 반사를 방지하기 위한 임피던스 매칭, 주파수 안정도, 동작 주파수 그리고 전압 등에 대한 소자의 동작특성을 고려한다.^[8] NF는 LNA의 감도와 출력신호의 SNR를 보여주는 중요한 파라미터이다. 스미트 차트(smith chart)는 능동소자의 최소 노이즈와 최대이득을 찾는 데 편리하게 이용할 수 있으며, 무왜 조건을 충족하기 위해 입력단의 임피던스와 소스 사이에 수동소자인 인덕터 회로를 구성하여 매치되게 한다. 또한 NF를 최소화하기 위한 노이즈 매치회로는 무손실 수동소자를 이용하여야 가능하다. 그러나 임피던스가 주파수에 대하여 비선형이므로 광대역 회로에서 최대전력 전송을 위하여 능동소자의 입력단에서 노이즈와 전력 신호의 임피던스 매칭을 위한 최적의 임피던스를 찾는 것은 쉽지 않다.

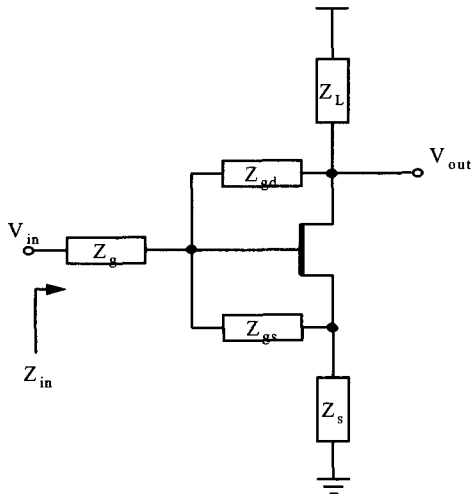


그림 3. 공통 소오스 광대역 LNA

그림 3은 1VCCS(voltage controlled current source) 공통소스 광대역 LNA 회로이다. CMOS

트랜지스터 입력증폭기를 이용할 경우 동작 주파수 대역은 식 (5)으로 나타내진다. 따라서 트랜지스터에서 g_m 값을 크게 하거나 채널 길이를 작게 하면 대역은 넓어진다.

$$\omega_T = \frac{g_m}{C_{gs}} = \frac{3}{4} \frac{v_{sat}}{L} \quad (5)$$

v_{sat} : saturation velocity

L : 트랜지스터 채널 길이

g_m : 능동소자의 트랜스컨덕턴스

C_{gs} : 게이트와 소오스 사이의 커패시턴스

소스의 수동소자의 임피던스는 식 (6)에서 나타내듯이 동작주파수 ω_T 에 의존한다. 아주 짧은 채널(short channel)의 CMOS에서는 v_{sat} 가 일정하므로 소스 임피던스 L_s 를 고정할 수 있다.

$$L_s = \frac{R_{in} C_{gs}}{g_m} = \frac{R_{in}}{\omega_T} \quad (6)$$

L_s : 소오스 인덕턴스

$R_{in} : 50 \Omega$

그림 3 회로에서 입력 임피던스를 구하면 식 (7)과 같다.

$$Z_{in} = Z_g + Z_{gs} + Z'_s(1 + g_m Z_{gs}) \quad (7)$$

입력 임피던스와 완전하게 매칭되는 수동소자 소스 임피던스 L_s 을 구하여 임피던스 매칭을 한다. 노이즈 NF를 구하면 식 (8)과 같다.

$$F = 1 + |1 + Y_s(Z_g + Z_{gs} + Z'_s)|^2 \cdot \frac{1}{g_m^2 |Z_{gs}|^2} \frac{i_{nd}^2}{i_s^2} \quad (8)$$

i_{nd}^2 : 드레인 노이즈 전력

i_s^2 : 소오스 노이즈 전력

식 (8)에서 $Z_g + Z_{gs} + Z'_s = 0$ 를 만족하게 하고, 분모항을 최대로 크게 하여 NF를 최소화 할 수 있다.

1.2 초광대역 필터

CMOS에서 능동 소자 등 반도체 소자는 온도 변화에 민감하여 GHz 대역 필터를 설계할 때 정확한 대역의 설계에 어려움이 있으며, 페이저 특성의 열화 문제 때문에 높은 주파수에서 좋은 특성을 얻는 것이 쉽지 않다. 이 성질은 설계된 광대역 필터의 특성과 시스템의 동작에 영향을 미치게 되므로 온도변화에 민감하게 변화하는 대역을 정확하게 맞추기 위한 수단으로 기준 신호를 만들어 중심 주파수 위치를 보상하거나 인덕터를 칩 안에 넣게 된다.⁽⁹⁾ 그러나 칩 내에서 수동 소자 인덕터는 면적을 크게 차지하고, 자체 저항에 의한 손실과 커패시터 성분과 같은 기생성분의 발생으로 높은 Q를 얻기 어렵다. 낮은 Q는 주파수 선택도 또는 대역의 차단 특성의 열화를 야기하므로 정 되먹임 회로를 이용하여 부저항을 발생하거나 트랜지스터의 고주파 속성을 이용하여 낮은 Q의 인덕터 특성을 보상한다.⁽¹⁰⁾

1.3 클럭신호 발생기

시간 도약 변조 방식 또는 다중엑세스 전송 UWB 시스템에서 기준 클럭의 시간 지터 전력 변화는 성능을 지수 함수적으로 감소하게 하므로 낮은 지터의 안정된 클럭 신호가 요구된다.⁽¹¹⁾

시간 지터가 작은 안정된 신호를 발생하는 주파수 합성기는 테이블 락-업(table lock up) 합성기, 다이렉트(direct) 주파수 합성기 그리고 PLL(phase locked loops) 방식 등이 있다.⁽¹²⁾ 그러나 출력 주파수 특성이나 동작 속도의 속성 차이는 실현, 응용분야에 따라 방식 선택을 달리한다. 이 동용 무선에서는 저전력과 IC의 직접이 유리하기 때문에 PLL방식이 가장 많이 쓰인다. PLL 방식은 출력신호를 입력으로 역 되먹임하여 안정된 주파수를 출력한다. 그림 4에 나타내듯이 PLL은 페이저 감지기(phase detector), VCO(voltage controlled oscillator), 주파수 분배기, 그리고 루프 필터로 구성된다. VCO는 고품질의 주파수를, 분배기는 고속으로, 페이저 디텍터는 정확해야 하며, 루프필터는 속도, 주파수 안정도, 그리고 출력신호의 노이즈에 영향을 주며, 대역을 조정하여 합성된 주파수의 일정한 범위의 주파수 노이즈를 조정 할 수 있다.

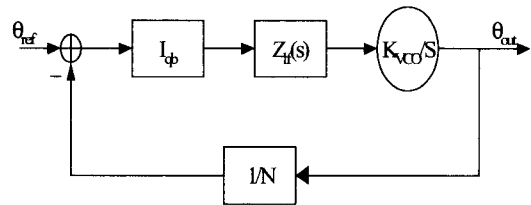


그림 4. PLL의 구조

그림 4에 나타낸 PLL의 전달 특성은 식 (9)와 같다.

$$\frac{\theta_{out}}{\theta_{ref}} = \frac{N}{1+N} I_{\phi} Z_f(s) \frac{K_{VCO}}{S} \quad (9)$$

PLL 출력신호의 한주기 동안 시간 변화인 페이저 노이즈는 시간 에러로서 분산은 식 (10)과 같다.

$$\sigma_{\Delta\tau} = \sqrt{\Delta\tau^2} \quad (10)$$

$\Delta\tau$: 시간 에러

페이저 노이즈와 지터의 관계는 식 (11)로 표현된다.

$$L[\Delta\omega] = \frac{2w\omega_0}{\Delta\omega^2} \left(\frac{\sigma_{\Delta\tau}}{T_0}\right)^2 \quad (11)$$

T_0 : 출력주파수 주기

$\Delta\omega$: 페이저 차이

ω_0 : 중심 주파수

2. 수신기 설계

2.1. 채널 특성

채널은 시간과 위치에 따라 물리적인 특성이 변화하므로 그에 대한 통계적인 방법으로 수신기의 특성을 해석한다. 채널에 대한 UWB 신호의 전력 통계 특성이 협대역 시스템과 달라 레이리히(Rayleigh) 분포 채널 모델링에 의한 시스템의 성능 해석은 정확하지 않다. UWB 단일 주기 펄스 파형의 경우 각각의 구분 가능한 다중경로 성분은 작은 수의 레이(ray)를 가지므로 신호의 크기에 의한 제한이 작으나 페이저 성분은 랜덤하게 된다. 특히, 실내 환경에서는 다중경로 반사가 많기 때문에 무선 시스템의 성능과 설계는 채널의 임펄스 응답과 지연 스프레드에 많이 의존한다. 무선 채널에서 전파하는 UWB 신호는 높은 해상도의 다중경로를 제공하며, 다중경로 성분은 독립적이고 각각의 신호를 구분할 수 있으므로 이 성분을 이용하여 성능을 개선할 수 있다. 이 구분 가능한 다중경로를 합하여 SNR을 높일 수 있으므로 전송전력의 증가 없이 BER를 낮출 수 있다. 펄스가 채널을 통과하여 그 펄스보다 큰

지연 스프레드를 갖는 채널 환경에서 다중경로 성분은 구분 가능하며, 그 수 N_r 이 증가한다. 이 신호의 순간적인 높은 해상도 갖고 구분할 수 있는 핑거의 수 N_f 는 식(12)와 같다.^[13]

$$L \leq \frac{T_m}{T_c} + 1 \quad (12)$$

L : 다중경로 컴포넌트

T_m : 채널의 다중경로 지연 스프레드

T_c : 펄스 시간, $T_c = \frac{1}{W_{ss}}$

W_{ss} : 펄스 속도

2.2. 동기회로

수신단에서 발생한 PN 코드와 전송된 PN 코드 사이에 동기가 이루어져야 복조가 가능하므로 두 코드는 코드의 주기보다 빠른 시간 내에 동기가 이루어져야 한다. 상관기를 이용하여 수신단의 코드와 수신된 코드 사이의 위상 차이를 계산 하므로써 채널상에서 부가된 페이저 지연을 계산한다. 상관기의 출력 피크값은 기준값과 비교되어 코드의 페이저 지연 계산이 이용된다. 수신단의 PN 코드는 페이저 지연값에 따라 채널상에서 발생한 시간차를 제거하기 위해 재배열 된다. 시간 지연이 보상된 PN 코드와 수신된 신호를 승산하여 전송한 신호를 복조한다. 그림 5는 정합 필터방식, 상관기를 이용한 방법과 이들을 혼합한 방식을 나타내고 있다. UWB 시스템에서 펄스 신호의 폭이 아주 짧기 때문에 실시간 처리를 위해 고속 신호 처리가 요구되며, 그 결과 전력 소모를 증가하고, 회로를 크게 하므로 IC 구현을 위해 간단한 구조를 고려해야 한다. 그림 5. (c)에 나타낸 혼합방식은 초기상태에서 속도를 개선하고 락(lock)이 된 후 소비전력을 줄일 수 있는

하이브리드 방식이다. 초기 동기와 초기 동기 후의 동작영역을 분리하여 초기 빠른 획득이 필요할 때는 정합필터방식을 사용하고, PN 코드의 동기를 맞춘 후 동기가 확보된 후에는 연속 상관기를 사용하여 동기를 유지하여 전력소모를 줄일 수 있는 장점이 있다. 정합필터 출력 신호의 함수는 식 (13)로 나타내지며 이 식에 따라 구현된 회로는 그림 5. (a)에 나타내고 있다.

$$r(\tau) = \sum_{i=0}^{N-1} PN(i)x(i-\tau) \quad (13)$$

$PN(i), 0 \leq i \leq N-1$

$x()$: 입력신호

식 (13)을 전개하면 식 (14)과 같으며, 회로를 구현했을 때 그림 5. (b) 형태로 구현할 수 있다.

$$r(\tau) = \sum_{j=0}^{N-k-1} \sum_{i=0}^{k-1} PN(i+jk)x(i-\tau-jk) \quad (14)$$

2.3. 상관기의 최적 기준 파형

코히런트 시스템의 상관기에서 수신된 신호와 비교할 적절한 기준 파형의 이용은 수신 신호를 효율적으로 추출할 수 있다. 초광대역 신호는 채널상에서 각각의 경로에 따라 반사 등 다양한 원인으로 다중경로 신호가 발생하고 그 신호는 주

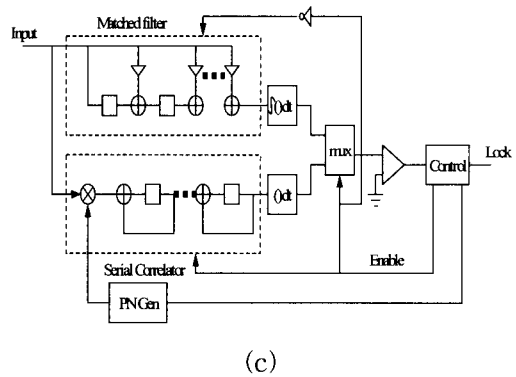
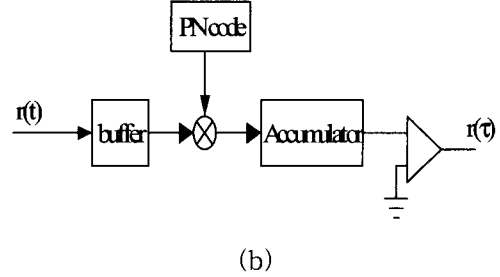
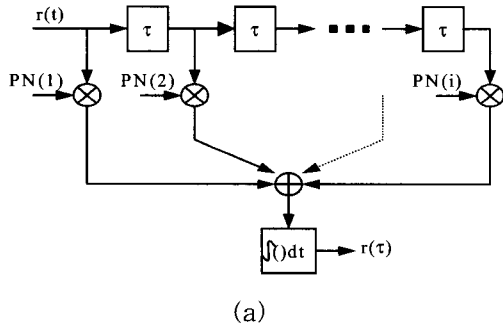


그림 5. PN 코드 동기회로 (a)정합필터를 이용한 방식 (b)상관기를 이용한 방식 (c)혼합한 방식

파수 감쇄, 위상 그리고 크기가 랜덤하여 왜곡되는 특성을 갖는다. 상관기에서 채널을 통해 수신된 신호와 비교하기 위한 기준신호가 전송시 보낸 신호와 같다면 두신호의 상관시 신호의 전력이 감쇄되어 성능이 저하될 수 있다. 따라서 적은 수의 상관기를 가지고 높은 에너지를 감지하기 위하여 수신된 신호를 기준으로 하여 유도된 적절한 기준 파형을 이용할 필요가 있다. 각각의 채널 환경에서 그 특성에 따라 측정된 값을 기준으로 하여 만들어진 최적의 기준 신호를 상관기에서 이용한다면 수신전력이 높아져 SNR은 개선될 것이다. 채널환경에서 각각의 지점에서 측정된 채널 모델링에 의한 신호 값을 $r_i = [r_{i1}, r_{i2}, \dots, r_{ie}]^t$ 라 할 때, 수신 전력 계산을 위해 지연 스프레드를 단일 핑거로 이용할 경우 식 (15)를 이용하여 고유벡터 w 를 계

산하므로써 최적의 기준신호를 얻을 수 있다.

$$F = \sum_{i=1}^N |\langle r_i, w \rangle|^2 \quad (15)$$

$$r_i = [1, 2, \dots, 10]$$

수개의 핑거를 컴바인하는 SRake 수신기(selective rake receiver)를 이용할 경우, 각각의 다중 경로에 대한 최적의 경로 신호를 찾기 위해 식 (16)을 이용, 고유 벡터를 계산하여 최적의 기준 파형을 구한다.

$$F = |r - \sum_{j=1}^L c_j w(n - n_j)|^2 \quad (16)$$

r : 수신된 신호 파형

n_j : j th 경로지연

c_j : 크기

2.4 레이크 수신기

UWB 시스템에서 이용 가능한 레이크 수신기는 각각의 구분 가능한 다중 경로 성분의 통계적 특성과 핑거의 추적을 통하여 수신된 신호의 전력을 계산한다. 이 수신기의 장점을 최대한 이용하기 위하여 시스템에 적절한 채널 특성의 알아야 하며, 이 추적 과정은 채널의 페이딩과 노이즈에 의해 완전하지 않을 수 있으므로 많은 알고리즘 해석을 필요로 한다. 구분 가능한 다중 경로 성분을 콤바인하여 전력 구하면 SNR이 증가하므로 레이크 수신기는 채널에서 제공되는 다중 경로 성분으로부터 에너지를 감지하거나 추출할 수 있는 다수의 상관기로 구성된다. 감지 할 수 있는 다중경로 성분은 노이즈 레벨보다 높은 전력을 가져야 한다. 각각의 상관기 출력은 웨이트되거나 선택되어 SNR를 구하게 되며, 다중경로의 성분의 혼합에 따라 회로의 크기, 전력 소모

가 다르며 수신기의 종류가 구별된다.

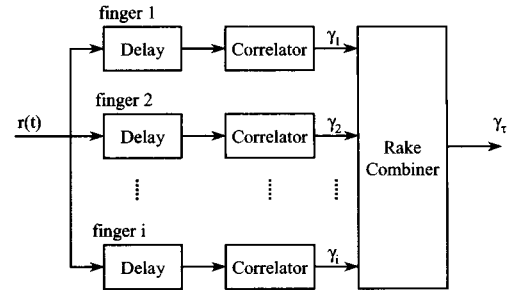


그림 6. Rake 수신기

그림 6은 일반적인 레이크 수신기를 보여주고 있다. 지연 블록을 증가하여 성능을 개선할 수 있으며 다이버시티 신호의 전력을 합하여 전력을 구하여 수신된 신호를 복구한다.^[14]

2.4.1 All rake 수신기

무제한 자원을 이용하는 것으로 구분 가능한 모든 다중경로 성분을 컴바인한 수신기이다. 즉, SNR을 구하기 위하여 구분 가능한 다중경로 수 L_r 전체를 이용한다. 각 핑거의 순간 SNR은 식 (17)로 표현된다.

$$\gamma_i = \frac{|y_M(t_i)|^2}{E|n_M(t_i)|^2} \quad (17)$$

$y_M(t_i)$: 정합필터 또는 상관기 출력 신호

$n_M(t_i)$: 노이즈 신호

ARake 수신기의 출력은 식 (18)로 나타내진다.

$$\gamma_{Arake} = \sum_{i=1}^L \gamma_i = \sum_{i=1}^L \gamma_{(i)} \quad (18)$$

$L = N_r$

구분 가능한 모든 다중경로 성분을 이용하는 ARake 수신기는 전력, 채널 예측의 어려움, 그리고 많은 계산을 필요로 하므로 설계가 복잡하고, 시스템 구현시 RF가격, 게이트 수 그리고 고성능 DSP 등 자원의 이용에 많은 제한을 가지고 있다.

2.4.2. Partial 레이크 수신기 및 선택 레이크 수신기

H/W를 실현할 때 모든 자원을 다 사용할 수 없으므로 강력한 다중경로를 제한적으로 선택하여 복잡도를 줄인다. 최적의 강력한 전력크기의 다중경로 L_p 를 얻기 위해 채널 특성에 따라 모든 다중경로성분을 추적할 필요가 있다. SRake 수신기의 출력 SNR은 식 (19)과 같다. Partial 레이크 수신기는 선택 레이크 수신기 보다 간단한 방법으로 핑거를 선택하기 위한 메커니즘없이 구분 가능한 L개의 다중 경로 중 첫 번째 도착 경로만을 선택하는 방법으로 식 (20)에 나타내고 있다.

$$\gamma_s = \sum_{i=1}^L \gamma(i) \quad 1 \leq L \leq N_r \quad (19)$$

단일 경로 수신기

$$\gamma_{SP} = \max \gamma_i = \gamma_{(1)} \quad (20)$$

IV. 결 론

CMOS 공정은 작은 크기, 저가격의 제품 제작이 가능하지만 노이즈와 속도에 한계를 가지고 있으므로 UWB IC를 위해 SiGe 공정을 이용하고 있다. 그러나 향후 개발될 0.02 μmm CMOS 공정은 60-80GHz 주파수의 회로구현이 가능하

여 완전한 UWB 단일 칩 제품개발을 가능하게 할 것이다. 시스템은 아주 낮은 에너지의 신호를 짧은 시간내에 감지해야 하므로 고속, 초광대역 속성을 가져야 한다. 이들 조건은 고성능의 RF 회로와 신호처리를 요구한다. 고속신호처리는 계산량의 증가를 가져오고 회로가 복잡해지므로 간단하게 구현 할 수 있는 기술적인 연구가 필요하다. 성능평가를 위한 정확한 채널 모델링, SNR을 높이기 위한 수신기의 기술 개발은 성능을 개선하고 구현과 상용화를 앞당길 것이다.

UWB 기술은 근거리 고속 데이터 전송을 위한 WPAN의 표준으로 채택될 가능성이 매우 높으며, 2003-2004년이면 표준안이 발표되고 이 규격을 적용한 제품이 2006-2008년 사이에 개발될 것으로 예상된다.

참고문헌

- [1] A. Matsuzawa, "RF-SoC Expectations and Required Conditions", IEEE Transactions on Microwave Theory and Techniques, VOL.50, No.1, Jan. 2002.
- [2] Thomas H. Lee, The Design of CMOS Radio Frequency ICs, Cambridge, pp243-255, 1998.
- [3] G. Nie, J. D. Cressler, S. Zhang, W.E. Ansley, C.S. Webster, D. L. Harame, "An Unified Approach to RF and Microwave Noise Parameter Modeling in Bipolar Transistors", IEEE Transactions on Electron Devices, vol.48, No.11, pp2568-2567, Nov. 2001.
- [4] New HBT cuts 1/f noise significantly, in NEC News, Tokyo, Japan: NEC corp., vol.126, P.3, Apr. 1991.

[5] Henrik Sjoland, Highly Linear Integrated Wideband Amplifiers Design and Analysis Techniques for Frequencies from Audio to RF, CAP, pp. 113-115, 1999.

[6] Peter Vizmuller, RF Design Guide System, Circuits and Equations, pp. 30-36, 1995.

[7] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw Hill, 2001.

[8] Hossein H. Hashemi and A. Hajimiri, "Concurrent Multiband Low Noise Amplifiers - Theory, Design and Applications," IEEE Trans. Microwave Theory and Tech. Vol. 50, no. 1, pp. 288-291, Jan. 2002.

[9] S. Pipilos and Y. Tsvivids, "Design of active RLC integrated filters with application in the GHz range," Electronics Letters, vol. 30, pp. 472-474, Mar. 1994.

[10] M. Ismail R. Wassenaar, and W. Morrison, "A high-speed continuous-time bandpass VHF filter in MOS technology," Proc. IEEE int. Symp. on Circuits and Systems, pp. 1761-1764, Jun. 1991,

[11] William M. Lovelace, J. Keith Townsend, "The Effects of Timing Jitter on the performance of Impulse Radio," 2002 IEEE conference on Ultra Wideband systems and Technologies. May. 2002.

[12] J. Craninckx and M. Steyaert, Wireless CMOS Frequency Synthesizer and Design, KAP, p. 8-12, 1998.

[13] R.E. Ziemer, and L.B. Milstein, "Effect of carrier Tracking in Rake Reception of Wideband" DSSS, RAWCON'98 Proceedings

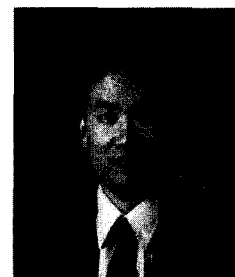
[14] D. Cassioli, M.Z. Win and A. F. Molis

ch, " A statistical model for the WWB indoor channel," In Proc. of IEEE Vehicular. theory. Conf., Greece, May 2001, vol. 2, pp.1159-1663

조삼구(趙三龜)

1989년 항공대학교 정보통신공학과(공학사),
 1989년-1994년 : 삼성전자 통신용 IC설계,
 1994년-현재 : 전자부품연구원 시스템 IC 근무, 책임 연구원

<주관심 분야> 아날로그/디지털 혼성 신호처리 및 IC 설계, 통신용 IC설계



김동구(金東九)

정회원

1985년 : U.S.C. Dept. of Electrical Engineering 석사
 1992년 : U.S.C. Dept. of Electrical Engineering 박사

1999년 ~ 현재 : 연세대학교 공과대학 기계전자공학부 교수

<주관심분야> CDMA 이동통신, 다중접속 기술, 변조 및 채널 부호화 기술, 스케줄링/MAC기술, 순방향링크 빔성형 기술 및 MIMO기술, UWB, Binary CDMA

박부식(朴富植)

1999.2 : 한국항공대학교 통신정보공학과
 2001.8 : 한국항공대학교 석사
 2002.1-현재 : 전자부품연구원

<주관심분야> Wireless MAC, OpenCable.