

Overlap Margin 확보 및 Side-lobe 억제를 위한 Scattering Bar Optical Proximity Correction

이 흥 주*

Scattering Bar Optical Proximity Correction to Suppress Overlap Error and Side-lobe in Semiconductor Lithography Process

Hoong-Joo Lee*

요 약 Attenuated PSM lithography 공정에서 overlay margin 확보 및 side-lobe 제거를 위해 기존의 Cr shield 방식의 단점인 복잡한 mask 제작공정과 구조를 단순화하기 위한 방법으로 scattering bar 방식을 제안하였다. Scattering bar는 Cr 보조 패턴처럼 완전히 빛을 차단하는 것이 아니라 약간의 빛을 투과시켜 보강된 intensity를 상쇄하므로 side-lobe를 억제하는 방법으로 metal pattern을 생성할 때 scattering bar도 동시에 만들어 mask 제작에 필요한 공정횟수를 줄이고 mask 구조 역시 단순하게 한다. 그리고 동시에 DOF(depth of focus)를 향상시킨다. Background clear pattern의 경우에 발생하는 side-lobe도 scattering bar를 이용하여 효율적으로 제거되었다.

Abstract Overlap Errors and side-lobes have been simultaneously solved by the rule-based correction using the rules extracted from test patterns. Lithography process parameters affecting attPSM lithography process have been determined by the fitting method to the real process data. The correction using scattering bars has been compared to the Cr shield method. The optimal insertion rule of the scattering bars has made it possible to suppress the side-lobes and to enhance DOF at the same time. Therefore, in this paper, the solution to both side-lobe and overlap Error has been proposed using rule-based correction. Compared to the existing Cr shield method, the proposed rule-based correction with scattering bars can reduce the process complexity and time for mask production.

Key Words : Optical Proximity Correction, Scattering Bar, Side-lobe, Phase Shifted Mask, Overlap Error

1. 서 론

반도체 소자의 미세화는 제품의 소형화, 경량화를 가져왔지만, 물리적 design rule을 감소시켜 근접효과(proximity effect)와 overlay, 정렬오차(misalignment) 등으로 인해 overlap error와 bridge 등과 같은 문제를 발생시킨다. 또 반도체 회로의 고집적화는 분해능(resolution)을 저하시켜 미세한 pattern 구현을 어렵게 하였다. 이를 해결하기 위해 분해능향상기술(RET, resolution enhancement technology)이 사용되고 있다.

RET 기술 중의 하나인 attenuated phase shift mask (attPSM)는 위상반전을 통해 line edge의 contrast를 높여 분해능을 향상시키고, process margin을 확대할 수 있다. 이 기술은 metal layer와 contact hole에 주로

사용되는데 가장 큰 문제점은 원하지 않는 위치에 pattern이 생성되는 side-lobe현상이 발생하는 것이다. Side-lobe 현상을 방지하기 위한 연구가 많이 이루어졌지만 그 중에서도 가장 쉽게 접하는 방법은 side-lobe가 발생할 위치를 미리 예측하여 Cr(chrome) 보조 pattern을 생성하는 것이다[1]. 그러나, 이 방법은 side-lobe 발생 여부를 전적으로 engineer의 경험에 의존해야하기 때문에 많은 시간이 소요된다. 그 뿐 아니라 mask 제작에 있어서도 Cr pattern 생성을 위한 공정이 추가되어야 하므로 mask 제조 공정을 복잡하게 한다. Side-lobe 현상 억제를 위한 또 다른 방법은 partial coherence를 증가시켜 문제를 해결하는 것이나, 이 방법은 DOF가 떨어지는 단점을 갖는다[2].

특히, overlap error는 line-end shortening, corner rounding 현상 및 contact과 metal layer 간의 overlay margin 부족에 의해 발생하게 되는데, 이 때문에 contact과 metal layer의 overlap 영역이 줄어들어 contact의

*상명대학교 컴퓨터시스템공학전공
Tel: 041-550-5360, Fax: 041-550-5386

실질적인 size를 감소시킨다. 따라서 contact의 저항이 증가하게되어 동작속도는 저하되는 문제가 발생한다.

현재까지, 작아진 design rule로 인해 발생하는 overlay 문제와 attPSM을 적용하는 과정에서 나타나는 side-lobe 현상을 독립적으로 해결하려는 노력은 있었지만 이 두 가지 문제를 동시에 해결하려는 시도는 없었다. 본 연구에서는 metal layer의 attPSM lithography 공정에서, overlay margin 부족으로 인해 발생하는 overlap error는 metal pattern을 안정적으로 확대하고, metal pattern의 확대에 의한 space margin 부족으로 발생하는 side-lobe를 Cr shield 방식에 비해 mask 제작 공정이 간단한 scattering bar를 응용하여 동시에 해결하는 방법을 제안한다.

2. 시뮬레이션 및 분석

경량화, 고집적화에 따라 더욱 미세해지는 pattern을 완벽하게 구현하는 것은 proximity effect이 resolution 저하를 가져와 어렵다. Proximity effect으로 인한 corner rounding과 line-end shortening은 overlap error를 발생시킨다. 또 design rule의 감소로 부족해진 overlap margin 역시 overlap error의 원인이 된다. Overlap error는 기생 저항의 수를 늘려 contact의 저항을 증가시키는 결과를 가져와 회로의 동작 속도를 저하시킨다. Overlay 문제를 해결하면서 동시에 resolution 향상을 위해 metal layer에 적용한 attPSM의 가장 큰 문제인 side-lobe 현상을 해결하기 위한 methodology를 제시하려고 한다. 이 연구는 Mentor의 Calibre를 사용한 simulation을 통해 이루어졌다.

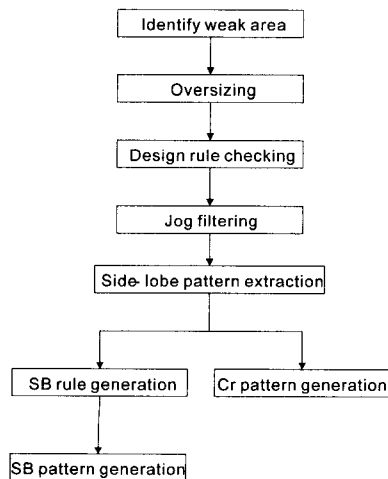


그림 1. Overlay와 side-lobe 현상을 억제를 위한 correction.

Overlay와 side-lobe 현상을 해결하기 위해 그림 1과 같은 순서로 진행을 하였다. 실험을 진행하기에 앞서 사진공정에 필요한 NA, σ , λ 등의 공정조건들을 정의하여야하므로 그림 2와 같이 실제 SEM 데이터에 fitting하므로써 공정 파라미터의 값을 결정하였다. 이렇게 정해진 공정 파라미터 값을 적용하여뒤에 이어지는 시뮬레이션을 진행하였다. 먼저, proximity effect나 overlay margin 부족으로 발생하는 overlap error를 해결하기 위해 overlay margin이 부족한 영역을 찾아 충분한 margin을 확보하여야 한다. 그래서 metal layer와 contact hole이 overlap되는 영역을 찾아 그 가장자리로부터 overlay만큼 metal layer를 oversizing하여 충분한 overlay margin을 확보하였다[그림 3(a)]. 그러나 미세한 layout에서 oversizing은 space margin을 감소시켜 proximity effect의 영향력이 증가하게 한다.

따라서 oversizing으로 부족해진 space margin을 확보하여야 하므로 DRC를 통해 pattern 간의 space를 확인하고 rule에 어긋나는 부분을 찾아 그 영역에 해당하

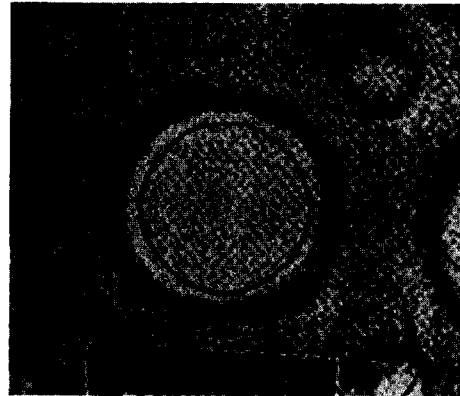


그림 2. Side-lobe 현상을 보여주는 200 nm pattern의 photograph.

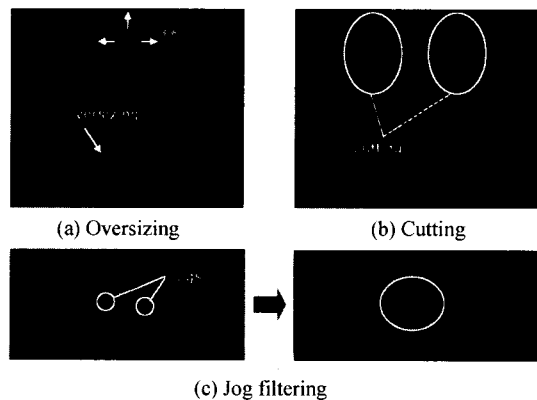


그림 3. Design rule checking & jog filtering.

는 polygon을 전체 layout에서 NOT 연산을 하여 충분한 margin을 확보한다[그림 3(b)]. 그러나 space margin 확보를 위한 cutting으로 jog들이 발생하였다. Jog들은 mask 검사 시 defect으로 처리될 위험이 있어 50 nm를 초과하는 jog들은 jog filtering을 통해 제거하였다[그림 3(c)].

Overlay 문제를 해결하기 위한 pattern correction이 완료된 metal layer에 attPSM을 적용하였다. 이때 AttPSM의 사용에 있어 가장 큰 문제가 되는 side-lobe 현상이 발생한다. Side-lobe 현상을 해결하기 위한 가장 기본적인 방법은 Cr shield 방식이다. Cr shield 방식은 mask linearity 면에서는 mask bias 방식보다 떨어지지만 focus latitude면에서는 보다 뛰어나다. 이것은 다음의 그림 4를 통해 알 수 있다. Cr shield 방식을 적용하기 위해서는 먼저 side-lobe의 생성 위치를 알아야하므로 aerial image simulation을 통해 side-lobe 발생 위치를 확인하였다. 그리고 Calibre의 Printimage simulation을 통해 side-lobe만을 추출하였다. 추출한 side-lobe pattern과 같은 크기의 Cr pattern을 남기므로 side-lobe 현상을 제거할 수 있었다[그림 5]. 하지만 이 방식은 mask 제작 과정과 mask 구조가 복잡해지는 단점을 가지고 있다. 그림 6에서 보는 것과 같이 Cr shield 방식은 metal layer를 mask에 생성하는 단계 외 side-lobe 억제를 위한 Cr pattern을 mask에 옴기기 위한 작업이 하나 추가됨으로 mask 제작 공정이 복잡해진다. 그리고 mask의 구조 역시 복잡해지고 design도 어려워진다. 그

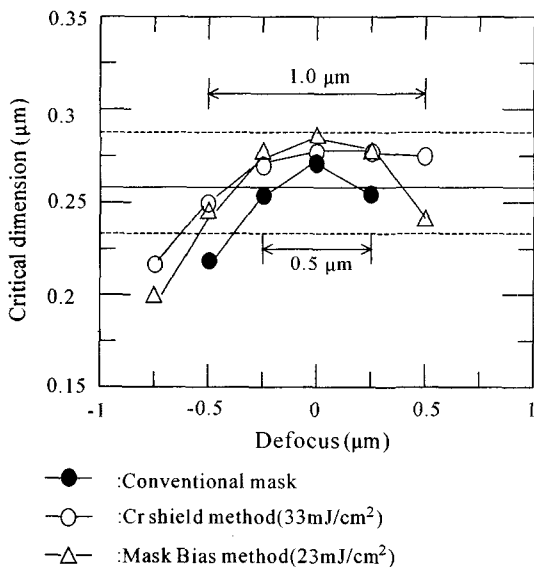


그림 4. Cr shield 방식과 mask bias 방식의 focus latitude [3].

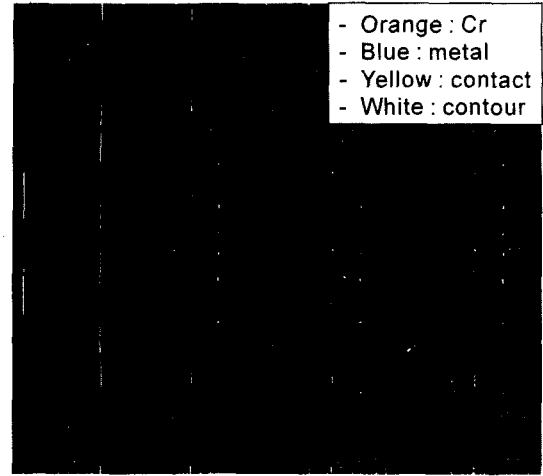


그림 5. Cr shield 방식을 적용하였을 때 aerial image simulation 결과.

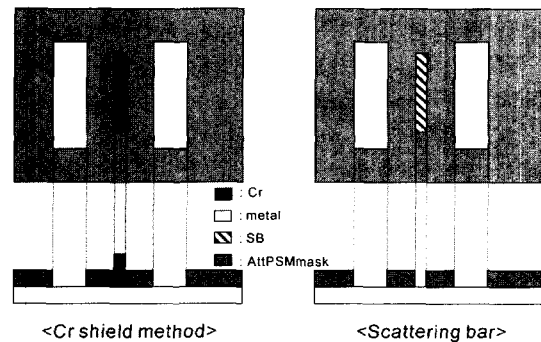


그림 6. Cr shield 방식과 scattering bar의 mask 비교.

러므로 mask 제작 과정을 줄이면서 mask 구조 역시 단순화할 수 있는 방법이 필요하다. 그러므로 복잡한 mask 제조 공정을 간단하게 하면서 DOF도 향상시키는 scattering bar를 삽입하는 방식을 사용하기로 하였다. 이 방식을 응용하기 위해서는 scattering bar 삽입을 위한 rule을 생성하여야 하는데 그전에 scattering bar로 사용가능한 scattering bar의 크기를 정해야한다. 그러므로 width에 따른 test pattern을 생성하였다. 그리고 aerial image simulation을 통해 현상되지 않는 pattern의 크기를 결정하였다. 그리고 side-lobe 크기에 따른 scattering bar의 삽입 개수를 결정하는 rule을 생성하였다. Feature의 크기, scattering bar의 width, feature와 scattering bar의 간격, scattering bar들간의 간격 등을 파라미터로 갖는 기존의 scattering bar rule을 적용하여 scattering bar를 삽입하였다. 그 뒤 Printimage simulation을 통해 side-lobe 만을 추출하였다. side-lobe 추출 방법은 앞서서와 같다. 추출된 side-lobe 크기에 따라

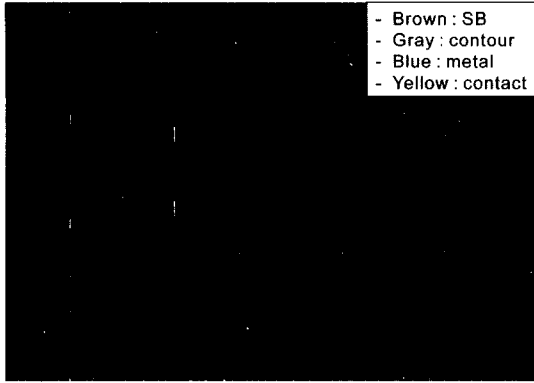


그림 7. Scattering bar를 적용하였을 때 aerial image simulation.

scattering bar를 삽입하였다. Scattering bar의 삽입까지 끝난 최종적인 metal layer를 aerial simulation을 통해 side-lobe의 발생여부를 확인한 결과 그림 7과 같이 문제가 해결되었다.

그리고 그림 8에서 보는 것처럼 Cr shield 방식을 사용하였을 때보다 scattering bar를 응용하였을 때 DOF 향상되었다. 지금까지는 background가 transmittance를 갖는 경우로 시뮬레이션을 진행하였다. 그런데 지금까지와는 반대로 background를 clear로 하였을 때에도 앞의 방식을 적용할 수 있는지 알아보기 위해 우선 background를 clear로 하고 metal layer를 attPSM으로 하였을 때 side-lobe 현상이 나타나는 위치를 aerial image simulation을 통해 확인하고 앞에 scattering bar를 삽입하는 방식을 적용하여 문제가 해결되었는지를 확인하였

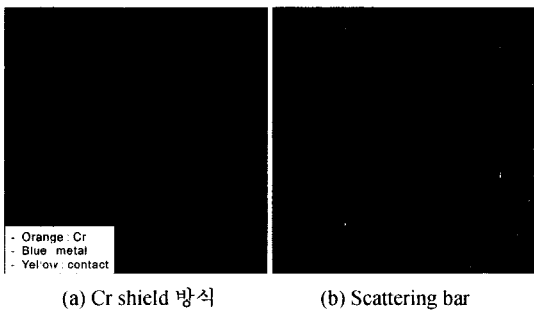


그림 8. Cr shield 방식과 scattering bar의 DOF 비교.

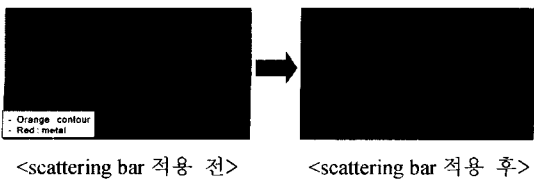


그림 9. Background clear의 경우 side-lobe 현상.

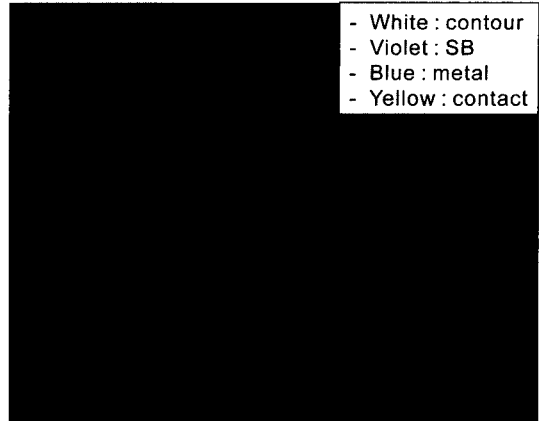


그림 10. Background clear의 경우 contour simulation 결과.

다. Simulation은 앞서 진행한 절차에 따라 진행하였다. Side-lobe가 발생하는 위치를 확인하여야 하므로 background가 clear인 metal pattern을 생성하여 aerial image simulation을 통해 결과를 확인하였다. 그 결과 앞에서와는 반대로 metal pattern 밖에 생성되는 것이 아니라 그림 9에서 보는 것과 같이 metal pattern 내에 side-lobe가 생성되었다. 이 문제를 해결하기 위해서는 aerial image simulation 후, HOLES 명령을 사용하여 side-lobe만 추출하고, 이렇게 분리해낸 side-lobe pattern을 EXTENTS 하였다. Scattering bar 삽입을 위한 rule은 앞에서와 마찬가지로 side-lobe 크기에 따라 scattering bar의 크기와 삽입 개수를 결정짓는 rule을 생성하고 그 rule에 맞춰 scattering bar를 삽입하였다. 그림 10에서 보는 것과 같이 aerial image simulation을 한 결과 side-lobe 현상이 억제되었다.

3. 결론 및 고찰

근접효과나 overlay로 인해 resolution이 저하되어 미세한 반도체 회로를 구현하기가 어렵다. 그래서 pattern을 고정하고 scattering bar, attPSM 등의 기술들을 이용하여 문제를 해결하고자 했다. 그 결과 overlay margin 부족으로 발생하는 문제들은 metal layer oversizing을 통해 충분한 margin을 확보하므로 문제를 해결하였고, oversizing 후 부족해진 space margin은 cutting을 통해 최소한의 margin을 확보하였다. 그리고 cutting 후 발생하는 jog들은 mask 검사 시에 문제가 될 수 있어 jog filtering을 통해 제거하였다. overlay margin 확보를 위한 보정을 완료한 후 attPSM을 적용하였을 때 aerial image simulation을 통해 확인한 결과 발생한 side-lobe를 제거하기 위한 방법 중 가장 손쉽게 생각할 수 있는

Cr 보조 패턴을 이용하여 side-lobe 현상을 억제하였다. 그러나 이 방법은 mask 제작 공정과 구조상의 복잡화를 가져오는 단점을 보완할 수 있는 방법으로 scattering bar를 선택하였다. scattering bar는 metal layer와 동시에 생성하므로 Cr 보조 패턴 방식의 단점으로 보완할 수 있다. 그래서 scattering bar 생성 규칙을 적용하여 side-lobe가 발생할 수 있는 영역에 scattering bar를 적용하여 side-lobe 현상을 해결하였다. scattering bar는 background가 clear인 경우에도 적용하여 side-lobe 현상을 억제하였고 DOF도 향상되었다. 따라서 overlay 문제와 동시에 attPSM의 사용으로 나타나는 side-lobe 문제를 해결하였다.

참고문헌

- [1] Christoph Dolainsky *et al.*, "Simulation based method for sidelobe suppression", Proc. SPIE Vol. 4000, pp. 1156-1162, 2000.
- [2] Zhijian, G. Lu *et al.*, "Selection of Attenuated Phase Shift Mask Compatible Contact Hole Resists for KrF Optical Lithography", SPIE Vol. 3678, pp. 923-934, 1999.
- [3] Haruo Iwasaki *et al.*, "Attenuated phase shift masks reducing sidelobe effect in DRAM peripheral circuit region", SPIE vol. 3236, pp. 544-550, 1998.