

향상된 나선형 인덕터를 이용한 블루투스 부성저항발진기 설계

손주호[†] · 최석우[‡] · 김동용^{***}

요 약

본 논문에서는 $0.25\mu\text{m}$ 1-poly 5-metal CMOS n-well 공정을 이용하여 나선형 인덕터와 블루투스 수신기에 응용할 수 있는 전압제어 발진기를 제안하였다. 제안된 인덕터는 다층 메탈을 이용하여 인덕터의 저항 성분을 감소시켜 블루투스 주파수 대역에서 Q 값을 향상시켰다. 또한 Q 값이 향상된 나선형 인덕터를 이용하여 부성저항 전압제어 발진기를 설계하였다. 설계된 부성저항 발진기의 시뮬레이션 결과는 외부의 커패시턴스가 2pF 에서 14pF 까지 변화할 때 발진 주파수대역은 2.33GHz 에서 2.58GHz 이고, 발진 출력은 0dBm 이상이었다.

Design of The Bluetooth Negative Resistor Oscillator using the Improved Spiral Inductor

Ju-ho Son[†], S. W. Choi[‡] and Dong-yong Kim^{***}

ABSTRACT

In this paper, we designed a spiral inductor and voltage controlled oscillator with the negative resistor for the bluetooth receiver by using $0.25\mu\text{m}$ 1-poly 5-metal CMOS n-well process. The proposed inductor, which applies multi layer metal structure, is a structure that decreases resistance value by increasing the metal thickness. As the resistance value decreases, the quality factor Q has improved. Also, voltage-controlled oscillator is designed applying 1 port negative resistance, and changes its oscillating frequency by varying outside capacitor values. The simulation results show that oscillating frequency is $2.33\sim 2.58\text{GHz}$ changing from 2pF to 14pF , and the oscillator has oscillating power over 0dBm .

Key words: VCO, inductor, Bluetooth

1. 서 론

텔티미디어 통신 기술의 발달로 인하여 IMT-2000 및 블루투스와 같은 무선 통신 시장이 급속히 발전하고 있다. 이는 21세기 정보통신 사회의 도래에 발맞추어 나타난 통신시장의 자연스런 팽창과 소비자들이 요구하고 있는 다양한 종류의 통신서비스를 만족하기 위한 결과이다. 이로서 유선 통신시장이 무선 통신시장으로 변하고 있으며 호출기, 셀룰러,

PCS, IMT-2000, 무선 PBX 및 무선 LAN등의 여러 통신 서비스를 낳게 하였다. 이에 따른 통신장비의 개발 및 부품개발에 대한 중요도가 점차 증가되고 있다.

현재 휴대용 무선통신 단말기들의 송수신 시스템은 GaAs를 이용한 MMIC와 실리콘 CMOS를 이용한 RF IC 기술이 혼재되어 왔다. 혼재되어 있는 MMIC와 실리콘 CMOS 기술은 공정기술의 발달로 인하여 CMOS 기술이 저가격 고집적 RF 송수신기 실현에 주도적 역할을 하게 될 가능성에 대해 매우 긍정적인 평가를 받고 있고 이를 통한 단말장치의 CMOS 단일칩화 연구가 활발히 진행되고 있다[1-6]. 국내외 CMOS 공정기술 및 f_T 를 고려할 때 이를 이

접수일 : 2002년 9월 11일, 완료일 : 2002년 12월 3일

[†] 정회원, 전북대학교 전기공학과 박사과정

[‡] 전북대학교 전자정보공학부 부교수

^{***} 전북대학교 전자정보공학부 교수

용한 RF 소자개발은 더욱더 실현 가능성을 높게 하고 있다[7].

본 논문에서는 RF CMOS 집적화를 위하여 $0.25\mu\text{m}$ CMOS 설계파라미터를 사용하여 다층 메탈 나선형 인덕터를 설계하였으며 이를 이용하여 블루투스 RF 수신기용 2.4GHz 전압제어 발진기(VCO)를 설계하였다.

2. 다층 나선형 인덕터의 설계 및 시뮬레이션 결과

인덕터의 Q값을 향상시키는 방법을 크게 두 가지로 나누면 공정개선과 파라미터 최적화가 있다. 먼저 공정개선은 최상위 금속층의 두께를 높이거나 기판의 저항을 조절하는 방법이 있으나 비용이 증가하는 단점이 있다. 다음으로 파라미터 최적화 방법은 나선형 인덕터의 파라미터(폭, 간격, 권선 수, 인덕터의 내부 직경, 인덕터 형태)의 최적화를 통하여 Q값을 개선하는 방법이다[4-6]. 금속 폭은 기판과의 커페시턴스 값과 인덕터의 저항에 영향을 주고, 금속 도선 간의 간격은 상호 인덕턴스에 영향을 주는 부분이다. 인덕터 내부 직경은 직경이 크면 클수록 L값과 Q값이 증가하지만 면적이 증가한다는 단점이 있다. 인덕터 형태를 보면 대부분은 정방형 모양의 평면 나선형 인덕터로 설계하지만, Q값을 증가시키기 위해서 원형나선 인덕터나 팔각형 등으로도 인덕터를 설계하고 있다. 원형에 가까울수록 Q는 증가하지만 발표 논문에 따르면 팔각형 나선 인덕터와 원형 나선 인덕터의 Q값 차이는 거의 없는데 반하여 사각형 나선 인덕터와는 10% 차이가 있는 것으로 보고되었다[4]. 그러나 원형이나 팔각형나선 인덕터는 설계의 어려움과 면적 효율이 좋지 못하므로 대부분 그림 1과 같은 정방형 나선 형태로 인덕터를 설계하고 있다.

본 논문에서 설계한 다층 나선형 인덕터의 모델은 그림 2, 3과 같고, 그림 4는 본 논문에서 사용한 인덕터의 등가회로이다. 이때 인덕터의 특성은 기판을 포함하여 시뮬레이션 하였으나 동일한 기판으로 시뮬레이션을 하는 경우 기판의 저항은 변화하지 않기 때문에 등가회로에서 기판 저항을 포함하지 않았다. 그림 4 등가회로의 각 파라미터는 다음과 같다.

- L_s : 금속 세그먼트의 자기 · 상호 인덕턴스
- R_s : 적층된 쉬트 저항
- C_1, C_2 : 금속 레이어와 기판 사이의 기생 캐패시턴스

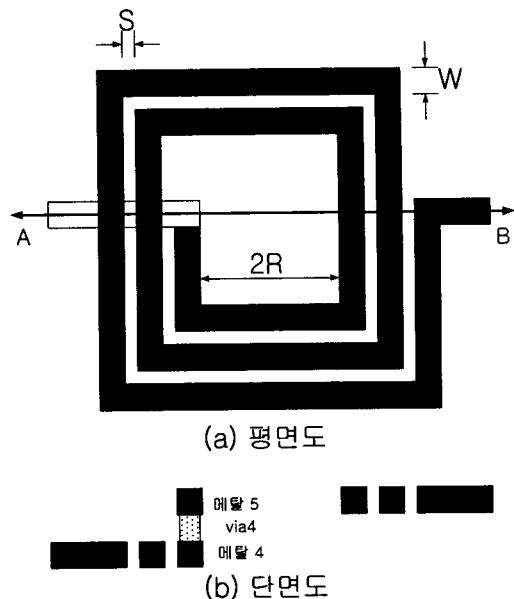


그림 1. 기존의 나선형 인덕터의 단면도 및 평면도
(S : 간격, W : 두께, 2R : 내경)

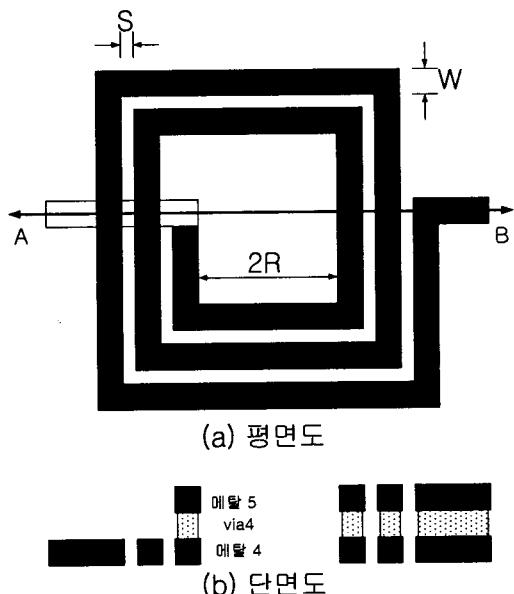


그림 2. 메탈 1,2,3,4,5층을 사용한 Q값이 향상된 인덕터의 단면도 및 평면도
(S : 간격, W : 두께, 2R : 내경)

제안된 다층 메탈 인덕터의 비아는 그림 2, 3과 같이 하나의 개체로 하여 레이아웃을 수행하여 시뮬레이션 하였다. 비아를 설계 룰에 의하여 각각으

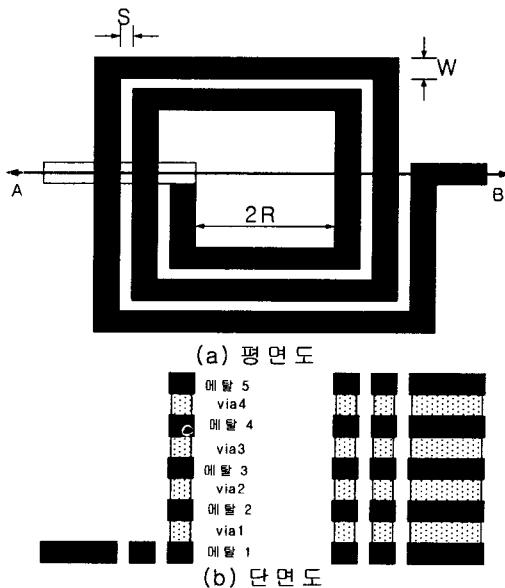


그림 3. 메탈 4,5층을 사용한 Q값이 향상된 인덕터의 단면도 및 평면도
(S : 간격, W : 두께, 2R : 내경)

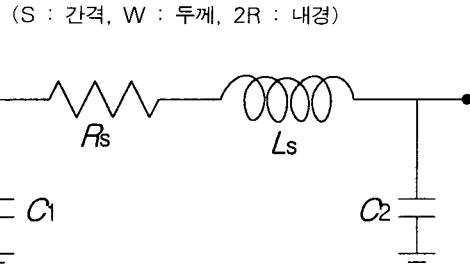


그림 4. 인덕터 등가모델

로 레이아웃하여 시뮬레이션 한 경우 시간이 증가하였으나 각각의 비아를 하나의 개체로 레이아웃하여 시뮬레이션 한 결과 시간이 단축되고 특성도 일치하였다. 따라서 기존의 나선형 인덕터와 비교하여 메탈층의 두께가 두꺼워지는 효과를 가져온다. 설계된 다층 메탈 인덕터를 레이아웃한 다음 인덕터에 실제적인 변수들을 대입해서 식 (1)~(3)으로 값의 변화에 대하여 고찰해 보자.

$$\bullet \quad R_s = \frac{\rho}{t} \times \frac{L}{W} \quad (R = \frac{\rho}{t} = 20m\Omega/\square) \quad (1)$$

$$\bullet \quad C_p = 0.016 \text{ fF} / \mu\text{m}^2 \times L \times W \quad (2)$$

$$\bullet \quad L_s = 0.0241 \times a \times n^{\frac{5}{3}} \times \log[8 \times \frac{a}{c}] : \text{Byran 방법} \quad (3)$$

식 (3)에서 a 는 밖과 안의 직경을 4로 나눈 값, c 는 밖의 직경에서 안의 직경을 뺀 값을 2로 나눈 값, n 은 turn 수이다[7].

그림 1과 같이 기존의 나선형 인덕터에서 비아층은 메탈층에 비해 저항성분이 커서 Q 값의 감소를 가져온다. 그러나 다층 메탈을 이용한 그림 2와 3과 같은 구조는 비아층이 메탈층을 연결하는 역할이 아닌 메탈층과 같은 도선 역할을 하는 것으로 설정하였을 경우 도선의 두께 증가로 인하여 식 (1)을 이용하여 계산하면 전체적으로 저항 성분 R_s 가 감소한다. 따라서 $Q = Im(Z) / Re(Z) = X / R$ 이므로 Q 값이 증가한다. C_p 는 금속과 기판사이의 기생 캐패시터에 비례하며, 그림 4의 C_1, C_2 에 해당한다. 다층 메탈을 사용하게 되면 최상위층 메탈을 사용할 때보다 메탈과 기판사이의 간격이 가까워지며, 캐패시터는 간격에 반비례하므로 캐패시터 값은 커질 것으로 예측된다. 그러나 캐패시터 값이 매우 작으므로 전체적으로는 크게 영향을 미치지 않는다. 다음으로 Byran 방법에 의한 L_s 의 변화를 고찰해 보자. 다층 메탈을 사용하여 변화하는 변수는 두께뿐이라고 가정한다면 식 (3)에서 볼 수 있듯이 L_s 의 변화는 없다. 따라서 인덕터의 Q 값을 결정짓는 R_s 와 L_s 의 변화만을 고려한다면 Q 값은 증가할 수 있다.

본 논문에서 사용한 공정은 TSMC 1-poly 5-metal $0.25\mu\text{m}$ CMOS n-well 공정으로 5개의 메탈층이 사용 가능하다. 최상위층 메탈 5의 두께는 $1.5\mu\text{m}$ 이고, 다른 메탈은 $0.57\mu\text{m}$ 로 메탈 5는 다른 메탈에 비하여 두꺼운 메탈을 사용하였다. 각 층별 유전율, 두께 및 도전율은 표 1과 같다.

그림 1과 같은 기존의 나선형 인덕터, 그림 2와 같은 메탈 4, 5층을 사용한 인덕터와 그림 3과 같은 5개의 메탈층을 사용한 인덕터를 $S=1\mu\text{m}$, $R=50\mu\text{m}$, $W=2\mu\text{m}$ 로 하여 2.5D field 시뮬레이션 툴인 모멘텀을 이용하여 비교 시뮬레이션 하였다. 먼저 모멘텀을 이용하여 2포트로 레이아웃된 인덕터를 시뮬레이션하여 S -파라미터를 추출하고, 이때 추출된 S -파라미터를 이용하여 등가회로의 소자값을 구하여 Q 값을 측정하였다.

또한 레이아웃 룰에 의해 CMOS 공정에서 비아의 크기는 정해져 있으나, 비아를 메탈 층과 같이 하나의 개체로 하여 시뮬레이션을 하는 경우와 비아를 다른 개체로 만들어 시뮬레이션 하는 경우에 시뮬레

표 1. 실리콘 기판의 유전율, 두께 및 도전율

	유전율	두께(A ⁰)	도전율(S/m)
FOX	3.9	3450	
ILD	4.0	8000	
IMD1	4.1	15700	
IMD2	4.1	15700	
IMD3	4.1	15700	
IMD4	4.1	15700	
PASS1	4.1	15100	
PASS2	7.9	7000	
M1		5700	1.626e+7
M2		5700	2.308e+7
M3		5700	2.308e+7
M4		5700	2.308e+7
M5		15000	2.308e+7
PO		2000	
SUB		60000	
VIA 1		10000	2.5e+7
VIA 2		10000	2.5e+7
VIA 3		10000	2.5e+7
VIA 4		10000	2.5e+7
CONT		6000	

이션 결과는 일치하므로 시뮬레이션 시간을 단축하기 위하여 비아를 하나의 개체로 레이아웃하여 시뮬레이션하였다.

제안된 다층 메탈 인덕터의 특성 비교를 위해 그림 5와 같이 4.5 turn의 시뮬레이션 결과를 비교하였다.(a: 기존의 나선형 인덕터, b: 메탈 4, 5층을 사용한 나선형 인덕터, c: 메탈 1~5층을 사용한 인덕터) 그림 9(a)에서는 기존의 나선형 인덕터에 비하여 메탈 층을 많이 사용할수록 점차 낮은 주파수에서 최대 Q값을 갖는다. 그리고 인덕터의 인덕턴스 성분의 변화는 그림 9(b)와 같이 기존의 인덕터와 제안된 인덕터가 거의 일치함을 알 수 있었다. 이것은 식 (3)에서 계산한 것과 같이 두께의 변화가 인덕턴스의 변화에는 크게 의존하지 않는다는 것이다. 그림 9(c)는 인덕터의 저항성분의 변화를 나타내고 있으며 기존 나선형 인덕터에 비하여 메탈 층을 많이 사용할수록 무선주파수 대역에서 저항 성분이 작아지는 것을 나타내고 있다. 즉 무선주파수 대역인 900MHz~2.4GHz에서 저항 성분이 작아지므로 Q 값이 커지게 된다. 표 2는 서로 다른 turn수를 갖는 인덕터의 특성을 비교하여 시뮬레이션한 결과이다.

3. 부성저항 발진기의 설계

본 장에서는 2장에서 설계한 다층 메탈 나선형 인

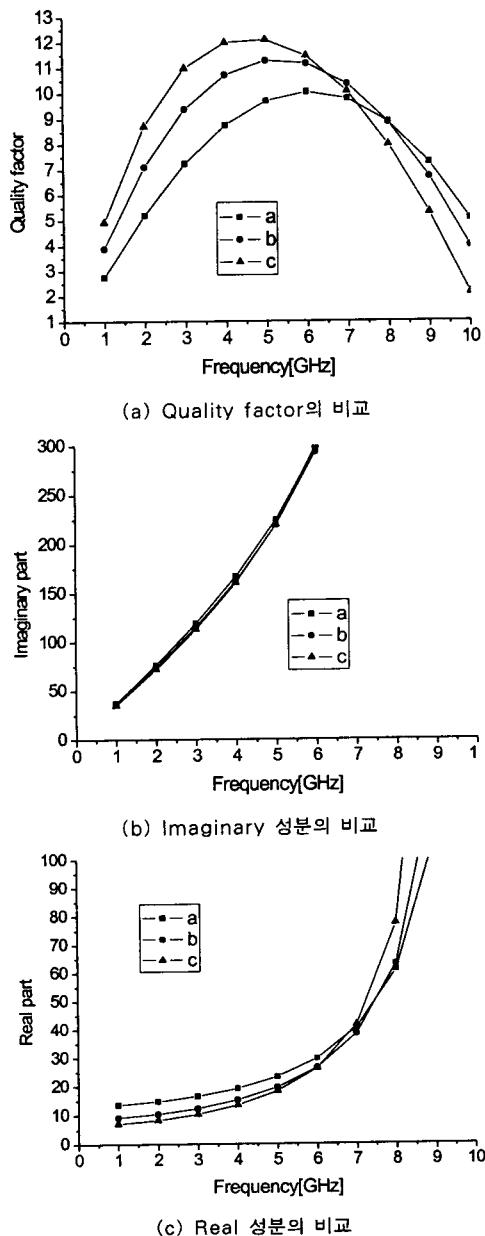


그림 5. 4.5 turn일 때의 비교

덕터를 사용하여 부성저항 발진기를 설계하였다. 그림 6은 일반적인 2포트부성저항 발진기 모델에 대한 블록도를 나타내고 있다. 그림 6에서 Z_T 는 종단 네트워크이고 Z_L 은 부하임피던스이다. 2포트 네트워크가 불안정한 상태일 때 Z_T 의 적절한 선택은 2포트 네트워크의 입력 임피던스가 Z_L 인 1포트 부성저항 소자인 것처럼 보인다. 또한 회로 내에서 입력포트가 발진하게 되면 출력포트도 발진하게 된다. 그림 10의

표 2. 시뮬레이션 결과값

	C_1 [F]	C_2 [F]	R_s [Ω]	L_s [H]
2.5 turn	(a) 0.0136976P	0.0151302P	6.42526	2.00931N
	(b) 0.0137278P	0.0169879P	4.51934	1.91407N
	(c) 0.0146664P	0.0173305P	3.42402	1.84902N
3.5 turn	(a) 0.0159725P	0.0196976P	10.0071	3.7015N
	(b) 0.0162829P	0.0214823P	6.66906	3.53151N
	(c) 0.0171028P	0.0219444P	4.65251	3.35767N
4.5 turn	(a) 0.0184941P	0.0239897P	13.1529	5.85831N
	(b) 0.0184124P	0.0257915P	9.10945	5.69542N
	(c) 0.0184939P	0.0274606P	6.92803	5.54614N
5.5 turn	(a) 0.0199827P	0.0293408P	17.276	8.72022N
	(b) 0.0192346P	0.0326142P	11.6139	8.44251N
	(c) 0.0228475P	0.029732P	9.08601	8.33373N
6.5 turn	(a) 0.0246337P	0.0318392P	21.6424	12.1875N
	(b) 0.020632P	0.0454932P	13.9848	11.7381N
	(c) 0.0239519P	0.0374695P	11.4	11.6416N

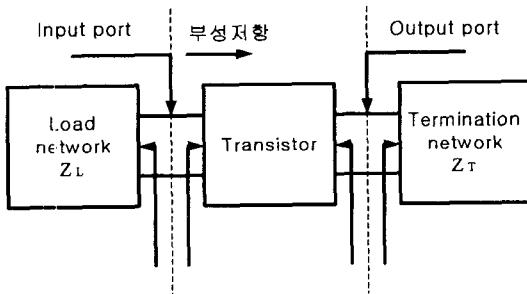


그림 6. 일반적인 2포트 부성저항 발진기 모델

일반적인 2포트 부성저항 발진기 모델에 대한 발진 조건은 식 (4)와 같이 주어진다.

$$\Gamma_{IN} \cdot \Gamma_L = 1 \quad (4)$$

식 (4)로부터 Γ_L , Γ_T , Γ_{OUT} 을 구하면 각각 다음 식 (5), (6), (7)과 같다.

$$\Gamma_L = \frac{1}{\Gamma_{IN}} = \frac{1 - S_{22} \Gamma_T}{S_{11} - \Delta \Gamma_T} \quad (5)$$

$$\Gamma_T = \frac{1 - S_{11} \Gamma_L}{S_{22} - \Delta \Gamma_T} \quad (6)$$

$$\Gamma_{OUT} = \frac{S_{22} - \Delta \Gamma_L}{1 - S_{11} \Gamma_L} \quad (7)$$

$$\Gamma_{OUT} \Gamma_T = 1 \quad (8)$$

식 (4)에서 식 (7)로부터 식(8)을 구할 수 있으며, 식 (8)은 입력포트가 발진할 때 출력포트도 발진함을 보여준다.

그림 7은 최종 설계된 발진기 회로이다. 설계된 발진기 회로는 RF 셧크를 사용하지 않았으며, 레퍼런스 전압을 이용하여 전류의 흐름을 조절하였고 V_{OUT} 에 바렉터 캐패시턴스를 외부에서 조절하도록 하였다. 바렉터 다이오드에 인가하는 전압을 이용하여 발진주파수를 조절하는 VCO의 구현이 가능하다. 여기서 사용된 L_1 은 2절에서 구현된 4.5 turn의 C번 구조이고, L_2 는 2.5turn의 C번구조이다.

그림 8은 출력단에 병렬로 삽입된 커패시터값을 변화 시켰을 때 설계된 발진기 회로의 출력임피던스의 변화를 나타낸 결과이다. 그림 8에서 알 수 있듯이 커패시터의 변화에 따라 약 2.33GHz에서 2.58GHz까지 부성 출력 저항값을 갖는 것을 알 수 있다. 또 하나의 발진조건에 의하면 발진 주파수에서 입력 임피던스 $Im(Z_{IN})$ 이 0이 되어야 하며, 그림 12에서 보이듯 2.33GHz에서 2.58GHz사이에서 출력 임피던스의 $Im(Z_{IN})$ 이 0이 되어 발진 조건을 만족하였으며, 이것으로 설계된 회로의 발진주파수를 예상할 수 있다.

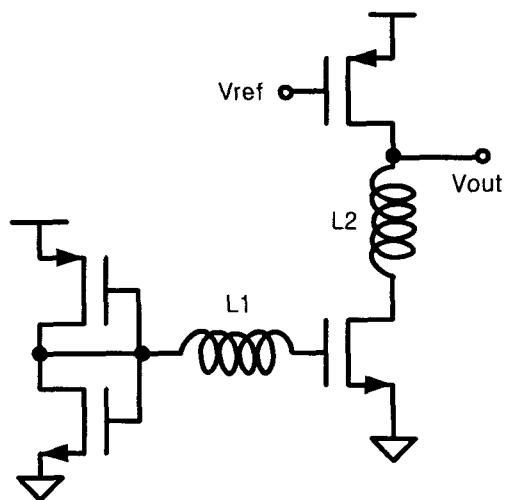


그림 7. 제안하는 부성저항발진기

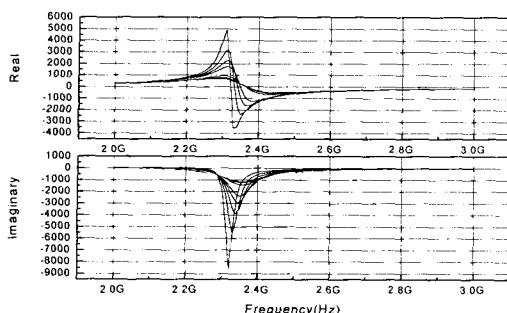


그림 8. 캐패시턴스의 변화에 따른 입력 임피던스 변화

그림 9는 대신호 시뮬레이션 결과로 발진주파수 대역에서 1.38dBm의 출력을 얻었다. 설계사양에서 2차 하모닉의 차이는 약 15dBc를 갖도록 설계하였으나, 시뮬레이션 결과는 17dBc 이상으로 설계사양을 만족하였다.

그림 10은 최종 회로에서 바렉터 커패시턴스의 변화에 따른 발진 출력 및 발진 주파수의 변화를 보여준다. 그림 10에서 보이듯 커패시턴스를 2pF에서 13pF까지 변화시킴에 따라 발진주파수는 2.33 GHz에서 2.58GHz까지 변화함을 알 수 있다. 이 때 발진

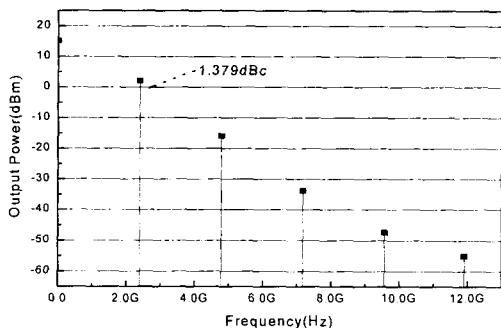


그림 9. 대신호 시뮬레이션 결과

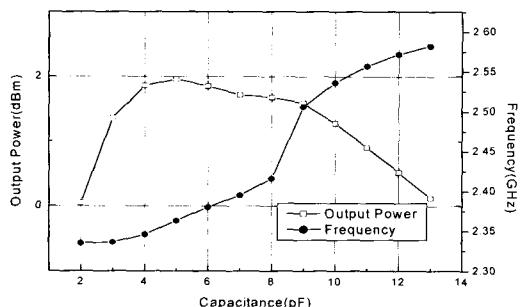


그림 10. 바렉터 커패시턴스의 변화에 따른 출력전력과 주파수의 변화

출력은 0.12dBm에서 1.96dBm까지 변화하여 설계 목표 주파수에 대하여 만족함을 알 수 있다.

그림 11은 위상잡음 시뮬레이션 결과로 3MHz에서 -110dBc/Hz의 위상잡음을 갖는다.

이상의 발진기 시뮬레이션 결과를 표 3에 정리하였다.

그림 12는 설계된 발진기 회로의 레이아웃이다. 회로의 전체 크기는 $790 \times 475 \mu\text{m}^2$ 이며, 온 웨이퍼 상태에서 측정이 가능하도록 구성하였다.

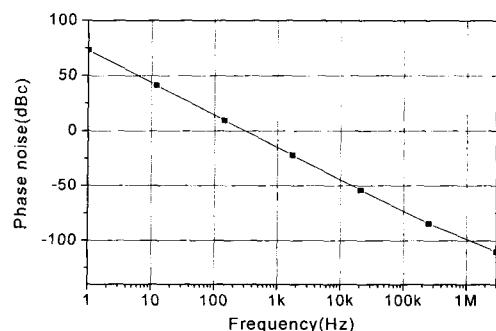


그림 11. 위상 잡음

표 3. 발진기 시뮬레이션 결과

구 분	설계결과
발진주파수	2.33~2.58GHz
발진출력	0dBm이상
하 모 닉	15dBm이상
위상잡음	110dBc/Hz@3MHz
입력전압	2.5V
소모전류	123mA

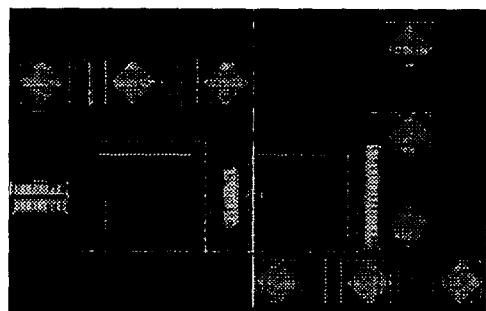


그림 12. 설계된 발진기의 레이아웃

4. 결 론

본 논문에서는 블루투스에서 사용할 수 있는 발진

기를 2.33GHz에서 2.58GHz의 발진주파수를 갖도록 CMOS 공정을 이용하여 설계하였다. 설계된 발진기는 Q 값을 향상시킨 다층 메탈 나선형 인덕터를 사용하였으며, 2.5V의 전원전압에서 소모전류는 123mA이다. 발진 구조는 부성저항을 이용한 구조를 사용하였으며 시뮬레이션결과 설계 사양에서 결정한 발진주파수범위인 2.33GHz에서 2.58GHz 범위에서 발진하였으며, 출력 전력은 모든 발진주파수에서 0dBm 이상이었으며, 위상잡음은 110dBc/Hz@3MHz이다. 최종 레이아웃에 의한 회로의 크기는 $790 \times 475 \mu\text{m}^2$ 이다.

참 고 문 헌

- [1] P. K. Shaeffer and T. H. Lee, "A 1.5V 1.5 GHz CMOS Low Noise Amplifier," in *SOVC Dig. Tech. Papers*, pp. 32-33, June 1996.
- [2] A. N. Karanicolas, "A 2.7 V 900 MHz CMOS LNA & Mixer," in *ISSCC Dig. Tech. Papers*, pp. 50-51, Feb. 1996.
- [3] R. G. Meyer and W. D. Mack, "A 1 GHz BiCMOS RF Front-end IC," *IEEE J. Solid-state Circuits*, Vol. 29, pp.166-176, Mar. 1994.
- [4] D. B. M. Klaassen, "Compact modelling of submicron CMOS," *Proc. 22nd European Solid-State Circuits Conference*, pp.40-46, Sep. 1996.
- [5] James Yung-Cheh Chang, A low power 770 MHz RF tuned amplifier in $2\mu\text{m}$ CMOS using large suspended rectangular planar inductors, *M.S. thesis in Electrical Engineering*, Los Angeles, University of California, 1992.
- [6] Robert G. Meyer, and William D. Mack, "A 1 GHz BiCMOS RF front-end IC," *IEEE J. Solid-States Circuits*, vol.29, no. 3, pp. 350-355, Mar. 1994.
- [7] J. Y. C. Chang, A. A. Abidi, and M. Gaitan, "Large Suspended Inductors on Silicon and their use in a $2\mu\text{m}$ CMOS RF Amplifier," *IEEE Electron Device Letters*, vol. 14, no. 5, pp. 246-248, 1993.
- [8] 김영호, 정항근, "900MHz대 저전력 저잡음 증폭

기 설계," *대한전자공학회 1998년도 추계종합 학술대회* 논문집, pp. 671-674. 1998.

- [9] 방준호, "저전압 저전력 CMOS 전류모드 필터 구현을 위한 새로운 적분기와 주파수 자동동조 회로의 구현," 전북대학교 대학원 박사학위논문, 1996.
- [10] 김영석, 박종욱, 김치원, 배기성, "나선형 인덕터를 이용한 VCO 최적설계," *대한전자공학회논문지*, 제 39권 SD편, 제 5호, 2002년 5월.

손 주 호



- 1994년 2월 전북대학교 전기공학과 졸업(공학사)
- 1999년 2월 전북대학교 전기공학과 졸업(공학석사)
- 1999년 3월 ~ 현재 전북대학교 전기공학과 박사과정

관심분야 : 무선랜, 블루투스, 인덕터

최 석 우



- 1994년 8월 전북대학교 전기공학과 공학박사
- 1996년 2월 ~ 2001년 9월 전북대학교 전기전자회합성연구소 전임강사, 조교수
- 1999년 9월 ~ 2001년 2월 미국 오하이오주립대학교 방문연구
- 2001년 9월 ~ 현재 전북대학교 전자정보공학부 부교수, 전북대학교 전자정보신기술연구센터 연구원

관심분야 : 회로 및 시스템, 집적회로 설계

김 동 용



- 1967년 2월 전북대학교 전기공학과 졸업(공학사)
- 1973년 2월 전북대학교 전기공학과 졸업(공학석사)
- 1985년 5월 캐나다 마니토바대학교 전자공학과 졸업(공학박사)
- 1986년 10월 ~ 현재 전북대학교 전자정보공학부 교수

관심분야 : 회로 및 시스템, VLSI 설계

교 신 저 자

- 손 주 호 560-756 전북 전주시 덕진구 덕진동 664-14
전북대학교 전자정보공학부