

UPS 인버터의 성능 개선을 위한 강인한 2중 디지털 제어기의 설계

朴志浩^{*}, 盧泰均^{**}, 金春杉^{***}, 安仁模^{****}, 禹靖仁^{*****}

Design of Robust Double Digital Controller to Improve Performance for UPS Inverter

Jee-Ho Park, Tae-Kyun Roh, Choon-Sam Kim, In-Mo Ahn, and Jung-In Woo

요 약

본 논문에서는 UPS 인버터의 성능 개선을 위하여 출력측 LC 필터의 커패시터 전압과 전류의 2중 제어루프를 구성하고, 2중 제어루프에 디지털 제어시스템을 채택하였다. 또한, 디지털 제어기의 연산지연시간을 보상하기 위하여 이러한 연산지연시간을 인버터 플랜트의 고유한 파라미터로 가정하고, 플랜트 모델에 포함시켜 모델링 하였다. UPS 인버터 출력전압의 과도상태 응답특성을 개선하고, 파라미터 변동에 강인한 특성을 얻기 위하여 2중 제어루프에서 내부 전류 제어루프는 내부 모델 제어기를 제안하였다. UPS 인버터 출력전압의 0의 정상상태 오차를 얻기 위하여 외부 전압 제어루프는 비례 제어기와 공진 제어기를 병렬로 연결한 비례-공진 전압제어기를 제안하였다.

ABSTRACT

In this paper, a new fully digital control method for UPS inverter, which is based on the double control loop such as the outer voltage control loop and inner current control loop, is proposed. In the proposed control system, overshoots and oscillations due to the computation time-delay are compensated by explicit incorporation of the time-delay in the current control loop transfer function. The inner current control loop is adopted by an internal model controller. The internal model controller is designed to a second order deadbeat reference-to-output response which means that its response reaches the reference in two sampling time including computational time-delays. The outer voltage control loop employing P-Resonance controller is proposed. The resonance controller has an infinite gain at resonant frequency, and the resonant frequency is set to the fundamental frequency of the reference voltage in this paper. Thus the outer voltage control loop causes no steady state error as regard to both magnitude and phase. The effectiveness of the proposed control system has been verified by the simulation and experimental results respectively.

Key Words : UPS inverter, Double control loop, Internal model controller, Second order deadbeat response, P-Resonance controller

1. 서 론

UPS(Uninterruptible Power Supply)는 일반적으로 컴퓨터나 FA 시스템, 각종 전자장비 및 통신시스템과 같은 전원환경에 민감한 부하에 높은 신뢰성과 안정적

인 전원을 공급하기 위하여 사용한다. 즉, 전원 측에서 발생하는 전압강하나 전압상승 및 정전 등의 전원장애에 대한 최적의 대책으로 사용되며, 그 수요가 현저하게 증대하고 있는 추세이다. 전원의 품질에 민감한 부하에 양질의 전력공급을 위한 UPS 인버터의 출력전압

은 크기와 주파수가 일정하고, 파형이 왜형 없는 정현파가 요구된다. UPS 인버터의 출력전압 파형을 개선하기 위하여 현재 대부분의 제어시스템은 전압 제어루프 안에 전류 제어루프가 삽입된 2중 제어기법을 주로 사용하고 있다^[1]. 이 제어기법에서 전류 제어루프는 전체 제어시스템의 과도 성능을 결정하는 중요한 요소이다. 그러나, 인버터는 시변·비선형 요소들로 구성되어 있고, 미지의 파라미터들과 부하의 변동 등에 의해서 특성에 많은 영향을 받는다. 특히, UPS의 부하는 대부분 비선형 부하이므로, 이에 기인하여 출력전압 파형은 왜형이 발생하여 정현파를 유지하지 못하고, 과도상태에서의 제어응답이 늦어지게 된다. 또한, 디지털 제어시스템은 아날로그 시스템보다 경년 변화가 적고, 적응성 및 신뢰성이 높기 때문에 최근 UPS 인버터의 제어시스템으로 많이 사용되고 있다^{[2][3]}. 디지털 제어시스템의 성능을 결정하는 가장 중요한 요소는 디지털 제어기의 연산지연시간으로 최악의 경우 최대 1 샘플링 시간이다. 정밀한 디지털 제어기의 설계를 위해서는 연산지연시간의 보상이 필수적이며, 최근 최대 1 샘플링 시간 이내의 연산지연시간을 플랜트의 고유한 파라미터로 가정한 2차 데드비트 제어가 제안되었다^[4]. 이러한 2차 데드비트 제어기는 차수가 하나 증가되어 제어기의 응답이 그 지령치에 2샘플링 시간 안에 오차와 오버슈트 없이 추종하게 되며, 연산지연시간의 문제를 해결한다. 또한, 데드비트 제어의 파라미터 변동에 대한 민감성을 제거하기 위하여 시스템의 극점을 재배치하여 보다 강인한 2차 데드비트 제어기를 제시하였다. 3상 인버터 시스템의 경우 d-q 좌표변환에 의해서 3상 정현파 지령치는 동기좌표계에서 시불변 직류량으로 변환된다. 따라서, 외부 전압 제어루프에 PI 제어기를 사용하면 0의 정상상태 오차를 얻을 수 있다^{[5][6]}. 그러나, 이러한 좌표변환은 측정된 3상 교류의 평균치를 회전좌표계의 직류량으로 변환하고, 제어동작을 다시 3상 교류로 변환하여야 하기 때문에 매우 복잡하다. 또한, 변환의 과정에서 부가적인 연산지연시간

과 오차가 발생한다. 그리고, 단상 인버터 시스템의 경우에는 d-q 변환이 불가능하며, 지령치가 정현파이기 때문에 PI 제어기는 항상 정상상태에서 크기와 위상 오차를 나타낸다. 즉, 단상 인버터 시스템의 경우 PI 제어기의 적용은 적절하지 않게 된다^{[7][8]}.

본 논문에서는 UPS 인버터의 성능 개선하기 위하여 출력측 LC 필터의 커패시터 전압과 전류의 2중 제어루프를 구성하고, 이러한 UPS 인버터의 2중 제어루프에 디지털 제어시스템을 채택한다. 본 논문에서는 디지털 제어기의 연산지연시간을 인버터 플랜트의 고유한 파라미터로 가정하고, 플랜트 모델에 포함시켜 모델링함으로써 연산지연시간을 위한 추가적인 보상이 필요 없게 한다. UPS 인버터 출력전압의 과도상태 응답특성을 개선하고, 파라미터 변동에 강인한 특성을 얻기 위하여 2중 제어루프에서 내부 전류 제어루프는 내부 모델 제어를 제안한다. 디지털 제어기의 연산지연시간을 포함한 내부 전류 제어루프에서 제안한 내부 모델 제어기는 플랜트 출력이 2 샘플링 시간 안에 지령치와 정확히 일치하는 2차 데드비트 응답을 갖도록 설계한다. 따라서, 내부 전류 제어루프는 매우 빠른 과도 응답특성을 가지며, 파라미터 변동에 강인한 특성을 나타낸다. 즉, UPS 인버터의 출력측 필터 커패시터 전류는 2 샘플링 시간 안에 오버슈트나 정상상태 오차 없이 지령치와 정확히 일치하도록 제어된다. 본 논문에서는 부하 변동과 같은 외란에 대한 민감성을 제거하기 위해서 부하전류 예측기법을 내부 전류 제어루프에 부가하고, 외란을 2 샘플링 시간 안에 피드포워드 보상한다^[4]. 따라서, 2차 데드비트 응답을 가지는 내부 모델 제어기는 외란에 강인한 특성을 확보할 수 있다. 단상 및 3상 인버터 시스템에서 0의 정상상태 오차를 얻기 위하여 외부 전압 제어루프는 비례 제어기와 공진 제어기를 병렬로 연결한 비례-공진 제어기를 제안한다^[9]. 제안한 비례-공진 제어기는 교류 성분에 대하여 기존의 PI 제어기와 유사한 형태이다. 공진 제어기는 정현파 지령치와 동일한 극점을 가지며, 공진 주파수에서 무한대 이득을 나타낸다. 본 논문에서는 공진 제어기의 공진 주파수를 출력전압 지령치의 기본과 주파수로 설정함으로써 정상상태에서 전압 제어루프는 0의 크기와 위상 오차를 나타낸다. 본 논문에서 제안한 시스템의 타당성을 검토하기 위하여 PSIM을 이용한 시뮬레이션 및 DSP(TMS320C32)를 이용하여 1[kVA]의 UPS 인버터를 제작하고 실험을 수행한 결과, 제안한 시스템은 디지털 제어기의 연산지연시간과 파라미터 변동 및 외란에 강인하며, 매우

*정회원, 동명대학 기계자동화계열 전임강사

E-mail : jhpark@yongma.tmc.ac.kr

**정회원, 유한대학 디지털모터과 전임강사

***정회원, 삼척대 컴퓨터응용제어공학과 부교수

****정회원, 마산대학 컴퓨터전기공학부 부교수

*****정회원, 동아대 전기전자컴퓨터공학부 교수

접수일자 : 2002.10.31

1차심사 : 2002.12.12

2차심사 : 2003. 1.14

심사완료 : 2003. 1.16

빠른 과도 응답 특성을 나타낸다. 또한, 제안한 제어기에 의해서 UPS 인버터 시스템의 출력전압 파형은 크게 개선되었고, 출력전압의 낮은 THD를 확인하였다.

2. 단상 UPS 인버터의 모델링

출력측 LC 필터를 포함한 UPS용 단상 인버터 시스템은 그림 1과 같으며, 그림 1로부터 다음과 같은 상태방정식을 얻을 수 있다.

$$L_f \frac{di_i}{dt} + R_f i_i = v_i - v_c = v_L \quad (1)$$

$$C_f \frac{dv_c}{dt} = i_i - i_L \quad (2)$$

$$i_i = i_c + i_L \quad (3)$$

$$v_c = Z_L i_L \quad (4)$$

여기서, L_f , R_f 및 C_f 는 인버터 출력측 LC 필터의 인덕턴스와 인덕터 등가 직렬저항 및 커패시턴스를 각각 나타낸다. 또한, v_i 와 i_i 는 각각 인버터 출력 전압과 전류, v_c 와 i_c 는 각각 인버터 출력측 LC 필터의 커패시터 전압과 전류를 나타낸다. 그리고 v_L 은 출력측 LC 필터의 인덕터의 전압강하, i_L 은 외란으로 작용하는 부하전류를 각각 나타낸다. Z_L 은 부하의 종류에 따라서 램프나 히터의 경우에는 순수 저항 부하, 모터의 경우에는 R-L 부하, 그리고 커패시터 입력형 정류기와 같은 비선형 부하로 미지의 파라미터이다.

모든 상태변수의 초기치를 0이라고 가정하고 식 (1)부터 식 (4)를 라플라스 변환하면 식 (5)에서 식 (8)과 같다.

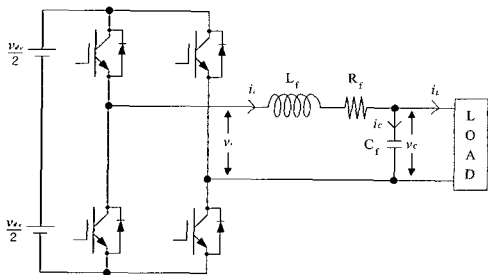


그림 1 UPS용 단상 인버터 시스템
Fig. 1 Circuit configuration of single-phase inverter

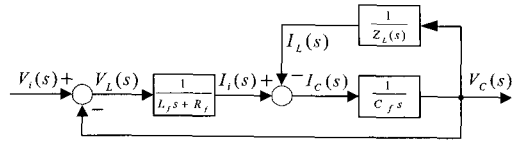


그림 2 인버터 시스템의 플랜트 블록선도
Fig. 2 Block diagram of inverter plant

$$(L_f s + R_f) I_i(s) = V_i(s) - V_c(s) = V_L(s) \quad (5)$$

$$C_f s V_c(s) = I_i(s) - I_L(s) \quad (6)$$

$$I_i(s) = I_c(s) + I_L(s) \quad (7)$$

$$V_c(s) = Z_L(s) I_L(s) \quad (8)$$

이 식들로부터 그림 1의 인버터 시스템의 플랜트 블록선도는 그림 2와 같이 된다.

3. UPS 인버터의 2중 디지털 제어기 설계

UPS 인버터의 성능 개선을 위하여 본 논문에서 제안한 2중 디지털 제어기는 그림 3과 같다.

그림 3의 2중 디지털 제어기는 출력측 필터 커패시터 전류의 내부 전류 제어루프와 필터 커패시터 전압의 외부 전압 제어루프로 구성되어 있다.

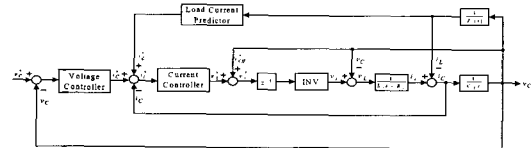


그림 3 제안된 2중 디지털 제어기의 블록선도
Fig. 3 Block diagram of the proposed control scheme

3.1 내부 전류 제어루프

그림 2로부터 인버터 출력전류는 식 (9)와 같다.

$$I_i(s) = G_{pc}(s) [V_i(s) - V_c(s)] \quad (9)$$

여기서, 플랜트 전달함수는 $G_{pc}(s) = \frac{1}{L_f s + R_f}$ 이다.

식 (9)로부터 공칭 플랜트 모델의 전달함수 $\widetilde{G}_{pc}(s)$ 는 식 (10)과 같다.

$$\widetilde{G}_{pc}(s) = \frac{1}{L_f s + R_f} \quad (10)$$

여기서, “~”는 파라미터의 공칭값을 나타낸다.

본 논문에서는 디지털 제어기의 연산지연시간을 인버터 플랜트의 고유한 파라미터로 가정하고, 플랜트 모델에 포함시켜 모델링한다.

식 (9)의 플랜트 전달함수 $G_{pc}(s)$ 를 ZOH(Zero Order Hold) 등가모델로 변환하면 식 (11)과 같이 된다.

$$G_{pc}(z) = \frac{b}{z-a} \quad (11)$$

여기서, $a = e^{-R_f T_{sc}/L_f}$, $b = \frac{1}{R_f}(1-a)$, 그리고

T_{sc} 는 내부 전류 제어루프의 샘플링 주기이다.

동일한 방법으로 식 (10)의 공칭 플랜트 모델의 전달함수를 ZOH(Zero Order Hold) 등가모델로 변환하면 식 (12)와 같이 된다.

$$\widehat{G}_{pc}(z) = \frac{\tilde{b}}{z-\tilde{a}} \quad (12)$$

여기서, $\tilde{a} = e^{-R_f T_{sc}/L_f}$, $\tilde{b} = \frac{1}{R_f}(1-\tilde{a})$

따라서, 디지털 제어기의 연산지연시간을 플랜트의 고유한 파라미터로 가정하여 z^{-1} 로 플랜트 모델에 포함시키고, 인버터 출력전류에 외란으로 동작하는 출력전압을 피드포워드 보상으로 제거한다면 식 (11)과 식 (12)로부터 UPS 인버터의 내부 전류 제어루프의 블록선도는 그림 4와 같이 된다.

그림 4의 내부 전류 제어루프는 내부 모델 제어기와 모델링 오차 피드백 루프로 구성되어 있다. 여기서, 외란이 존재하지 않는다면 ($I_L(z) = 0$), 필터 커패시터 전류 $I_C(z)$ 는 인버터 출력전류 $I_i(z)$ 와 동일하게 된다. 또한, 실제 플랜트 출력 $I_C(z)$ 와 공칭 플랜트 모델의 출력 $\widehat{I}_C(z)$ 의 오차는 피드백 신호 $\widehat{I}_C(z)$ 를 결정한다. 그리고, 피드백 신호 $\widehat{I}_C(z)$ 와 전류 지령치 $I_C^*(z)$ 의 오차는 내부 모델 제어기로 입력된다. 만약, 실제 플랜트와 플랜트의 공칭 모델이 정확히 일치한다면, 실제 플랜트 출력 $I_C(z)$ 와 공칭 플랜트 모델의 출력 $\widehat{I}_C(z)$ 는 같다. 즉, 피드백 신호 $\widehat{I}_C(z)$ 은 0이 된다. 따라서, 내부 전류 제어루프는 개루프 시스템으로 동작하고 파라미터 불확실성은 존재하지 않게 된다.

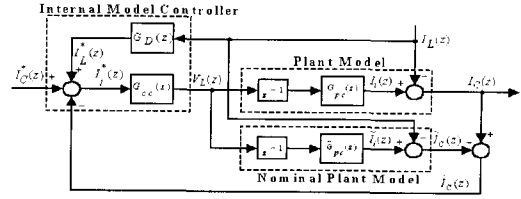


그림 4 내부 전류 제어루프의 블록선도

Fig. 4 Block diagram of inner current control loop

그림 4로부터 연산지연시간을 포함한 내부 전류 제어루프의 페루프 전달함수는 식 (13)과 같이 된다.

$$\left[\frac{I_C(z)}{I_C^*(z)} \right]_{I_L(z)=0} = \frac{G_{cc}(z)z^{-1}G_{pc}(z)}{1+G_{cc}(z)z^{-1}[G_{pc}(z)-\widehat{G}_{pc}(z)]} \quad (13)$$

실제 플랜트와 플랜트의 공칭 모델이 정확히 일치한다고 가정하여 $G_{pc}(z) = \widehat{G}_{pc}(z)$ 이면, 0의 정상상태 오차를 얻기 위해서 식 (13)은 식 (14)와 같이 된다.

$$\left[\frac{I_C(z)}{I_C^*(z)} \right]_{I_L(z)=0} = G_{cc}(z)z^{-1}\widehat{G}_{pc}(z) = 1 \quad (14)$$

식 (14)를 만족하기 위한 내부 모델 제어기 $G_{cc}(z)$ 의 조건은 식 (15)와 같다.

$$G_{cc}(z) = \frac{1}{z^{-1}\widehat{G}_{pc}(z)} = \frac{z(z-\tilde{a})}{\tilde{b}} \quad (15)$$

그러나, 식 (15)의 내부 모델 제어기 $G_{cc}(z)$ 는 분자의 차수가 분모의 차수보다 크기 때문에 구현하기가 불가능하다. 즉, 식 (15)의 내부 모델 제어기는 연산지연시간 때문에 0의 정상상태 오차를 얻을 수 없다. 또한, 식 (13)의 내부 전류 제어루프가 기존의 1차 데드비트 응답을 갖도록 설계하면 내부 모델 제어기 $G_{cc}(z)$ 는 역시 식 (16)과 같이 분자의 차수가 분모의 차수보다 크기 때문에 연산지연시간으로 인하여 1차 데드비트 응답을 얻을 수 없다.

$$G_{cc}(z) = \frac{1}{z} \frac{1}{z^{-1}\widehat{G}_{pc}(z)} = \frac{(z-\tilde{a})}{\tilde{b}} \quad (16)$$

따라서, 내부 모델 제어기 $G_{cc}(z)$ 는 식 (17)과 같이 플랜트 출력이 2 샘플링 시간 안에 지령치와 정확히 일치하는 2차 데드비트 응답을 갖도록 설계한다.

$$G_{cc}(z) = \frac{1}{z^2} \frac{1}{z^{-1} \tilde{G}_{pc}(z)} = \frac{(z - \tilde{a})}{bz} \quad (17)$$

식 (17)의 조건 하에서 연산지연시간을 포함한 식 (13)의 페루프 전달함수는 식 (18)과 같이 된다.

$$\left[\frac{I_C(z)}{I_C^*(z)} \right]_{I_L(z)=0} = \frac{1}{z^2} \quad (18)$$

식 (18)로부터 UPS 인버터의 출력측 필터 커패시터 전류 $I_C(z)$ 는 2 샘플링 시간 안에 오버슈트나 정상 상태 오차 없이 지령치 $I_C^*(z)$ 와 정확히 일치하도록 제어된다. 또한, 디지털 제어기의 연산지연시간을 플랜트 모델에 포함시켰으므로 연산지연시간을 위한 추가적인 보상은 필요 없게 된다.

식 (18)의 페루프 전달함수의 주파수 응답은 식 (19)와 같이 1의 이득과 $2\omega T_{sc}$ 의 위상 지연을 가진다.

$$\left[\frac{I_C(e^{j\omega T_{sc}})}{I_C^*(e^{j\omega T_{sc}})} \right]_{I_L(e^{j\omega T_{sc}})=0} = e^{-2j\omega T_{sc}} \quad (19)$$

식 (19)에서 2 샘플링 지연과 관련 있는 위상 지연은 지령치와 실제 전류 사이에 위상 오차를 발생시키게 된다. 이러한 문제점을 해결하기 위해서는 외부 전압 제어루프에 크기는 같고 반대 위상 천이를 부가하여야 한다.

제안된 2차 데드비트 응답을 갖는 내부 모델 제어기의 파라미터 변동에 대한 강인성을 확인하기 위하여 그림 5는 파라미터가 변동하였을 때 식 (13)의 내부 전류 제어루프의 페루프 전달함수의 최대 극점을 나타낸다. 그림 5에서 필터 인덕터 증가 직렬저항이 감소할 경우 내부 전류 제어루프의 최대 극점은 감소하며, 필터 인덕터 증가 직렬저항이 증가할 경우 내부 전류 제어루프의 최대 극점은 증가하는 것을 알 수 있다. 반대로, 필터 인덕터가 감소할 경우 내부 전류 제어루프의 최대 극점은 증가하며, 필터 인덕터가 증가할 경우 내부 전류 제어루프의 최대 극점은 감소하는 것을 알 수 있다. 그러나, 파라미터가 변동하였을 경우, 필터 인덕터 증가 직렬저항과 필터 인덕터의 변동에 상관없이 제안한 내부 전류 제어루프의 극점들은 z 평면의 단위원 안에 위치하므로 안정한 것을 알 수 있다. 즉, 제안한 2차 데드비트 응답을 갖는 내부 모델 전류 제어기는 파라미터 변동에 강인함을 알 수 있다.

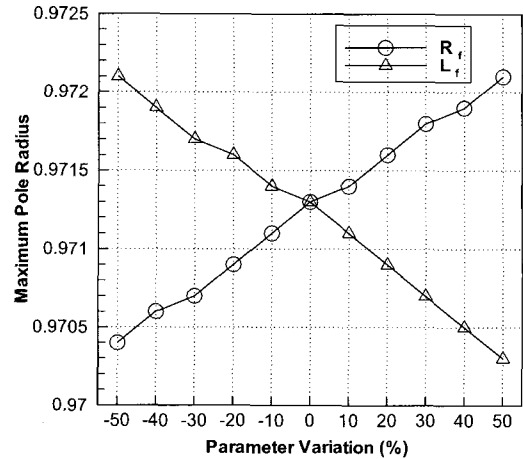


그림 5 파라미터 변동에 대한 내부 전류 제어루프의 최대 극점

Fig. 5 Maximum pole radius of inner current control loop with respect to parameter variation

페루프 시스템의 상대 안정성은 스텝응답에서의 최대 오버슈트의 향으로 평가할 수 있다. 그림 6은 파라미터가 변동하였을 때 식 (13)의 내부 전류 제어루프의 페루프 전달함수의 최대 오버슈트를 나타낸다. 그림 6에서 필터 인덕터 증가 직렬저항이 변동할 경우 내부 전류 제어루프의 최대 오버슈트는 거의 변화가 없는 것을 알 수 있다. 그러나, 필터 인덕터가 감소할 경우 내부 전류 제어루프의 최대 오버슈트는 증가하는 것을 알 수 있다. 또한, 필터 인덕터가 증가할 경우 내부 전류 제어루프의 최대 오버슈트는 필터 인덕터 증가 직렬저항과 마찬가지로 거의 변화가 없는 것을 알 수 있다. 즉, 제안한 2차 데드비트 응답을 갖는 내부 모델 전류제어기는 필터 인덕터 증가 직렬저항이 $\pm 50\%$ 변동하였을 경우와 필터 인덕터가 $+50\%$ 증가할 경우 최대 오버슈트가 약 4% 이하임을 알 수 있다.

외란이 존재한다면, 즉 $I_L(z) \neq 0$ 인 경우 필터 커패시터 전류는 인버터 출력전류와 부하전류의 차이가 되며, 내부 전류 제어루프는 식 (18)과 같은 2차 데드비트 응답을 얻을 수 없다. 이러한 부하 외란을 보상하기 위해서는 외란으로 동작하는 부하전류를 고려하여 내부 전류 제어루프를 재 설계하여야 한다. 본 논문에서는 주기적인 부하전류의 특성을 고려하여 부하전류 예측기법으로 이러한 부하 외란을 보상한다. 즉, UPS 인버터의 부하는 저항 부하나 R-L 부하와 같은 선형 부하와 커패시터 입력형 정류기 부하와 같은 비

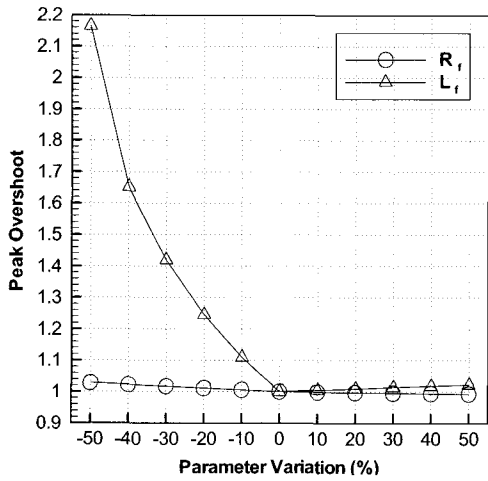


그림 6 파라미터 변동에 대한 내부 전류 제어루프의 최대 오버슈트

Fig. 6 Peak overshoot of inner current control loop with respect to parameter variation

선형 부하에 상관없이 모든 부하가 주기적인 특성을 나타낸다. 특히, 출력전압의 파형이 매우 일그러지는 커패시터 입력형 정류기 부하의 전류조차도 주기적이다. 따라서, 선형 및 비선형 부하의 종류에 관계없이 부하전류가 주기적이라고 가정하면 과거의 샘플링 값으로부터 예측될 수 있다.

식 (18)의 2차 데드비트 응답을 갖는 내부 전류 제어루프에서 부하전류를 고려하면 커패시터 전류는 식 (20)과 같이 된다.

$$I_C(z) = (I_C^*(z) + I_L^*(z))z^{-2} - I_L(z) \quad (20)$$

식 (20)에서 커패시터 전류가 2차 데드비트 응답을 만족하기 위한 조건은 식 (21)과 같다.

$$I_L^*(z) = z^2 I_L(z) \quad (21)$$

그러나, 식 (21)의 $I_L^*(z)$ 는 실제 부하전류 $I_L(z)$ 보다 2 샘플링 이전의 값이어야 하며, 이 값은 미래의 값이므로 직접 구할 수가 없다. 따라서, 부하의 종류에 관계없이 부하전류가 주기적이라고 가정하면 $I_L(z)$ 의 값은 식 (22)와 같이 부하전류 예측기법에 의해서 현재 샘플링 값과 이전 샘플링 값으로부터 구할 수 있다.

$$i_L(k+2) \approx 3i_L(k) - 2i_L(k-1) \quad (22)$$

식 (22)로부터 전달함수 $G_D(z)$ 는 식 (23)과 같이 된다.

$$G_D(z) = \frac{3z - 2}{z} \quad (23)$$

따라서, 식 (22)의 부하전류 예측기법에 의해서 외란은 완전히 보상된다. 즉, 외란이 존재하는 경우에도 전류 제어루프는 식 (18)의 2차 데드비트 응답을 만족하며, UPS 인버터의 출력측 필터 커패시터 전류는 2 샘플링 시간 안에 오버슈트나 정상상태 오차 없이 지령치와 정확히 일치하도록 제어된다.

3.2 외부 전압 제어루프

부하전류 예측기법에 의해서 외란이 완전히 보상된다면 내부 전류 제어루프는 2차 데드비트 제어기로 등가화 될 수 있다. 따라서, 외부 전압 제어루프의 블록선도는 그림 7과 같다.

그림 2로부터 전압 제어루프의 플랜트 전달함수는 식 (24)와 같다.

$$G_{pv}(z) = \frac{T_{sv}}{C_f(z-1)} \quad (24)$$

여기서, T_{sv} 는 외부 전압 제어루프의 샘플링 주기이다.

그림 7에서 제안한 전압 제어기는 비례 제어기와 공진 제어기를 병렬로 연결한 비례-공진 제어기로 교류성분에 대하여 기존의 PI 제어기와 유사한 함수의 형태이다. 여기서 공진 제어기는 정현파 지령치와 동일한 극점을 가지며, 제안하는 공진 제어기의 전달함수는 다음과 같다.

$$G_R(s) = \frac{k_r(\cos \theta_r \omega_r s - \sin \theta_r \omega_r^2)}{s^2 + \omega_r^2} \quad (25)$$

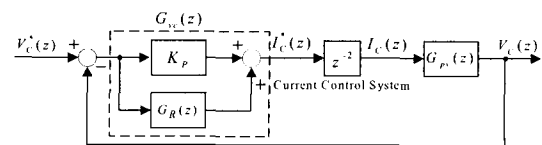


그림 7 외부 전압 제어루프의 블록선도

Fig. 7 Block diagram of outer voltage control loop

여기서, k_r 과 ω_r 은 각각 공진 제어기의 제어 이득과 공진 주파수이며, θ_r 은 공진 주파수에서 공진 제어기의 위상이다.

식 (25)의 공진 제어기는 $s = j\omega_r$ 로 두면, 즉 공진 주파수에서 식 (26)과 같이 무한대 이득을 가진다.

$$G_R(s) |_{s=j\omega_r} = \infty \quad (26)$$

본 논문에서는 공진 제어기의 공진 주파수를 출력전압 지령치의 기본주파수로 설정함으로써 정상상태에서 전압 제어루프는 0의 크기와 위상 오차를 나타낸다.

다음으로 식 (25)에서 유한한 선택도(Quality Factor) Q 를 가지는 공진 제어기의 전달함수는 식 (27)과 같이 된다.

$$G_R'(s) = \frac{k_r(\cos \theta_r \omega_r s - \sin \theta_r \omega_r^2)}{s^2 + \omega_r s / Q + \omega_r^2} \quad (27)$$

식 (27)에서 공진주파수 $s = j\omega_r$ 이면 식 (28)과 같은 공진 제어기의 특성을 얻을 수 있다.

$$G_R'(s) |_{s=j\omega_r} = k_r Q (\cos \theta_r + j \sin \theta_r) \quad (28)$$

식 (28)로부터 θ_r 은 공진 주파수 ω_r 에서 공진 제어기의 위상이며, 식 (25)의 공진 제어기는 선택도 Q 가 무한대인 특수한 경우이다.

식 (19)에서 2 샘플링 지연과 관련 있는 내부 전류 제어루프의 위상 지연은 지령치와 실제 전류 사이에 위상 오차를 발생시키게 된다. 이러한 문제점을 해결하기 위해서는 제안된 비례-공진 제어기의 위상 θ_r 의 값을 내부 전류 제어루프의 반대 위상으로 설정함으로써 내부 전류 제어루프의 위상지연은 보상된다.

또한, 공진 제어기와 병렬로 비례 제어기를 삽입함으로써 매우 빠른 과도 응답을 얻을 수 있으며, 가능한 한 비례 이득은 커야한다.

식 (25)의 공진 제어기를 z 변환하면 전압 제어루프의 전체 폐루프 전달함수는 식 (29)와 같다.

$$\frac{V_C(z)}{V_C^*(z)} = \frac{\{G_R(z) + K_P\} G_{cc}(z) G_{pv}(z)}{1 + \{G_R(z) + K_P\} G_{cc}(z) G_{pv}(z)} \quad (29)$$

식 (29)의 폐루프 전달함수는 $z = e^{j\omega_r T_s}$ 로 두면 식 (30)과 같이 된다.

$$\frac{V_C(z)}{V_C^*(z)} |_{z=e^{j\omega_r T_s}} = 1 \quad (30)$$

식 (30)에서 제안한 전압 제어루프는 지령치와 출력이 일치하는, 즉 정상상태 오차가 0이 됨을 알 수 있다.

4. 시뮬레이션 및 실험 결과

4.1 시뮬레이션 결과

본 논문에서 제안한 시스템의 타당성을 검토하기 위해서 PSIM을 이용하여 시뮬레이션을 수행하였다. 시뮬레이션에 사용된 인버터 시스템의 파라미터는 표 1과 같다.

그림 8은 무부하에서 출력전압의 지령치가 100[V], 60[Hz]일 때 기존의 PI 제어기를 사용한 경우와 제안된 비례-공진 제어기를 사용한 경우의 시뮬레이션 파형이다. 그림 8에서 알 수 있는 바와 같이 기존의 PI 제어기는 지령치가 정현파일 경우 정상상태에서 크기 및 위상 오차가 발생한다. 그러나, 본 논문에서 제안한 비례-공진 제어기의 경우에는 공진 제어기의 공진 주파수를 출력전압 지령치의 기본 주파수로 설정함으로써 정상상태에서 전압 제어루프의 크기와 위상 오차를 제거할 수 있다.

그림 9부터 그림 12는 저항 부하에서 제안한 UPS 인버터 시스템의 필터 인덕터와 인덕터 등가 직렬저항 등의 파라미터 변동에 대한 2차 데드비트 응답을 갖는 내부 모델 전류제어기의 강인성을 확인하기 위한 시뮬레이션 결과이다.

표 1 시스템 파라미터

Table 1 System parameter for simulation

DC Link Voltage	200 [V]
Output Voltage	100 [V](RMS), 60 [Hz]
Switching Frequency	20 [kHz]
Nominal Filter Inductance	1.2 [mH]
Nominal Filter ESR	0.7 [Ω]
Nominal Filter Capacitance	10 [μ F]
Load Resistance	10 [Ω]
R-L Load Resistance	8 [Ω]
R-L Load Inductance	16 [mH]
PF of R-L Load	0.8
Rectifier Capacitance	2200 [μ F]
Rectifier Resistance	20 [Ω]

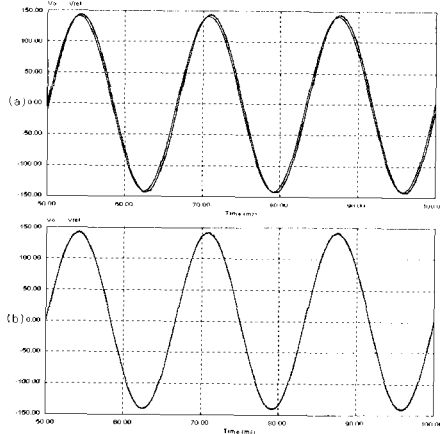


그림 8 지령전압 및 출력전압 파형
 (a) PI 제어기 (b) 비례-공진 제어기
 Fig. 8 Reference voltage and its output voltage waveforms
 (a) PI controller (b) P-Resonance Controller

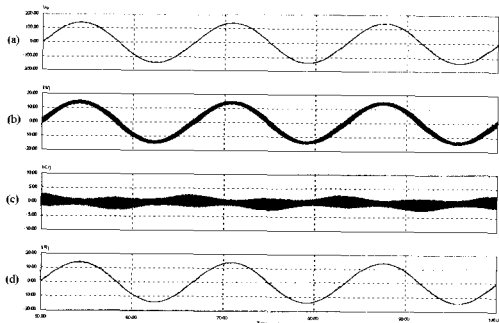


그림 9 저항 부하에서 R_f 가 -50% 변동하였을 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형
 Fig. 9 Simulation results under resistive load when R_f vary with -50%
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

필터 인덕터 등가 직렬저항을 각각 $\pm 50[\%]$ 변동한 그림 9와 그림 10에서 2차 데드비트 응답을 갖는 내부 모델 전류제어기는 필터 인덕터 등가 직렬저항의 변동에 강인함을 알 수 있다. 또한, 필터 인덕터 등가 직렬저항의 변동에 제한한 UPS 인버터 시스템의 출력전압 파형은 양호한 특성을 나타낸다.

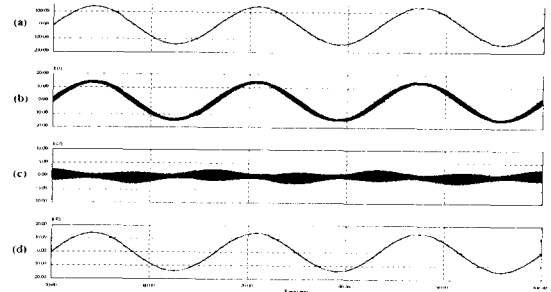


그림 10 저항 부하에서 R_f 가 +50% 변동하였을 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형
 Fig. 10 Simulation results under resistive load when R_f vary with +50%
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

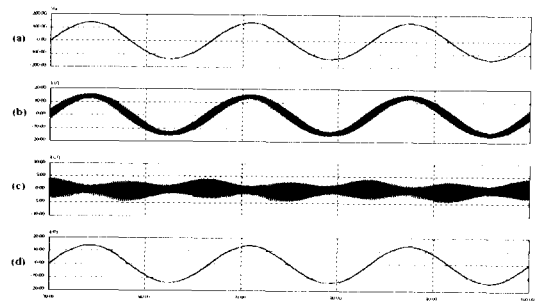


그림 11 저항 부하에서 L_f 가 -40% 변동하였을 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형
 Fig. 11 Simulation results under resistive load when L_f vary with -40%
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

필터 인덕터를 각각 -40[%] 및 +50[%] 변동한 그림 11과 그림 12에서 2차 데드비트 응답을 갖는 내부 모델 전류제어기는 필터 인덕터가 -40[%] 이상 변동한 경우 출력전압의 파형에 다소의 고조파가 함유된다. 이것은 필터 인덕터의 감소로 인한 출력측 LC 필터의 차단주파수가 변동하여 생기는 현상이다.

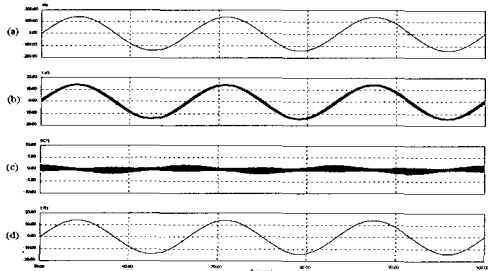


그림 12 저항 부하에서 L_f 가 +50% 변동하였을 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형

Fig. 12 Simulation results under resistive load when L_f vary with +50%
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

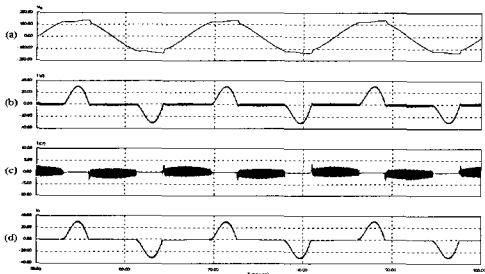


그림 13 정류기 부하에서 부하전류 예측기법을 사용하지 않았을 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형

Fig. 13 Simulation results without load current prediction under rectifier load
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

즉, -40[%] 변동까지는 필터 인덕터의 변동에 강인하며, 필터 인덕터가 +50[%] 변동한 경우에도 필터 인덕터의 변동에 강인함을 알 수 있다. 결과적으로 필터 인덕터의 변동에도 제안한 UPS 인버터 시스템의 출력전압 파형은 양호한 특성을 나타낸다.

그림 13은 비선형 부하로 과교율 3의 커패시터 입력형 정류기 부하에서 제안한 UPS 인버터 시스템을 부

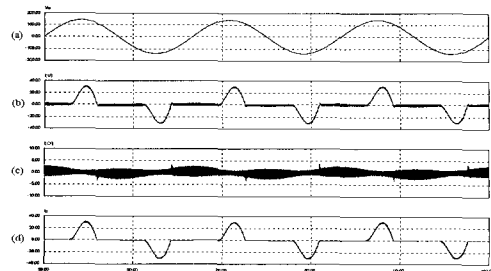


그림 14 정류기 부하에서 부하전류 예측기법을 사용한 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형

Fig. 14 Simulation results with load current prediction under rectifier load
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

하전류 예측기법을 사용하지 않고 시뮬레이션한 결과이고, 그림 14는 부하전류 예측기법을 사용하여 시뮬레이션한 결과이다. 부하전류 예측기법을 사용하지 않은 그림 13에서 비선형 부하로 인하여 내부 전류 제어 루프의 성능은 저하되고, 출력전압 파형은 심한 왜형과 상대적으로 높은 THD가 나타남을 알 수 있다. 그러나, 부하전류 예측기법을 사용한 그림 14에서 제안한 UPS 인버터 시스템은 비선형 부하로 과교율 3의 커패시터 입력형 정류기 부하에서도 내부 전류 제어 루프의 성능이 저하되지 않고, 출력전압 파형은 양호한 특성을 나타낸다.

4.2 실험 결과

시뮬레이션 결과를 바탕으로 본 논문에서 제안된 시스템의 타당성을 검토하기 위해서 1[kVA]의 온라인 UPS 시스템의 실험장치를 제작하고, DSP (TMS320C32)를 이용하여 제안된 제어를 설계 및 적용한 후 실험을 수행하였다. 제작된 UPS 시스템의 실험장치는 그림 15와 같이 정류기부 및 인버터부, 그리고 제어기부로 구성되어 있다.

실험에 사용된 시스템의 파라미터는 표 1과 동일하며, 테드비트 응답을 갖는 내부 모델 전류제어기 및 비례-공진 제어기의 비례 이득과 공진 제어기의 이득은 MATLAB을 이용하여 구한 다음 실제 실험에서는 오프라인으로 처리하였다.

그림 16은 정격 저항 부하에서 제안된 UPS 인버터 시스템의 출력전압과 부하전류 파형을 각각 나타낸다. 그림으로부터 제안된 2차 데드비트 응답을 갖는 내부 모델 전류제어기와 비례-공진 전압제어기에 의해서 출력전압은 0의 크기와 위상 오차를 가지는 정현파임을 알 수 있다.

그림 17은 역률 0.8의 R-L 부하에서 제안된 UPS 인버터 시스템의 출력전압과 부하전류 파형을 각각 나타낸다. 그림으로부터 부하 전류는 출력전압보다 지상이며, 역률 0.8의 R-L 부하에서도 제안된 UPS 인버터 시스템의 출력전압 파형은 양호한 특성을 나타냄을 알 수 있다.

그림 18은 비선형 부하로 파고율 3의 커패시터 입력형 정류기 부하에서 제안된 UPS 인버터 시스템의 출력전압과 부하전류 파형을 각각 나타낸다. 그림으로부터 제안된 UPS 인버터 시스템의 출력전압 파형은 비

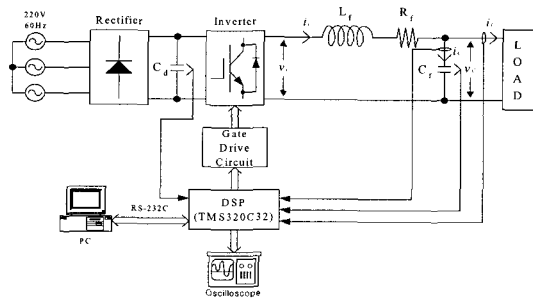


그림 15 UPS 시스템 실험장치 구성도
Fig. 15 Schematic configuration of experimental UPS system

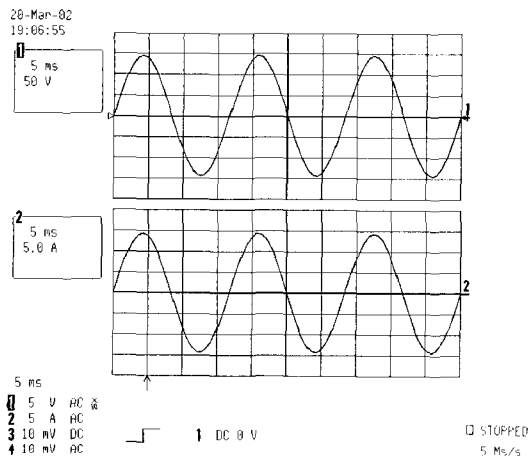


그림 16 저항 부하에서 출력전압과 부하전류 파형
Fig. 16 Output voltage and load current waveforms under resistive load

선형 부하로 파고율 3의 커패시터 입력형 정류기 부하에서도 양호한 특성을 나타냄을 알 수 있다.

그림 19는 각각 정격 저항 부하, 역률 0.8의 R-L 부하 및 파고율 3의 커패시터 입력형 정류기 부하에서 제안된 UPS 인버터 시스템의 출력전압의 THD를 나타낸다. 파형 (a)는 정격 저항 부하에서 출력전압의 THD를, 파형 (b)는 R-L 부하에서 출력전압의 THD를, 그리고 파형 (c)는 커패시터 입력형 정류기 부하에서 출력전압의 THD를 각각 나타낸다. 그림으로부터 정격 저항 부하에서 출력전압의 THD는 2.6[%], R-L 부하에서 출력전압의 THD는 2.9[%]로 별 차이가 없

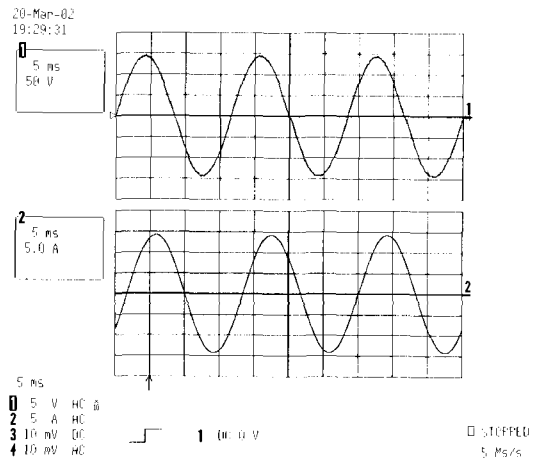


그림 17 R-L 부하에서 출력전압과 부하전류 파형
Fig. 17 Output voltage and load current waveforms under R-L load

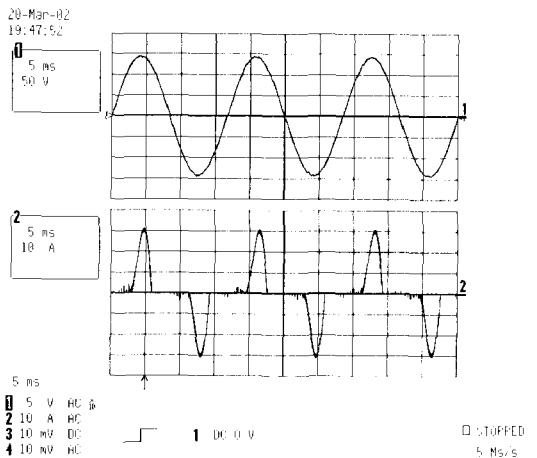
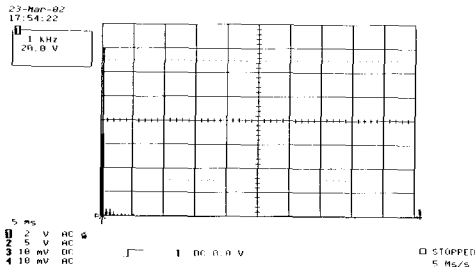
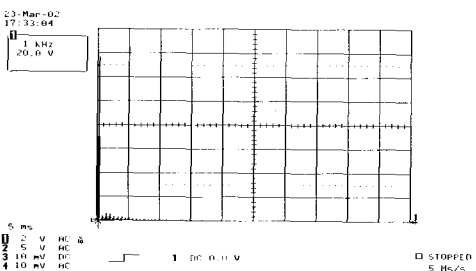


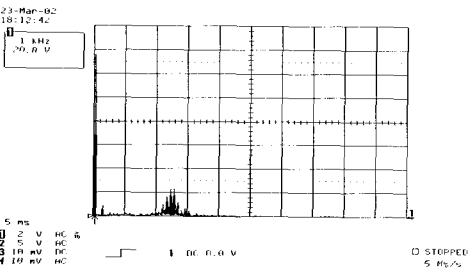
그림 18 정류기 부하에서 출력전압과 부하전류 파형
Fig. 18 Output voltage and load current waveforms under rectifier load



(a) 저항 부하
(a) Resistive load



(b) R-L 부하
(b) R-L load



(c) 정류기 부하
(c) Rectifier load

그림 19 출력전압의 고주파 스펙트럼
Fig. 19 Harmonics spectrums of output voltage

으나, 커패시터 입력형 정류기 부하에서 출력전압의 THD는 4.7[%]로 정격 저항 부하나 R-L 부하에서보다 고차 고주파가 많이 함유된 것을 알 수 있다. 결론적으로 제안된 UPS 인버터 시스템의 출력전압의 THD는 매우 낮은 것을 알 수 있으며, 따라서 제안된 2차 테드비트 응답을 갖는 내부 모델 전류제어기와 비례-공진 전압제어기에 의해서 UPS 인버터 시스템의 출력전압 파형은 크게 개선된다.

그림 20은 무부하에서 비선형 부하로 파고율 3의 커패시터 입력형 정류기 부하로 변동하였을 경우 제안된 UPS 인버터 시스템의 출력전압과 부하전류 파형을 각각 나타낸다.

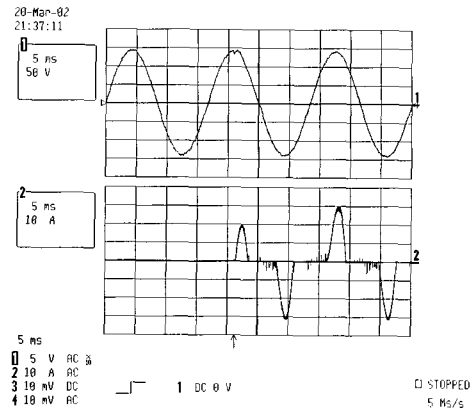


그림 20 정류기 부하 변동시 출력전압과 부하전류 파형
Fig. 20 Output voltage and load current waveforms under step-increasing rectifier load

그림으로부터 출력전압의 변동은 약 4[%] 정도이며, 커패시터 입력형 정류기 부하에서 부하 특성에 의하여 부하전류의 과도 응답 시간은 길어지나 출력전압의 과도 응답 시간은 약 3[ms] 정도임을 알 수 있다. 따라서, 제안된 시스템은 커패시터 입력형 정류기 부하 변동시에도 매우 빠른 과도응답 특성과 연산지연시간 및 파라미터 변동에 강인한 특성을 나타냄을 알 수 있다.

5. 결 론

시뮬레이션과 실험으로부터 얻어진 본 논문의 결과를 요약하면 다음과 같다.

첫째, 디지털 제어기의 연산지연시간을 인버터 플랜트의 고유한 파라미터로 가정하고, 플랜트 모델에 포함시켜 모델링한 결과 제안한 시스템은 정상상태 및 과도상태에서 부하 조건에 관계없이 모두 연산지연시간에 강인함을 알 수 있었다.

둘째, 내부 전류 제어루프는 내부 모델 제어기와 모델링 오차 피드백 루프로 구성하였다. 여기서, 필터 인덕터와 인덕터 등가 직렬저항을 변동한 결과, 제안한 UPS 인버터 시스템의 출력전압 파형은 파라미터 변동에 강인함을 알 수 있었다.

셋째, 2차 테드비트 응답을 갖는 내부 모델 전류제어기에 의해서 제안한 시스템은 부하 조건에 관계없이 모두 부하 변동시 출력전압의 변동 범위는 5[%], 과도 응답 시간은 4[ms]인 설계 사양을 만족하며, 매우 빠른 과도 응답 특성을 나타냄을 알 수 있었다.

넷째, 제안한 비례-공진 제어기에 의해서 UPS 인버터 시스템의 출력전압 파형은 부하 조건에 관계없이

모두 정상상태에서 0의 크기와 위상 오차를 나타내었다. 그리고, 출력전압의 THD는 선형 부하시 3[%] 이하, 비선형 부하시 5[%] 이하인 설계사양을 만족하였다.

결론적으로 제안한 시스템은 디지털 제어기의 연산 지연시간과 파라미터 변동 및 외란에 강인하며, 매우 빠른 과도 응답 특성을 나타낸다. 또한, 제안한 제어기에 의해서 UPS 인버터 시스템의 출력전압 파형은 크게 개선되었고, 출력전압의 낮은 THD를 확인하였다. 따라서, 전원의 품질에 민감한 부하들에 양질의 전력을 공급하는데 제안한 UPS 인버터 시스템의 우수성을 입증하였다.

참 고 문 헌

- [1] N.M. Abdel-Rahim and J.E. Quaicoe, "Analysis and Design of a Multiple Feedback Loop Control Strategy for Single-Phase Voltage-Source UPS Inverters", IEEE Trans. Power Electronics, Vol. 11, No. 4, pp. 532~541, 1996.
- [2] T. Yokoyama and A. Kawamura, "Disturbance Observer Based Fully Digital Controlled PWM Inverter for CVCF Operation", IEEE Trans. Power Electronics, Vol. 9, No. 5, pp. 473~480, 1994.
- [3] Y. Ito and S. Kawauchi, "Microprocessor-Based Robust Digital Control for UPS with Three-Phase PWM Inverter", IEEE Trans. Power Electronics, Vol. 10, No. 2, pp. 196~204, 1995.
- [4] 김병진, 최재호, Amit Jain, "연산지연시간 및 민감성을 고려한 UPS 인버터용 2차 데드비트 제어기", 전기학회 논문지, Vol. 50B, No. 4, pp. 170~177, 2001.
- [5] O. Kukrer, "Deadbeat Control of a Three-Phase Inverter with an Output LC Filter", IEEE Trans. Power Electronics, Vol. 11, No. 1, pp. 16~23, 1996.
- [6] O. Kukrer, "Discrete-Time Current Control of Voltage-Fed Three-Phase PWM Inverters", IEEE Trans. Power Electronics, Vol. 11, No. 2, pp. 260~269, 1996.
- [7] D.N. Zmood and D.G. Holmes, "Stational Frame Current Regulation of PWM Inverters with Zero", 1999.
- [8] H. Gueldner, H. Wolf, and N. Blacha, "Single Phase UPS Inverter with Variable Output Voltage and Digital State Feedback Control", IEEE ISIE '01, pp. 1089~1094, 2001.
- [9] 박지호, 허태원, 노태균, 김동완, 우정인, "공진모형을 이용한 UPS 인버터의 강인한 디지털제어", 전기학회논문지, Vol. 50P, No. 4, pp. 175~181, 2001.

저 자 소 개



박지호(朴志浩)

1971년 4월 23일생. 1997년 동아대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 2002년 동 대학원 전기공학과 졸업(공학박). 2000년~현재 동명대학교 기계자동화계열 전임강사.



노태균(盧泰均)

1963년 1월 23일생. 1984년 동아대 전기공학과 졸업. 1986년 중앙대 대학원 전기공학과 졸업(석사). 2000년 일본 동경의과치과대학 대학원 박사과정 수료. 현재 유한대학 디지털모터과 전임강사.



김춘삼(金春杉)

1960년 11월 12일생. 1984년 동아대 전기공학과 졸업. 1988년 중앙대 대학원 전기공학과 졸업(석사). 1993년 동 대학원 전기공학과 졸업(공학박). 2000년~2001년 미국 오하이오 Akron대학 전기공학과 방문교수. 1994년~현재 삼척대 컴퓨터응용 제어공학과 부교수. 당 학회 학술위원.



안인모(安仁模)

1959년 4월 9일생. 1981년 동아대 전기공학과 졸업. 1983년 동 대학원 전기공학과 졸업(석사). 1996년 KAIST 자동화 및 설계공학과 박사과정 수료. 2000년 단국대 대학원 전기공학과 박사수료. 1994년~현재 마산대학 컴퓨터전기공학부 부교수.



우정인(禹靖仁)

1941년 2월 12일생. 1963년 한양대 전기공학과 졸업. 1978년 영남대 대학원 전자공학과 졸업(석사). 1984년 중앙대 대학원 전기공학과 졸업(공학박). 1970년~1979년 부산공업대 전기공학과 조교수. 1979년~현재 동아대 전기전자컴퓨터공학부 교수.