

Influence of DCS Post Flow on the Properties of  $WSi_x$  Thin Films

鄭陽喜\* · 姜聲俊\*\* · 姜喜淳\*\*\*

(Yang-Hee Joung · Seong-Jun Kang · Hee-Soon Kang)

**Abstract** - In this paper, we studied the physical and electrical characteristics of  $WSi_x$  thin film with respect to the adoption of the DCS (dichlorosilane) post flow and the variation of deposition temperature. XRD measurements show that as deposited thin film has a hexagonal structure regardless of deposition process. However, we find that the phase of thin film has changed to a tetragonal structure after the heat treatment at 680°C. Adoption of DCS post flow and increment of deposition temperature result in the increments of Si/W composition ratio. These conditions also result in the increment of sheet resistance by the amount 3.0~4.2  $\Omega/\square$ , but give the tendency in the decrement of stress by 0.27~0.3 E10dyne/cm<sup>2</sup>. We also find that the contact resistance of word line and bit line interconnection was decreased by the amount 5.33~16.43  $\mu\Omega\text{-cm}^2$ , when applying DCS post flow and increasing deposition temperature.

**Key Words** : Dichlorosilane (DCS,  $SiH_2Cl_2$ ), Tungsten Silicide ( $WSi_x$ ), Sheet Resistance, Film stress, Contact Resistance

## 1. 서 론

최근 반도체 산업이 급속도로 발전하면서, DRAM(Dynamic Random Access Memory) 소자의 고집적화와 초소형화도 빠르게 진전되고 있으며, 이와 더불어 소자의 동작속도 향상과 RC 지연시간 감소 등이 매우 중요한 문제로 대두되고 있다. 이에 따라 면저항 (sheet resistance) 과 접촉저항 (contact resistance) 이 큰 기존의 폴리 실리콘 게이트를 폴리사이드 (polycide) 게이트로 전환하려는 연구가 활발히 이루어지고 있다.[1-4] 폴리 실리콘 위에 내열성 금속 (refractory metal) 을 증착시키고 열처리 함으로써 형성되어지는 폴리사이드로는  $TiSi_2$ ,  $TaSi_2$ ,  $WSi_x$  등이 연구되어 왔으나,  $TiSi_2$  나  $TaSi_2$  는 공정중 입자들에 의한 오염, 열적 불안정성 등의 여러 가지 문제점들 때문에 적용하는데 많은 제약이 있어 왔다.[5-6] 반면에,  $WSi_x$  는 이들 문제점들을 극복할 수 있는 유력한 폴리사이드로 간주되어 많은 연구가 이루어져 왔다.  $WSi_x$  박막을 제작하는 방법으로 초기에  $SiH_4$ - $WF_6$  를 원료 가스로 하는 방법이 연구되었다. 그러나, 이 방법으로 제작된  $WSi_x$  는 다량의 잔류 F (fluorine) 에 의한 문턱전압 (threshold voltage) 의 이동과 파괴전압 (breakdown voltage) 의 저하 등과 같은 문제점이 발생한다. 또, 박막의 스트레스가 높아 미세 균열 (micro crack) 이 발생할 확률이 높고 step coverage 도 열악하다는 단점도

있다.[7-8] 최근에, 이를 해결하기 위해  $SiH_4$ - $WF_6$  를 사용하는 방법을 DCS(dichlorosilane,  $SiH_2Cl_2$ )- $WF_6$  를 원료 가스로 사용하는 방법으로 대체한 연구가 활발히 진행되고 있다. 그러나, 이 방법은  $WSi_x$  박막의 증착 과정 중 가스, 온도 등과 같은 여러 가지 공정조건들이 소자의 성능에 직접적인 영향을 미치는  $WSi_x$  박막의 스트레스 및 면저항과 접촉저항 등의 특성에 민감하게 영향을 미치는 것으로 알려져 있다.[9-10] 그러나, 이에 대한 체계적인 연구가 미흡하여  $WSi_x$  폴리사이드의 실용화에 있어 문제점이 발생되고 있다. 따라서 본 논문에서는 DCS 가스 및 증착온도의 변화에 따른  $WSi_x$  박막을 제작하여, 이들 공정조건들이  $WSi_x$  박막의 스트레스 및 면저항과 접촉저항에 미치는 영향을 조사하였다. 이와 같은 공정조건에 대한 전기적 특성 평가로 DCS 를 기반으로 하는  $WSi_x$  박막의 폴리사이드 게이트에 대한 응용가능성을 연구하였다.

## 2. 실험방법

본 실험에서는 폴리사이드 게이트로 사용되어지는  $WSi_x$  박막을 CVD (chemical vapor deposition) 법으로 제작하였으며, 그 개략도를 그림 1 에 나타내었다. 비저항이 9~10  $\Omega\text{-cm}$  인 p형 (100) 실리콘 웨이퍼 위에 CVD 법을 이용하여 약 1000Å 의 HLD 산화막과 500Å 의 폴리 실리콘을 증착한 후, 1:500 HF 로 전세정 (pre-cleaning) 을 실시하였다. 그 후,  $WF_6$  와 DCS 를 이용하여 1200Å 의  $WSi_x$  박막을 증착한 후, DCS 추가 주입 (DCS P/F) 에 따른 박막을 따로 제작하였다.  $WSi_x$  박막의 증착 조건을 표 1 에 나타내었다. 증착된  $WSi_x$  박막은 게이트 형성 후, 후속공정으로 이어지는 HLD 산화막의 증착 온도인 680°C 로 열처리 되었

\* 正 會 員 : 麗水大 電氣工學科 副教授

\*\* 正 會 員 : 麗水大 半導體·應用物理學科 助教授

\*\*\* 正 會 員 : 하이닉스반도체 工程技術4팀 선임연구원

接受日字 : 2002年 12月 13日

最終完了 : 2003年 3月 11日

다. 열처리 전과 후에 대한  $WSi_x$  박막의 결정구조와 방향의 변화를 조사하기 위하여 X-ray diffraction (XRD) 분석을 실시하였고, 박막의 깊이에 따른 Si/W 의 조성 변화를 관찰하기 위하여 Auger electron microscopy (AES) 분석을 실시하였다.  $WSi_x$  박막의 면저항은 4-point probe 를 이용하여 측정하였고, 스트레인 게이지를 이용하여 온도 변화에 따른 스트레스 곡선도 측정하였다.

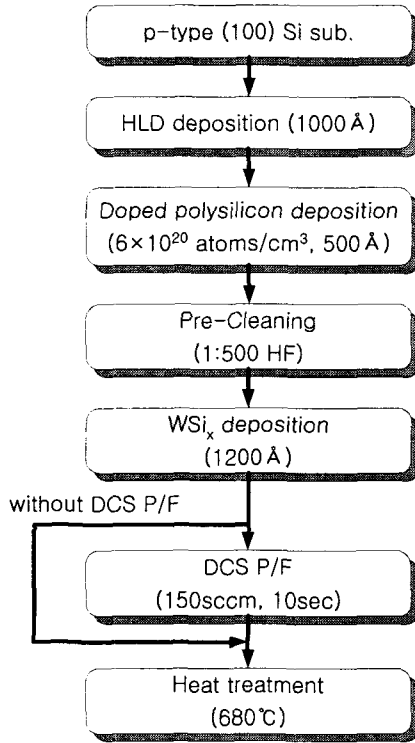


그림 1  $WSi_x$  박막의 제작 과정  
Fig. 1 Process flowchart of  $WSi_x$  thin film.

표 1  $WSi_x$  박막의 증착조건  
Table 1 Deposition conditions for  $WSi_x$  thin films.

	$WSi_x$ thin film
WF <sub>6</sub> flow rate	3.8 sccm
DCS (SiH <sub>2</sub> Cl <sub>2</sub> ) flow rate	150 sccm
Base pressure	< 1 × 10 <sup>-3</sup> Torr
Operating pressure	0.7 Torr
Deposition temperature	560, 575, 590 °C

또, 그림 2 에 나타낸 것과 같이 word line 과 bit line 을 접촉 시킨 후, Keithley S600 을 이용하여 접촉저항을 측정하였다.



그림 2  $WSi_x$  박막을 이용한 word line 과 bit line 단면 SEM 사진  
Fig. 2 Cross-sectional SEM micrograph for the interconnection between word line and bit line using  $WSi_x$  thin film.

### 3. 결과 및 논의

$WSi_x$  박막의 증착온도 변화와 열처리에 따른 결정구조와 방향의 변화를 조사하기 위해, XRD 분석을 실시하여 그 결과를 그림 3 에 나타내었다.

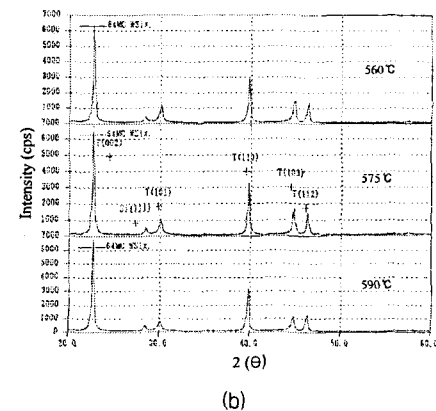
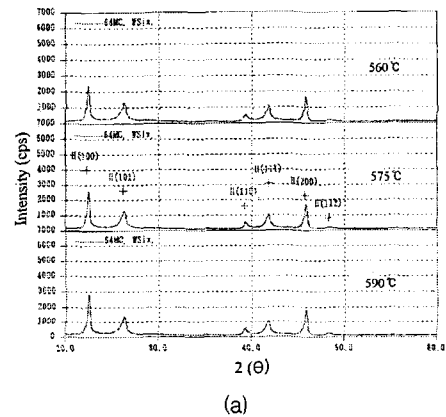


그림 3 증착온도 변화에 따른  $WSi_x$  박막의 열처리 전, 후의 XRD 분석 결과  
Fig. 3. XRD spectra of  $WSi_x$  thin film with varying the deposition temperature (a) before heat treatment, (b) after heat treatment.

그림 3 (a) 에서 보듯이, 열처리하기 전에  $WSi_x$  박막의 결정구조는 증착온도에 무관하게 hexagonal 구조를 가지고 있으며,  $680^\circ C$  의 온도에서 열처리를 한 후의  $WSi_x$  박막의 결정구조는 그림 3 (b) 에서와 같이 tetragonal 구조로 상이 변화했음을 알 수 있다. 또, 열처리전에 비하여 열처리 후에 XRD 의 피크 강도가 약 2.0k 에서 6.0k 로 증가했음을 볼 수 있는데, 이는 열처리 후에  $WSi_x$  박막의 grain 이 더 잘 발달되어 있음을 의미하는 것이다. DCS P/F 적용 여부에 따른 XRD 분석 결과,  $WSi_x$  박막의 결정구조 및 방향에는 영향을 미치지 않는 것으로 확인되었다.

$WSi_x$  박막의 증착온도 변화 및 DCS P/F 적용 여부에 따른 박막내의 Si/W 조성비 변화를 조사하기 위하여 AES 분석을 실시하여 그 결과를 그림 4 (a) 와 (b) 에 나타내었다.

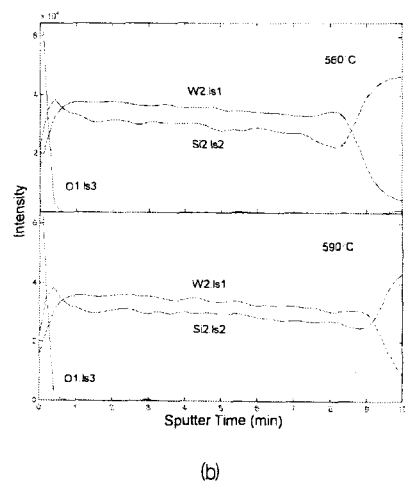
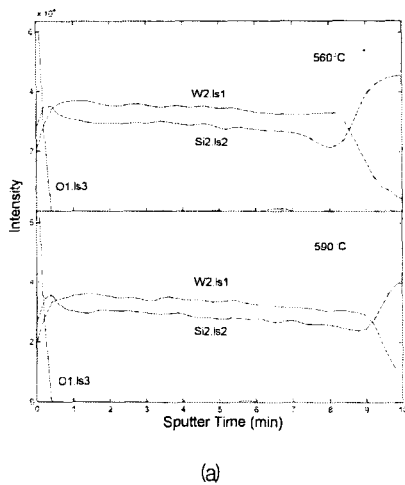


그림 4 증착온도에 따른 AES 분석 (a) DCS post flow 미적용 (b) DCS post flow 적용

Fig. 4 AES intensity ratio of Si-to-W as a function of deposition temperature (a) without DCS post flow, (b) with DCS post flow.

그림 4 (a) 와 (b) 는 증착온도를  $560^\circ C$  와  $590^\circ C$  두가지로 변화시키고 DCS P/F 적용 여부에 대한 AES 분석 결과를 나타낸 것이다. 그림 4 (a) 와 (b) 에서 보듯이, 동일한 증착온도에서 DCS P/F 를 적용한 시료가 DCS P/F 를 적용하지 않은 시료에 비해  $WSi_x$  박막의 표면상에 Si 이 많게 나타났고,  $WSi_x$  박막과 폴리 실리콘 계면에서는 거의 차이가 없는 것으로 나타났다. 이는 DCS P/F 에 의해  $WSi_x$  박막의 표면에서 Si 의 양이 증가하였음을 나타내는 것이다. 또한, 증착온도의 변화에 따라서는 DCS P/F 적용 여부에 관계없이, 증착온도가 증가할수록 폴리 실리콘과  $WSi_x$  계면에서 Si 의 양이 증가하는 경향을 보이고 있다. 이는 증착온도의 증가로 DCS 가스의 분해능이 촉진되어 계면에서 Si 의 양이 증가되었음을 나타내는 것이다. 이로부터, DCS P/F 및 증착온도의 증가가  $WSi_x$  박막내의 Si/W 조성비를 변화 시킴으로써 면저항과 접촉저항 및 스트레스 변화에 큰 영향을 미칠 것으로 생각된다.

증착온도 및 DCS P/F 적용 여부에 따른  $WSi_x$  박막의 면저항을 측정하여 그림 5 에 나타내었다.

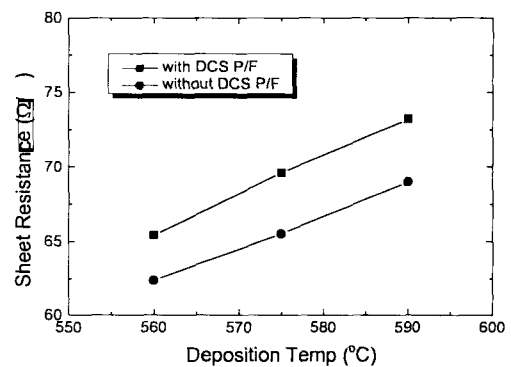


그림 5  $WSi_x$  박막의 증착온도에 따른 면저항  
Fig. 5 Sheet resistance of  $WSi_x$  thin film as a function of deposition temperature.

그림 5 에서 보듯이, DCS P/F 를 적용하지 않은 경우, 증착온도가 증가함에 따라 면저항은  $62.4$  에서  $69.0 \Omega/\square$  으로 증가하였고, DCS P/F 를 적용한 경우도 면저항은  $65.4$  에서  $73.2 \Omega/\square$  로 증가하였다. 이와 같이 증착온도의 증가에 따라 면저항이 증가하는 경향을 나타내고 있으나, 동일한 증착온도에서는 DCS P/F 가 적용된 경우 면저항이  $3.0 \sim 4.2 \Omega/\square$  정도 높게 나타났다. 이는 AES 분석 결과에서 나타났듯이, DCS P/F 가 적용된 경우와 증착온도가 높은 경우에  $WSi_x$  박막에서 Si 의 양이 증가하는데 기인되는 것으로 생각된다.

DCS P/F 적용 여부에 따른 스트레스 변화를 조사하기 위하여,  $850^\circ C$  의 온도변화에 따른 스트레스 곡선을 측정하였다. 그림 6 은  $575^\circ C$  에서 증착한  $WSi_x$  박막의 DCS P/F 적용 여부에 대한 스트레스 곡선을 나타낸 것이다. 그림 6 에서 보듯이, 온도 변화에 따라  $WSi_x$  박막의 체적변화와 결정구조의 변화에 의해 스트레스가 증가하다가 감소하는 전형적인 곡선을 나타내었다.

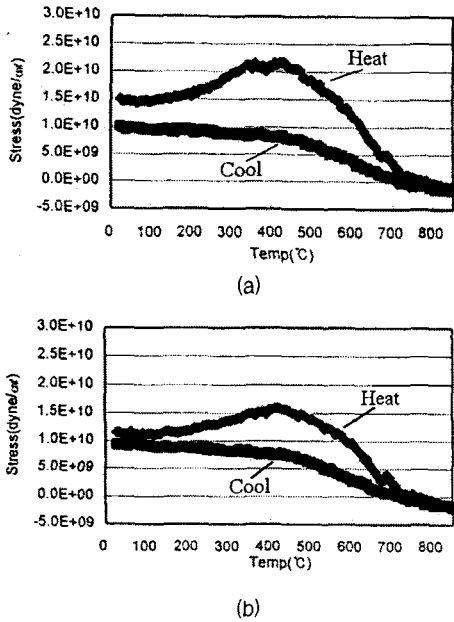


그림 6 온도 변화에 따른 WSix 박막의 stress 특성 (a) DCS P/F 미적용 (b) DCS P/F 적용

Fig. 6 Stress of WSix thin film deposit at 575°C as a function of temperature (a) without DCS P/F, (b) with DCS P/F

그러나, DCS P/F 적용 여부에 대한 스트레스 변화량을 비교하여보면 그림 6 에서와 같이 DCS P/F 를 적용한 경우가 스트레스 변화폭이 작게 나타남을 알 수 있다. 이는 DCS P/F 에 의해 AES 분석의 결과에서 보았듯이, WSix 박막에서 Si/W 의 조성비가 증가됨으로써 스트레스 변화폭이 작게 나타난 것으로 판단된다. 따라서, WSix 박막의 Si/W 조성비가 박막의 스트레스와 밀접한 관계가 있음을 확인할 수 있었다.

그림 7 은 증착온도와 DCS P/F 적용여부에 대한 스트레스를 측정된 결과를 나타낸 것이다.

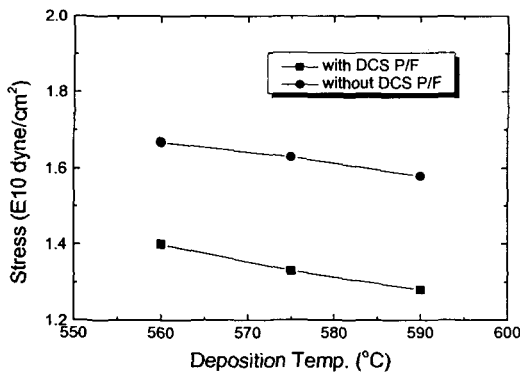


그림 7 WSix 박막의 증착온도에 따른 스트레스  
Fig. 7 Stress of WSix thin film as a function of deposition temperature.

그림 7 에서 보듯이, DCS P/F 를 적용하지 않은 경우, 증착온도가 증가함에 따라 스트레스는 1.67 에서 1.58 E10dyne/cm<sup>2</sup> 으로 감소하는 경향을 나타내었다. DCS P/F 를 적용한 경우에는 스트레스가 1.40 에서 1.28 E10dyne/cm<sup>2</sup> 으로 감소하는 경향을 나타내었다. 증착온도의 증가에 따라 스트레스는 감소하는 경향을 나타내고 있으며, 동일한 증착 온도에서는 DCS P/F 가 적용된 경우의 스트레스가 0.27~0.30 E10dyne/cm<sup>2</sup> 정도 낮게 나타났다. 이는 AES 분석 결과에서 나타났듯이, DCS P/F 가 적용된 경우와 증착온도가 높은 경우에 WSix 박막에서 Si 의 양이 증가하는데 기인되는 것으로 생각되며, 이는 Si 이 많이 포함된 WSix 박막의 스트레스가 더 낮은 것으로 보고된 결과와도 일치하는 것이다.[9, 11-12]

DRAM 과 같은 반도체 디바이스의 동작시, word line 과 bit line 의 접촉에 의해 발생하는 접촉저항은 상당히 중요한 요소로서 고려되어야 한다. 접촉저항이 증가하면, 정보를 읽어오는데 걸리는 시간이 증대되어 소자 전체의 속도가 현저히 느려지는 등의 문제가 발생한다. 증착온도 및 DCS P/F 적용 여부에 따른 WSix 박막의 접촉저항을 측정하여 그림 8 에 나타내었다.

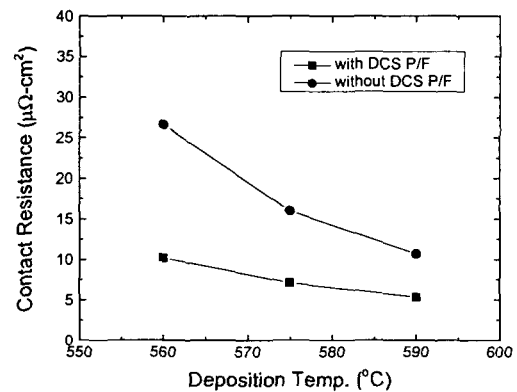


그림 8 WSix 박막의 증착온도에 따른 접촉저항  
Fig. 8 Contact resistance of WSix thin film as a function of deposition temperature.

그림 8에서 보듯이, DCS P/F를 적용하지 않은 경우, 증착온도가 증가함에 따라 접촉저항은 26.64 에서 10.66 μΩ-cm<sup>2</sup> 으로 감소하는 경향을 나타내었다. DCS P/F 를 적용한 경우에도 접촉저항이 10.21 에서 5.33 μΩ-cm<sup>2</sup> 로 감소하는 경향을 나타내었다. 증착온도의 증가에 따라 접촉저항은 감소하는 경향을 나타내고 있으며, 동일한 증착 온도에서는 DCS P/F 가 적용된 경우 접촉저항이 5.33~16.43 μΩ-cm<sup>2</sup> 정도 낮게 나타났다. 증착온도가 낮은 경우, 반응 초기에 DCS 가스 열분해가 잘 이루어지지 않아 AES 의 분석 결과에서 나타난 것처럼 폴리 실리콘과 WSix 박막의 계면에 W 이 많은 조성을 갖는 WSix 막이 형성되게 된다. 또, DCS P/F 가 적용되지 않은 경우, WSix 박막의 표면에 W 이 많은 조성을 갖는 WSix 막이 형성되게 된다. 이와 같은 W 이 많은 조성을 갖는 WSix 박막은 온도변화에 따른 스트레스의 변화 결과에 나타내었듯이, 스트레스 변화가 매우

불안정하게 나타나 후속 열처리 공정 진행시 단차부 등에서 미세 균열이 발생하는 것으로 사료되며, 이것이 연결부의 접촉저항 증대의 원인이 되는 것으로 생각된다.

#### 4. 결 론

본 논문에서는 반도체 소자의 동작속도 향상과 RC 지연 시간 감소 등을 이유로 사용되어지고 있는 DCS 를 이용한  $WSi_x$  박막에서 증착온도와 DCS P/F 와 같은 공정조건이 박막의 물리적 및 전기적 특성에 미치는 영향을 조사하였다. XRD 측정 결과, DCS P/F 적용 및 증착온도에 상관없이 hexagonal 구조를 가졌으나  $680^\circ C$  의 열처리 후에 tetragonal 구조로 상이 변하는 것을 확인 할 수 있었다. 증착온도의 증가 및 DCS P/F 적용은  $WSi_x$  박막의 면저항은 증가시키는 반면에 스트레스는 감소시키는 것으로 나타났다. 이는 증착온도의 증가에 따라  $WSi_x$  박막과 폴리 실리콘의 계면에서 Si 양이 증대되고, DCS P/F 를 적용함으로써  $WSi_x$  박막의 표면에 Si 양이 증가하기 때문인 것으로 생각된다. 또, 증착온도의 증가 및 DCS P/F 적용이 접촉저항을 상당히 감소시키는 것을 알 수 있었다. 이는 Si 이 많은 조성을 갖는  $WSi_x$  박막이 온도변화에 따른 스트레스 변화가 매우 안정하게 나타나, 후속 열처리 공정 진행시 단차부 등에서 발생하는 미세 균열을 효과적으로 억제하고 이것이 연결부의 접촉저항을 감소시키는 것이라고 생각된다. 이로부터, 증착온도 및 DCS P/F 와 같은 공정조건이  $WSi_x$  박막의 Si/W 조성변화에 민감하게 작용하고, 이들이 박막의 특성에 상당한 영향을 미치는 것을 알 수 있었다.

따라서, 이와같은 스트레스 증대와 이에 따른 미세 균열을 최소화하여 접촉저항을 감소시키기 위해서는  $WSi_x$  박막의 증착온도 및 DCS P/F 와 같은 공정조건이 최적화가 요구되며 이는 고집적 디바이스의 안정성과 신뢰성에 기여할 수 있을 것으로 생각된다.

#### 참 고 문 헌

[1] K. Roh, S. Youn, S. Yang, and Y. Roh, "Tungsten silicide for the alternate gate metal in metal-oxide semiconductor device", J. Vac. Sci. Technol. A 19(4), Jul/Aug pp. 1562-1565, 2001

[2] S. F. Lin, C. H. On, S. Lee, Y. C. Tien, and C. F. Hsu, "Investigation of the time-delay effect on the critical dimension of tungsten silicide/polysilicon gate after reactive ion etching", Proceedings of the International Symp. Plasma Etching Processes for Sub-Quarter Micron Devices, pp. 186-192, 1999

[3] S. Abudi, D. Hannoun, K. Kitt, C. Garcia, and J. Pearse, "Tungsten and Tungsten Silicide( $WSi_x$ ) as Gate Materials for Trench MOSFET's", Proceedings of the 12th International Symp. on Power Semiconductor Device and IC's, pp. 181-184, 2000

[4] J. S. Byun, B. H. Lee, J. S. Park, D. K. Sohn, S. J. Choi, and J. J. Kim, "Formation of high Conductivity  $WSi_x$  Layer and its Characterization as a gate Electrode", J. Electrochem. Soc., Vol. 145, No. 9, pp. 3228-3235, 1998

[5] J. G. Lee, S. H. Oh, J. M. Lee, E. G. Lee, I. G. Lim, W. K. Park, and G. H. Kim, "High temperature cracking of tungsten polycide films on quartz substrate", Thin Solid Films, Vol. 370, No. 1-2, pp. 307-310, 2000

[6] M. Godbole, "Silicon to Tungsten Ratio Determination Tungsten Silicide using XRF", Proceeding of the Biennial University / Government / Industry Microelectron Symp., pp. 46-50, 2001.

[7] H. S. Kim, I. S. Yeo, S. M. Lee, S. D. Lee, and S. K. Lee, "Oxidation behavior of Nitrogen Implanted Dichlorosilane-based W-polycide Gate", J. Electrochem. Soc., Vol. 146, No. 12., pp. 4630-4633, 1999

[8] J. S. Byun, B. H. Lee, J. S. Park, D. K. Sohn, J. G. Hong, W. J. Cho, S. J. Choi, and J. J. Kim, "Reduction of Dichlorosilane-Based Tungsten Silicide Resistivity by Amorphization and its Applicability as an Electrode", J. Electrochem. Soc., Vol. 146, No. 6., pp. 2261-2269, 1999

[9] S. Santucci, L. Lozzi, M. Passacantando, and P. Picozzi, "Studies on structural, electrical, compositional, and mechanical properties of  $WSi_x$  thin films produced by low-pressure chemical vapor deposition", J. Vac. Sci. Technol. A 16(3), pp. 1207-1212, 1998

[10] C. A. Bradbury and D. K. Fillmore, "Tungsten silicide composition analysis by Rutherford backscattering spectroscopy, Auger electron spectroscopy, and x-ray photoelectron spectroscopy", J. Vac. Sci. Technol. A 16(3), pp. 1103-1105, 1998

[11] J. Y. Adachi, B. C. McIntosh and D. E. Badt, "Integrated tungsten polycide : analysis of interface composition", Thin Solid Films, Vol 320, pp. 128-133, 1998

[12] J. S. Byun, B. H. Lee, J. S. Park and J. J. Kim, "Characterization of the Dopant Effect on Dichlorosilane-Based Tungsten Silicide Deposition", J. Electrochem. Soc., Vol. 144, No. 10, pp. 3572~3582, 1997

## 저 자 소 개



### 정 양 희 (鄭 陽 喜)

1960년 12월 25일생. 1983년 단국대 응용물리학과 졸업. 1993년 인하대학교 전자재료공학과 졸업(공학). 1995년~현재 여수대 전기공학과 부교수

Tel : 061-659-3314

Fax : 061-659-3314

E-mail : jyanghee@yosu.ac.kr



### 강 성 준 (姜 聲 俊)

1965년 7월 10일생. 1989년 인하대 응용물리학과 졸업. 1999년 동 대학원 전자재료공학과 졸업(공학). 2000년~현재 여수대 반도체·응용물리학과 조교수

Tel : 061-659-3454

Fax : 061-659-3450

E-mail : sjkang@yosu.ac.kr

### 강 희 순 (姜 喜 淳)

1962년 11월 21일생. 1986년 동아대 전자공학과 졸업. 1988년~현재 하이닉스반도체 선임연구원

Tel : 043-270-4124