가변 분할을 적용한 유한 요소법에 의한 3차원 모형의 효율적인 커패시턴스 추출 방법

論 文
52C-3-3

An Efficient Three-Dimensional Capacitance Extraction Based on Finite Element Method Adopting Variable Division

金 正 學* · 金 埈 熙* · 金 錫 潤**
(Jung-Hak Kim · Joon-Hee Kim · Seok-Yoon Kim)

Abstract - This paper proposes an efficient method for computing the 3-dimensional capacitance of complex structures. The proposed method is based on Finite Element Method(FEM) and expands the conventional FEM by adopting variable division. This method improves the extraction efficiency 50 times when compared to the conventional FEM with equal division. The proposed method can be used efficiently to extract electrical parameters of on/off-chip interconnects in VLSI systems.

Key Words : Capacitance, Capacitance Extraction, Parasitic Extraction, Finite Element Method,

1. 서 론

반도체 소자 및 공정 기술이 지속적으로 발전함에 따라 소자의 피처 크기(feature size)는 작아지는 반면, 시스템 온 칩(systems-on-chip)화 경향을 뒷받침하기 위하여 다이(die) 크기는 점차 증가하는 추세를 보이고 있다. 이에 따라 클럭 신호 배선망 등의 전역 신호 연결선들은 더욱 길어지는 현상이 두드러지고 있다. 즉, 소자의 크기 축소와 성능 개선 등으로 말미암아 동작속도는 증가되었지만, 클럭 배선망과 같이 칩 전체에 걸쳐있는 신호선 들은 상대적으로 길이가 증가함으로써 칩의 최대동작 속도에 영향을 미치게 되었다. 전역 연결선망에서의 시간지연이나 잡음결합을 추정하는 과정은 추출된 전기변수를 바탕으로 모형화를 수행한 다음 이를 해석하게 된다. 이 과정의 정확도 보장을 위해서는 전기 변수 추출의 정확도 증진이 선행되어야 한다. 더욱이 동작주파수가 커지고 선폭 및 연결선 사이의 간격이 작아지고 단면 모양의 비(aspect-ratio)가 증가함에 따라 커플링 커패시턴스와 같은 2차적 요소의 비중이 더욱 부각되게 되었다.

전기변수 추출 분야의 접근 방법은 크게 해석적인 방법, 경험식에 의한 방법, 수치적인 방법의 세 가지로 분류할 수 있다. 해석적인 방법에 의한 연결선의 변수 추출은 실제 레이아웃의 복잡한 배치에서는 적용하기에 한계가 있으므로 그 정확성에 문제가 있다. 경험적인 모형은 참고문헌[1]에서 제시되었으나 일반성과 정확성이 부족하며, 특히, 커플링 커패시턴스의 추정에서 정확도가 많이 떨어진다[2].

* 正 會 員 : 崇實大學 컴퓨터學科 博士課程
* 正 會 員 : 崇實大學 컴퓨터學科 博士課程
** 正 會 員 : 崇實大學 컴퓨터學科 助敎授 · 工博
接受日字 : 2002年 9月 9日
最終完了 : 2002年 12月 17日

수치적 방법은 유한차분(finite-difference)[3], 유한요소(finite-element)[4], 경계요소(boundary-element)[5]방법과 다극자(multipole) 알고리즘[6] 등이 있다. 이들은 모든 구조에 대해 전기적 변수를 추출할 수 있다는데 기초를 두고 있는데, 이러한 방법들은 회로집적도의 증가로 인하여 높은 시간상의 비용이 요구되며, 보다 큰 회로를 생성할 수 있어야 하기 때문에 칩 전체의 전기적 변수를 추출하기에는 효율성 측면에서 부족하다. 이러한 이유에서 본 논문에서는 가변분할을 적용한 유한 요소법에 의한 커패시턴스 추출 방법을 제시하고자 한다.

가변분할을 적용한 유한 요소법에 의한 커패시턴스 추출 방법은 기존의 유한요소법과는 달리 연결선의 커패시턴스 성분 추출을 위하여 유한 요소법의 요소분할을 실험으로 얻어진 수식을 이용하여 가변적으로 분할함으로써 정확도의 손상을 최소화하면서도 시간적인 이득을 얻고자 한다. 서론에 이어 2장에서는 커패시턴스 추출 방법에 이용되는 수식을 유도하고, 3장에서는 본 논문에서 제시한 커패시턴스 추출 방법에 대하여 설명을 한다. 4장에서는 실험을 통하여 논문에서 제시한 방법의 우수성을 보이고, 마지막으로 5장에서 결론을 맺는다.

2. 커패시턴스 성분의 추출

본 논문에서 다루는 커패시턴스 추출은 도체의 표면을 셀들로 분할하는 것으로 시작하여, 전하밀도 함수를 이용하여 도체 표면의 전위를 구한다. K개의 도체 각각의 표면들은 도체당 면의 개수(N)로 인하여 $K\times$ 개로 구성된 면들의 집합이 된다. 그리고 각 면들은 분할된 작은 셀들을 이루게 된다[7]. 이때, 도체 i에서 셀의 중점 r_i의 표면 전위는 식 (1)과 같다.

$$\Phi_i(r_i)=\sum_{k=1}^{K}\left[\sum_{n=1}^{N_k}\int_{S_n}G(r_i,r)\sigma_n(r)\,dS_n\right] \quad (1)$$

식(1) 에서, $\sigma_n(r)$은 도체 표면 S_n에서의 전하밀도이고, $G(r_i,r)$은 유한 유전체에 대한 그린 함수(Green's Function) 로 정의하여 식 (2)로 표현한다[8].

$$G(r_i,r)=\frac{1}{4\pi\varepsilon_r\varepsilon_0|r_i-r|} \quad (2)$$

식 (1)에서 이용된 각 셀의 표면 전하밀도 $\sigma_n(r)$은 평균값 이론을 적용하여 적분형 안에서 제거할 수 있다. 그리고, 모든 셀 i에 대한 식 (1)이 적분되어지면, Galerkin 방법을 사용하여 다음의 식 (3)을 얻을 수 있다. 여기에서, 평균 면적 전하 밀도 $\sigma_n=\frac{q_n}{S_n}$ 이다[9].

$$\Phi_i=\sum_{k=1}^{K}\sum_{n=1}^{N_k}\frac{q_n}{S_iS_n}\int_{S_i}\int_{S_n}G(r_i,r)dS_idS_n \quad (3)$$

식 (3)을 이용하여 행렬식으로 바꾸면 식 (4)와 같이 정의 할 수 있다.

$$[\Phi]=[P][Q] \quad (4)$$

여기서, $[\Phi]=[\Phi_1\Phi_2\cdots\Phi_N]^T$와 $[Q]=[Q_1Q_2\cdots Q_N]^T$는 각각 패널의 전위와 패널 전하 이고, 이때의 $[P]$는 셀들 사이의 전위 또는 유도 행렬이며, $[P]$의 계수는 식 (5)와 같다.

$$p_{ij}=\frac{1}{S_iS_j}\int_{S_i}\int_{S_j}G(r_i,r)dS_jdS_i \quad (5)$$

따라서, 커패시턴스 행렬 C는 전위 행렬 P의 역 행렬과, 상태 행렬 A로부터 식(6)과 같이 얻을 수 있다.

$$[C]=[A]^T[P]^{-1}[A] \quad (6)$$

이때 A_{ij}의 값은 셀 i가 도체 j위에 위치하면 1의 값을 갖고, 아니면 0의 값을 갖는다. 예를 들어, C_{ij}를 구하기 위해 우선적으로 패널의 전하를 구해야 한다. j번째 도체를 1의 값으로 변환하기 위해 행렬 값 중에 도체 j위의 패널들을 모두 1로 치환하면 식 (7)을 얻을 수 있다.

$$[P][q]=\begin{bmatrix}0\\0\\\vdots\\1\\1\\\vdots\\0\\0\end{bmatrix}\begin{matrix}\\\\\\\leftarrow\text{1 Volt Applied to ith conductor}\\\\\\\\\end{matrix}\Rightarrow\quad[q]=[P]^{-1}\begin{bmatrix}0\\0\\\vdots\\1\\1\\\vdots\\0\\0\end{bmatrix}\begin{matrix}\\\\\\\leftarrow\text{1 Volt Applied to ith conductor}\\\\\\\\\end{matrix} \quad (7)$$

행렬의 C_{ij}를 구하려면 i번째 도체의 모든 패널의 전하를 합하여 구할 수 있으므로, 참조 노드(reference node)를 포함한 전체 커패시턴스는 식 (8)과 같이 표현될 수 있다.

$$C_{ii}=C_{i\ to\ reference}+\sum_{i\neq j}(-C_{ij}) \quad (8)$$

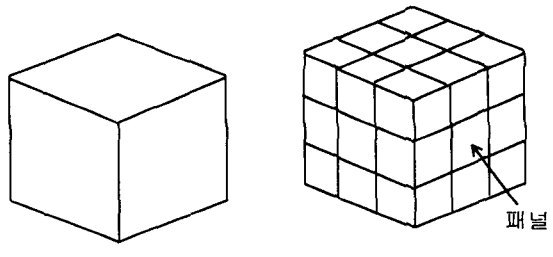
3. 유한요소법에 의한 커패시턴스 추출

3.1 유한요소법을 이용한 커패시턴스 추출

유한요소법은 유한요소라 불리는 물리적으로 혹은 편의상으로 나누어진 요소 위에 정의된 특정 성질의 기저함수(basis function)를 목적에 따른 적분형의 원리에 사용함으로써 연속체 문제를 유한차원 문제로 수식화하는 근사적 방법이며, 유한요소법을 적용했을 때 요소의 수를 증가시키면 그 근사해는 정해(exact solution)에 수렴한다는 것은 유한요소법의 일반적인 개념이다.

유한요소법을 이용하여 커패시턴스를 계산하는 문제는 궁극적으로 행렬을 다루는 문제로 귀결된다. 일반적인 방법(예를 들면, LU Decomposition)을 사용하여 문제를 해결하기 위해서는 $O(n^3)$의 시간 복잡도를 요한다. 그러므로 일정 거리 이상 떨어진 도체 상호간의 영향을 무시하고, 각 셀에 밀집되어 있는 전하의 양을 측정함으로써 커패시턴스의 값을 추출하는 효율성을 추구하게 된다. 이 때, 셀의 개수가 증가할수록 더욱 정확한 값을 얻을 수 있으나, 셀 수의 증가에 따른 계산 시간은 더욱 커지게 된다. 도체의 한 면은 다수의 패널들로 나눌 수 있고, 이 패널들은 일정 개수의 균등분할 셀들로 나누어진다. 따라서 전체 셀 개수는 식 (9)과 같이 정의 할 수 있다.

전체 셀의 수 = 도체의 수 × 도체당 면의 수(6) × 면당 패널의 수×패널당 셀의 수 (9)



(a) 패널 계수 n =1 모형 (b) 패널 계수 n = 3 모형

(a) panel coefficient n = 1 model (b)panel coefficient n = 3 model

그림 1 패널계수 n인 경우의 정육면체 모형

Fig. 1 Cube model with panel coefficient n

그리고, 도체 면당 패널의 수는 패널 계수 n에 의해 식 (10)과 같이 나타낸다.

도체 면당 패널의 수 = n^2 (10)

3.2 가변 분할을 적용한 유한요소법

유한요소법으로 정육면체를 분할하면, 도체의 면 당 패널 계수가 8이라 할 때 도체는 여섯 면의 중점을 중심으로, 하나의 면에는 4개의 4×4의 패널이 생성된다. 유한요소법을 이용하여 도체를 균등하게 분할한 정육면체 모형을 그림 2에서 보인다.

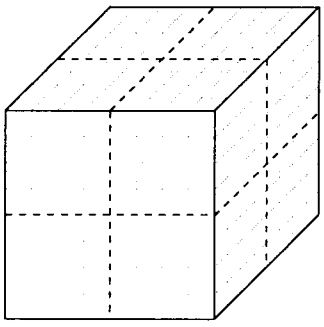


그림 2 균등분할 유한요소법에 의한 정육면체의 패널 분할
Fig. 2 Panel division of cube based on FEM with equal division

본 논문에 제시한 방법은 모서리 부분의 프린징 필드[10]를 고려하여 커패시턴스 추출을 효율적으로 하기 위해 실험을 통해 유도된 식 (11)를 사용하며, 이 식을 이용하여 도체를 가변적으로 분할한다.

$$l=\left(\frac{p}{d}\right)^{r} \tag{11}$$

식 (11)에서 l 은 모서리 부분에서의 비례적인 거리를 의미하고, d 는 패널 분할의 개수를 나타내며, p 는 패널의 위치를 나타낸다. 마지막으로, 계수 r 은 가변 분할의 정도를 결정하는 가변 분할 계수를 나타낸다.

그림 2에서 표현한 분할된 패널 중, 정육면체 한 면의 모서리를 포함하는 4×4패널을 하나의 패널로 보고, 선택된 부분의 면을 가변 분할 계수에 따라 분할한다. 이때의 분할에 이용되는 수식은 식 (11)을 이용하며, 정육면체의 모서리 부분에서 가변 분할 계수에 따른 패널의 위치 변화는 그림 3과 같다.

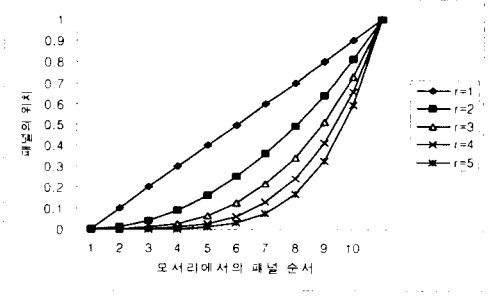


그림 3 모서리에서의 패널 순서에 따른 패널 위치의 변화
Fig. 3 Panel position changes depending on panel order at edges

성능평가에 들어가기에 앞서 가변 분할의 방법을 설명하기 위해, 가변 분할 계수 r을 임의로 정하여 식 (11)에 대입함으로써 분할된 패널의 개수에 따른 패널의 위치 변화를 입체적으로 구성하기로 한다. 한 면이 64개의 패널로 이루어진 정육면체(그림 2)에 가변분할을 적용하기 위해 임의의 계수 3을 식 (11)에 대입한다. 이 때 $d=4$, $p=1,2,3,4$, $r=3$ 이므로 분할된 패널의 개수에 대한 패널의 위치 변화는 그림 4와 같은 그래프로 생성되며, 이 그래프를 통해 산출된 값들을 정육면체에 적용하면, 그림 5와 같은 구조로 64개의 패널은 가변 분할된다.

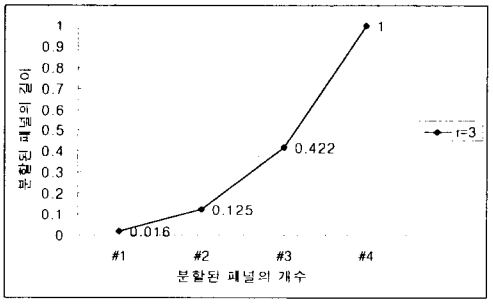


그림 4 분할된 패널의 개수에 대한 패널의 길이
Fig. 4 Panel length for numbers of divided panels

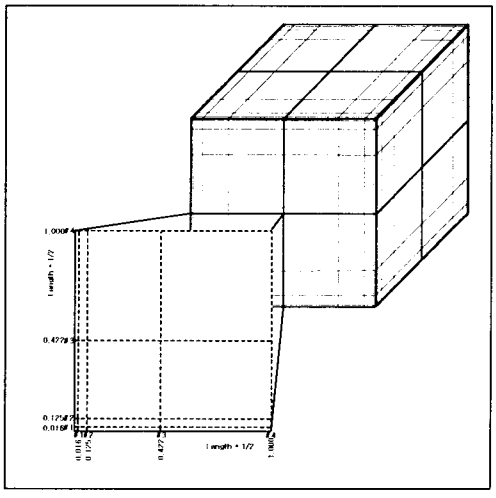


그림 5 패널 분할에 대한 길이의 변화
Fig. 5 Panel length changes for divided panels

4. 성 능 평 가

4.1 기본 구조에서의 실험

기본 실험구조는 정육면체 모양의 도체를 이용하여 패널의 개수($n=4,6,8,10$) (n=4, 6, 8, 10)를 증가시키며, 균등분할 방법과 가변 분할 방법을 적용하여 커패시턴스 성분의 추출 정확도와 수행시간에 대하여 결과 분석을 하였다.

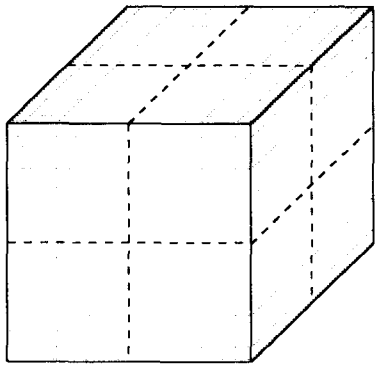
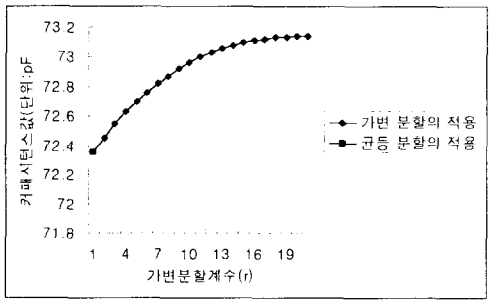
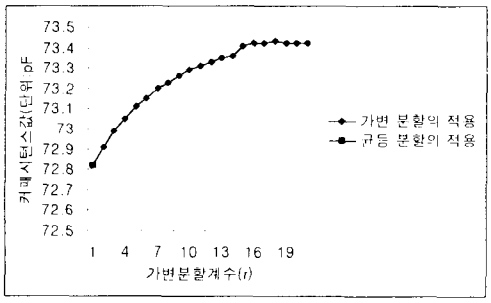


그림 6 유한요소법의 가변분할이 적용된 기본 정육면체 모형
Fig. 6 Basic cube model for experiment of FEM with variable division.

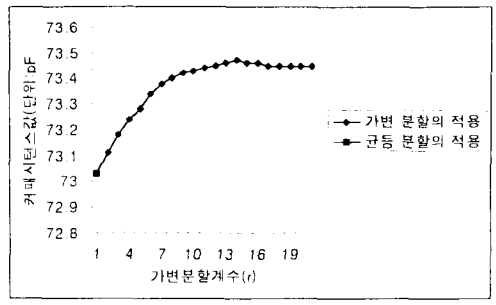
기본 실험 구조에 균등분할 방법과 가변분할 방법을 적용하여 실험한 결과를 그림7을 이용하여 보이며, 그림 8에서는 균등분할 방법과 가변분할 방법을 적용 하였을 때의 수행 시간을 보이고 있다. 그림 7, 8을 이용하여 가변분할 방법의 성능 향상을 설명하면, 가변분할을 적용한 방법이 동일한 정확도를 기준으로 균등분할을 적용한 방법보다 50배 정도의 시간적 이득이 있음을 확인 할 수 있다.



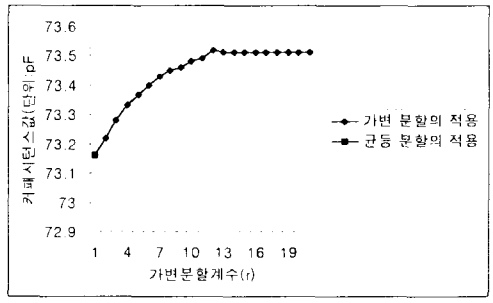
(a) 정육면체 구조의 패널 4개 분할
(a) Division of cube with 4 panels



(b) 정육면체 구조의 패널 6개 분할
(b) Division of cube with 6 panels



(c) 정육면체 구조의 패널 8개 분할
(c) Division of cube with 8 panels



(d) 정육면체 구조의 패널 10개 분할
(d) Division of cube with 10 panels

그림 7 가변 분할을 적용한 정육면체구조의 커패시턴스 추출
Fig. 7 Capacitance extraction of cube model by FEM with variable division

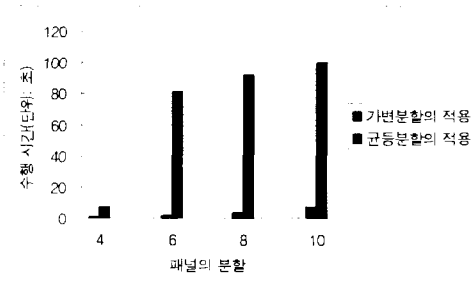


그림 8 정육면체 구조에서 가변분할 적용시 시간적 이득
Fig. 8 Time gains of cube model by FEM with variable division.

4.2 확장 구조에서의 실험

확장 구조에서의 실험은 $m \times m$ 버스 모형의 구조로 그림 9에서 보는 바와 같이 2층 구조의 버스 모형이다. 확장 구조는 복잡도에 따라 $2\times2, 3\times3, 4\times4, 5\times5$의 모형으로 구분을 할 수 있고, 버스 모형의 실험에서는 복잡도에 따라 변화되는 버스 모형을 이용하여 균등분할과 가변 분할 방법을 적용 하였을때, 정확도와 수행시간을 기준으로 결과를 분석하였다.

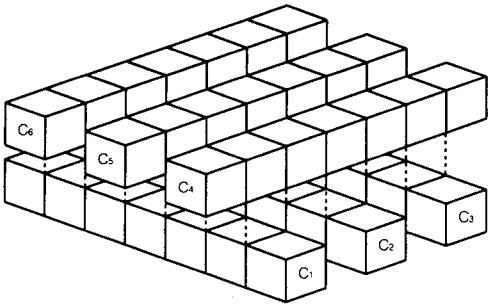


그림 9 3×3 확장 구조
Fig. 9 3×3 expansion structure

그림 9와 같은 버스 모형을 이용하여 가변 분할을 적용하면 각각의 도체는 정육면체의 구조를 가진 기본모형으로 재분할되고, 각각의 기본모형은 3.2절에서 소개된 방법과 동일한 방법을 이용하여 분할되며, 버스모형에 가변분할 계수를 임의의 수 3을 적용하면 그림 10과 같은 버스모형의 확장구조를 생성한다.

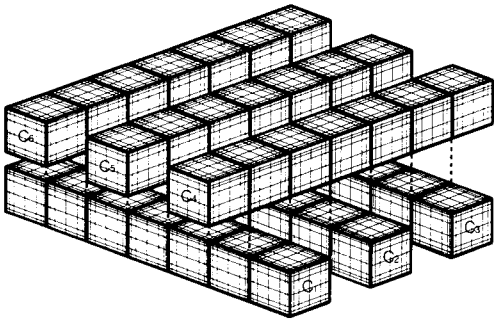
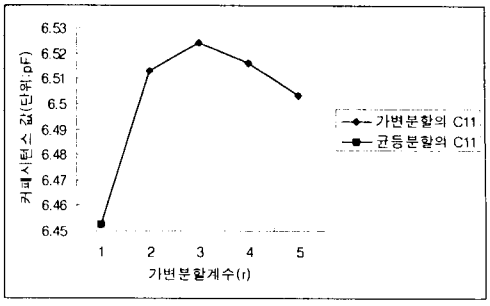
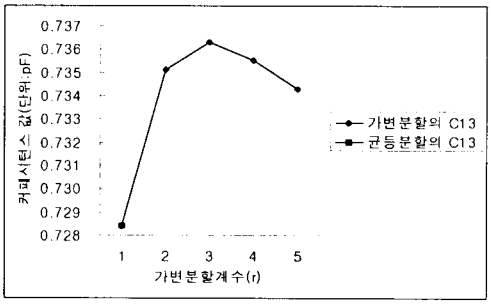


그림 10 3×3 가변분할을 적용한 확장 구조
Fig. 10 3×3 expansion structure by FEM with variable division

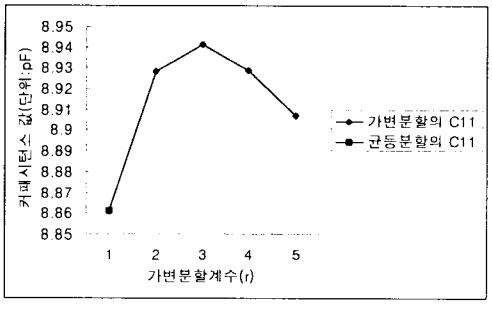
균등분할을 적용한 방법과 가변분할을 적용한 방법을 자기 커패시턴스(self-capacitance)와 상호 커패시턴스(mutual capacitance)를 고려하여 확장 구조에서 실험을 하면, 그림 11에서와 같이 가변 분할의 계수에 대한 커패시턴스 값을 확인 할 수 있다. 이때 프린징 필드의 영향으로 가변 분할 계수가 3일 경우 제일 좋은 결과를 산출 한다는 것을 알 수 있다. 그림 12에서는 확장구조의 복잡도에 대한 수행시간을 나타낸 것으로, 그림 11과 12를 이용하여 가변분할을 적용한 방법과 균등분할을 적용한 방법을 비교하면, 동일한 정확도를 기준으로 가변 분할 방법이 균등 분할 방법보다 12배 정도의 시간 이득을 나타냄을 알 수 있다.



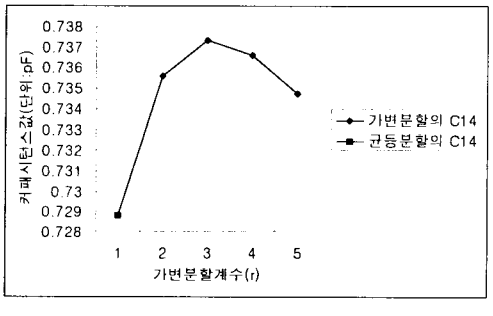
(a) 2×2 확장 구조에서의 C_{11}
(a) C_{11} of 2×2 extpansion structure



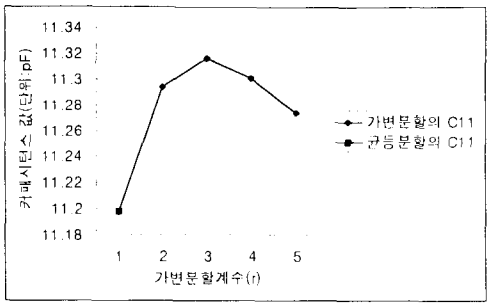
(b) 2×2확장 구조에서의 C_{13}
(b) C_{13} of 2×2 expansion structure



(c) 3×3확장 구조에서의 C_{11}
(c) C_{11} of 3×3 expansion structure

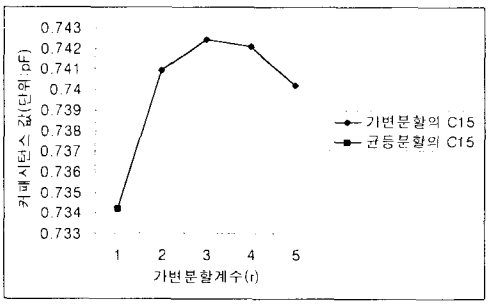


(d) 3×3 확장 구조에서의 C_{14}
(d) C_{14} of 3×3 expansion structure



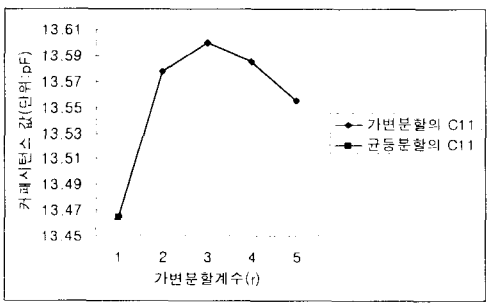
(e) 4×4 확장 구종에서의 C11

(e) C11 of 4×4 expansion structure



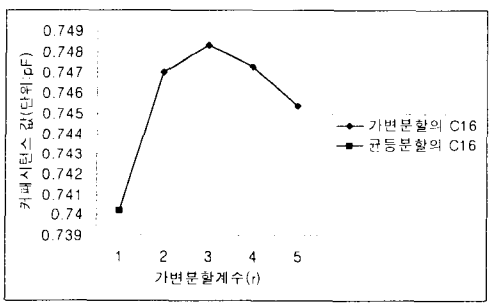
(f) 4×4 확장 구조에서의 C15

(f) C15 of 4×4 expansion structure



(g) 5×5확장 구조에서의 C11

(g) C11 of 5×5 expansion structure



(h) 5×5확장 구조에서의 C16

(h) C16 of 5×5 expansion structure

그림 11 가변 분할을 적용한 확장 구조의 커패시턴스 추출

Fig. 11 *Capacitance extraction of expansion structures by FEM with variable division.*

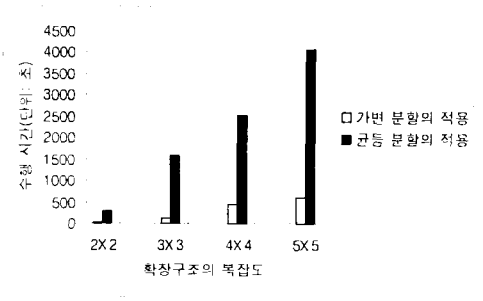


그림 12 확장 구조에서의 가변분할 적용시 시간적 이득

Fig. 12 Time gain of expansion models by FEM with variable division.

본 논문에서 제시한 가변분할을 적용한 유한요소법에 의한 커패시턴스 추출 방법을 전기 변수 추출시에 적용하여 기본구조와 확장구조를 통하여 실험한 결과, 균등 분할과 동일한 정확도를 기준으로 할 때 12배에서 50배까지의 시간 이득을 얻을 수 있었다.

5. 결 론

칩의 고속화·고집적화로 인하여 칩 설계시에 고려해야 할 요소들이 더욱 증가하게 되었다. 과거에는 중요시 여기지 않았던 부분인 연결선에서의 전기적 성분을 고려하지 않고서는 시스템의 완벽성을 보장받지 못하게 되었다. 본 논문에서는 회로 연결선의 전기적 변수 추출을 위해 가변분할을 적용한 유한요소법에 의한 커패시턴스 추출방법을 제시하였다. 본 논문에서는 유한요소법을 이용하여 회로 연결선의 커패시턴스 추출을 할 때, 도체의 패널 분할 과정에서 실험을 통한 수식을 이용하여 가변 분할을 적용하는 방법을 제안하였다. 동일한 정확도를 기준으로 제안한 추출 방법을 이용하였을 경우 기본적인 모형에서는 50배의 시간적 이득을 얻을 수 있었고, 확장 모형에서는 12배의 시간적 향상의 결과를 얻을 수 있었다. 따라서 전기적 성분의 추출 시에 본 논문에서 제시한 방법인 가변 분할을 적용한 유한요소법을 사용하면 정확도의 손실을 최소로 하면서도 시간적인 성능을 개선하는데 도움을 줄 수 있을 것이다.

참 고 문 헌

[1] T. Sakurai and K. Tamaru, "Simple formulas for two and three dimensional capacitances," IEEE Trans. Electron Devices, vol. ED-30, pp. 183-185, 1983.

[2] N. D. Llanda, K. V. Raol, R. Schumann, and L. M. Richardson, "Modeling and extraction of interconnect capacitances for multilayer VLSI circuits," IEEE Trans. Computer-Aided Design of integrated circuits and systems, vol. 15, pp. 58-67, 1996.

[3] W. H. Dierking and J. D. Bastian, "VLSI parasitic capacitance determination by flux tubes," IEEE Circuit System Mag., pp. 11-18, March, 1982.

[4] P. Benedeck, "Capacitances of a planar multiconductor configuration a dielectric substrate by a mixed order finite-element method," IEEE Trans. Circuits Syst., vol. CAS-23, pp. 279-283, 1976.

[5] C. Wei, R. F. Harrington, J. R. Mautz, and T.K. Sarkar, "Multiconductor transmission lines in multilayered dielectric media," IEEE Trans. Microwave Theory Tech., vol. MTT-32, pp. 439-450, 1984.

[6] Keith Nabors and Jacob White, "FastCap: A multipole Accelerated 3-D Capacitance Extraction Program," IEEE Trans. on Computer-Aided Design, vol. 10, no. 11, Nov. 1991.

[7] B. Krauter, Y. Xia, A. Dengi, and L. T. Pileggi, "A Sparse Image Method for BEM Capacitance Extractions." Proc 33th Design Automation Conference Proceeding, pp.357-362, 1996.

[8] I. Bronshtein and K. Semendyayev, HandBook of Mathematics, 3rd ed.
New York. Van Nostrand Reinhold, 1985.

[9] A. Ruehli and P. Brennan. "Efficient capacitance caluations for three-dimensional multiconductor systems," IEEE Trans. Microwave Theory Tech., vol. MTT-21, no. 2, Feb. 1973.

[10] H.B.Bakoglu "Circuit, Interconnections, and Packaging for VLSI" ADDISON-WESLEY PUBLISHING COMPANY, 1990. pp.137-139

저 자 소 개

김 정 학(金 正 學)

2000년 2월 청운대 인공지능학과 학사. 2002년 2월 숭실대 컴퓨터학과(석사). 2002년 2월~현재 숭실대 컴퓨터학과 박사과정. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계

김 준 희(金 埈 熙)

1997년 2월 호서대학교 컴퓨터공학과 학사. 1999년 2월 숭실대학교 컴퓨터 학과 석사. 199년 3월~현재 숭실대학교 컴퓨터학과 박사과정. 주관심분야는 설계자동화 VLSI 회로해석 및 설계.

김 석 윤(金 錫 潤)

1980년 서울대 공대 전기공학과 학사. 1990년 University of Texas at Austin 전기, 컴퓨터학과(석사). 1983년 University of Texas at Austin 전기, 컴퓨터학과 박사. 1982년~1987년 한국전자 통신연구소 연구원. 1993년~1995년 Motorola Inc., Senior Staff Engineer. 1995년~현재 숭실대 컴퓨터학부 교수. 주관심분야는 설계자동화, VLSI 회로해석 및 설계, 통신시스템.