

박막 트랜지스터 기판 검사를 위한 PDLC 응용 전기-광학 변환기의 동특성 분석

정광석[#], 정대화^{*}, 방규용^{**}

Dynamic Analysis of the PDLC-based Electro-Optic Modulator for Fault Identification of TFT-LCD

Kwang Suk Jung[#], Dae Hwa Jeong^{*} and Kyu Yong Bang^{**}

ABSTRACT

To detect electrical faults of a TFT (Thin Film Transistor) panel for the LCD (Liquid Crystal Display), techniques of converting electric field to an image are used. One of them is the PDLC (polymer-dispersed liquid crystal) modulator which changes light transmittance under electric field. The advantage of PDLC modulator in the electric field detection is that it can be used without physically contacting the TFT panel surface. Specific pattern signals are applied to the data and gate electrodes of the panel to charge the pixel electrodes and the image sensor detects the change of transmittance of PDLC positioned in proximity distance above the pixel electrodes. The image represents the status of electric field reflected on the PDLC so that the characteristic of the PDLC itself plays an important role to accurately quantify the defects of TFT panel.

In this paper, the image of the PDLC modulator caused by the change of electric field of the pixel electrodes on the TFT panel is acquired and how the characteristics of PDLC reflect the change of electric field to the image is analyzed. When the holding time of PDLC is short, better contrast of electric field image can be obtained by changing the instance of applying the driving voltage to the PDLC.

Key Words : Electric field imaging(전계 이미징), TFT-LCD inspection(박막 트랜지스터 검사), Array test(배열 검사), Polymer Dispersed Liquid Crystal(고분자 분산형 액정)

1. 서론

능동 매트릭스 방식 액정 표시 소자(Active Matrix Liquid Crystal Display; AM-LCD)의 생산 공정에 서, 어레이 체커(Array Checker)는 TFT(Thin Film

Transistor; 박막 트랜지스터) 기판상의 각 소자의 전기적 이상을 검출하여 불량품의 후 공정으로의 유출을 방지한다¹⁻⁵.

TFT 기판상에서 라인 전극들은 그 폭이 수 μm 이고, 화소 전극은 그 크기가 수십 ~ 수백 μm 의 크

^{***} 2002년 11월 14일 접수
[#] 교신저자, 국립충주대학교 기계공학과
Email ksjung@chungju.ac.kr Tel. (043) 841-5135
^{*} LG 전자 생산기술원
^{**} Top Engineering

기이다. 광학적 이미지의 화상 처리 방식을 이용한 TFT 기판의 검사 장치인 패턴 검사기로 검사를 병행하지만, 작은 결함의 검출을 위하여 광학적 해상도를 높게 하는 것은 검사 시간이나 비용적인 측면에서 불리하다. 더욱이, 수십 nm의 미세한 결함에 의해서도 전극의 결함이 발생할 수 있으나 이것들을 광학적 방식으로 검출하는 데는 한계가 있다.

이러한 문제점을 해결하기 위하여 전기적 신호를 인가하여 TFT 를 구동 시킨 후에, 전기적 성능을 광학적으로 검사하는 전기-광학(Electro-Optical) 방식의 검사 기술들이 개발 되었다. 전기-광학방식은 전계에 의하여 광의 투과도나 편광 특성 등 광학적 성질이 바뀌는 물질을 이용하여 전기적 성질의 변화를 광학적으로 계측 혹은 검사하는 것으로 PDLC(Polymer Dispersed Liquid Crystal, 고분자 분산형 액정)를 이용한 방식이 상용화 되어 있으며 Voltage Imaging™ 이라고도 부른다⁶. 이 외에도 전자빔을 주사하여, 화소 전극의 전압에 따라 2 차 전자의 방출률이 달라지는 원리를 이용한 검사 방식이 상용화 되어 있으나, 진공 속에서 행해야 하는 단점이 있다⁷.

전계 이미징 방식을 이용하는 어레이 체커는 TFT 기판에 전기-광학 모듈레이터를 근접시켜서 화소 전극의 전계의 세기에 비례하는 PDLC 모듈레이터의 광학적 성질의 변화를 카메라로 촬상하여 TFT 화소 전극의 결함을 검사한다⁸. 일반적인 PDLC 는 양면에 투명 전극 층을 가진 샌드위치 구조이지만, TFT 기판 검사를 위한 전기-광학 변환기로서의 PDLC 는 한 면만 투명 전극 층에 접하고 다른 한 면은 다층 유전체 박막 반사 필름으로 되어 PDLC 를 보호하면서, 카메라에 의한 촬상이 용이하도록 조명을 반사하는 역할을 한다.

전계 이미지의 획득은 TFT 기판상의 화소 전극을 충전시키기 위하여 데이터와 게이트 라인에 적절한 신호를 인가하고, 또한 PDLC 의 특성 곡선으로부터 PDLC 가 적합한 동작 범위에 있도록 바이어스 전압을 인가한 후 일정 시간 후에 누설 전류가 없이 화소 전극이 충분히 충전량을 유지하고 있는 지를 판단할 수 있는 시점에서 이미지를 획득한다. 기존의 방식은 바이어스 전압이 인가된 후 이미지를 획득하는 시점까지 PDLC 가 전압에 의한 투과율의 차이를 유지하고 있어야 한다. 이러한 특성을 가지는 PDLC 의 제작을 위하여 순도

가 높은 액정과 고분자 재료가 필요하다.

PDLC 는 여러 가지 방법으로 제조할 수 있는데, 공정 조건에 따라 다양한 정적 및 동적 특성을 갖는다². 따라서 PDLC 의 특성에 따라서 적합한 구동 신호 패턴을 인가하여야 이미지를 제대로 얻을 수 있다.

본 논문의 구성은 다음과 같다. 제 2 장에서는 TFT 기판의 전기적 특성을 검출하기 위한 전기-광학 변환기로 사용되는 PDLC 의 일반적 특성과 제조 방법에 대하여 알아 보고, 본 논문의 실험을 위하여 사용된 PDLC 의 제작방법을 기술하였다. 제 3 장에서는 TFT 기판의 결함을 검사하기 위하여 PDLC 모듈레이터를 TFT 기판에 근접시킨 경우 TFT 와 PDLC 간의 전기적 결합관계를 모델링하고, PDLC 에 인가하는 구동전압의 세기와 인가 시점에 따른 투과도의 변화를 시뮬레이션을 통해 예측하였다. 제 4 장에서는 PDLC 와 TFT 기판을 구동하여 기판상의 전계를 이미지로 획득하였고, PDLC 의 특성에 따른 구동 신호 인가 시점의 조절이 전계 이미지에 미치는 영향을 분석하였다.

2. PDLC 제작 및 특성 측정

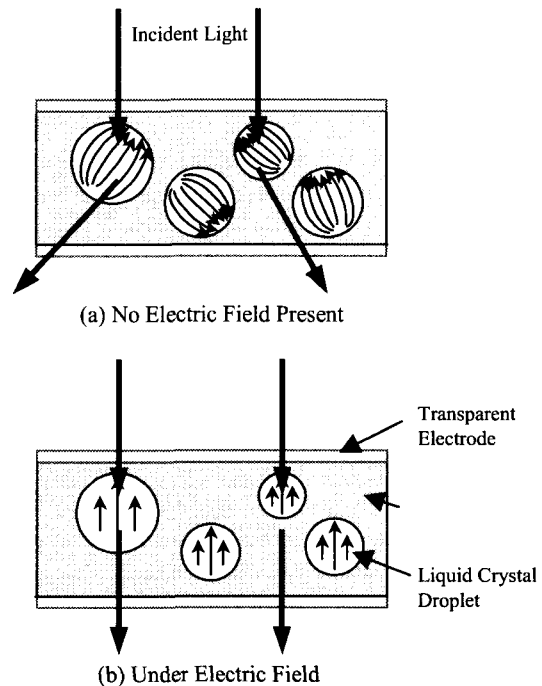


Fig. 1 Basic principle of the PDLC

PDLC 는 Fig. 1 과 같이 고분자 필름상에 액정이 방울상으로 분산되어 있는 모양으로 되어 있다. 광학적 이방성(Optical anisotropy)을 나타내는 액정에 대하여 액정의 상 굴절률과 유사한 굴절률을 갖는 고분자가 섞여있는 경우, Fig. 1 의 (a)와 같이 전계가 인가되지 않은 상태에서 액정과 고분자의 계면에서 입사광이 산란하여 투과도가 낮게 되고 Fig. (b)와 같이 전계가 인가된 경우 높은 투과율을 갖게 된다.

PDLC 의 제조에는 여러 가지 방법이 사용된다. 우선 PVA 와 같은 수용성 고분자의 수용액에 액정을 섞어 유화시킨 후 수분을 증발시키는 Encapsulation 법, 액정과 광 경화성의 pre-polymer 를 섞은 후 자외선을 조사하여 고분자로 중합 시킴에 따라 액정이 상 분리되는 현상을 이용하는 PIPS (Polymer Induced Phase Separation)법, 액정과 고분자를 공통 용제에 녹인 후 용매를 증발시켜 상 분리시키는 SIPS(Solvent Induced Phase Separation)법, 액정과 고분자 혼합물을 가열하여 등방성 용액을 만든 후 냉각 하여 상을 분리하는 TIPS(Thermal Induced Phase Separation)법 등이 있다⁹.

Encapsulation 법으로 PDLC 를 제조하는 경우 도포를 이용하여 쉽게 필름을 만들 수 있으나, 균일한 재질을 얻기 위해서는 고가의 도포 설비를 필요로 한다. PIPS 법과 같은 상 분리 법은 액정방울의 크기 조절이 용이하고 균일하게 제조가 가능하나 대형화가 어렵다.

PDLC 의 특성은 정특성과 동특성으로 구분할 수 있는데, 중요한 몇 가지 특성은 다음과 같다.

- **구동 전압** : 구동 전압은 투과율이 10%가 될 때 해당되는 문턱 전압(Threshold Voltage)과, 투과율이 포화(Saturation) 되는 전압인 포화 전압이 있다. 구동 전압은 액정 및 고분자의 저항과 유전율 그리고 두께에 의하여 영향을 받는다. 또한 PDLC 내의 액정의 크기가 클수록 구동전압이 낮아지는 경향을 나타낸다.
- **천이 구간** : 포화 투과율 대비 10% 의 투과율에서 90%의 투과율로 천이하는 전압 범위를 나타낸다. 이것은 액정 방울 크기의 균일도와 상관이 있다. 크고 작은 서로 다른 크기의 액정이 섞여 있다면, 작은 액정 방울은 높은 전압에서 구동 되고 큰 액정 방울은 낮은 전압에서 구동 되어 인가 전압의 상승에 따

라 투과도가 완만하게 상승하는 양상을 보인다.

- **응답 속도** : 상승 시간(rising time)은 구형파 전압 인가시, 투과율이 10%에서 포화 투과율의 90%에 도달할 때까지 걸리는 시간이며, 하강 시간(decaying Time)은 전압 제거시 투과율이 90%에서 10%가 될 때까지 걸리는 시간이다. 응답 속도는 액정의 점도에 비례하고, 유전율 및 인가된 전계의 세기의 제곱에 반 비례한다.
- **유지 시간(Retention Time 혹은 Holding Time)** : 전압을 인가하여 투과도가 변한 후에 전계가 계속 인가된 상태에서 다시 투과도가 저하하는 현상이 발생한다. 고분자나 액정 내에 금속 이온 등의 불순물이 있는 경우 액정의 방향자가 전기적으로 중화되어 발생하는 것으로 이해된다. 유지 시간은 본 논문에서 고찰하고자 하는 TFT 의 전계 이미징에 가장 큰 영향을 주는 인자이다. 유지 시간을 길게 하기 위하여 순도가 높은 (전기 저항치 $10^{12}\Omega$ 이상) 고분자를 사용하거나, 액정을 미리 캡슐화 하는 방법이 제시되어 있다.
- **대조비(Contrast)** : 전압을 인가하기 전의 시편 투과도를 T_{min} 으로 하고, 전압을 인가하여 시편이 최고 투과도를 보일 때를 T_{max} 라고 할 때 T_{max}/T_{min} 을 대조비로 한다.

또한 위와 같은 물리 화학적 특성 이외에도 실용성을 위하여 표면의 평탄도, 두께의 균일도, 전면에 걸친 투과 균일도 등이 보장되어야 한다. 이를 위하여 적합한 고분자 및 액정물질이 선정되어야 하고, 제조 공법에 맞도록 적절한 첨가제를 사용하여야 한다. 예를 들어 도포방식으로 PDLC 를 제작하는 경우에는 PDLC 의 투명 기저 필름이 친수성인 경우 고분자의 친수도가 좋아야 효과적인 도포를 할 수 있다. PDLC 의 특성은 제조 방법과 공정 조건에 의한 변수가 많으므로 항상 원하는 성질을 갖는 것을 제조하는 것은 쉽지 않다.

본 논문에서는 2 가지의 서로 다른 광전 특성을 가지는 PDLC 에 대하여 특성을 측정하고 전계 센서로서의 거동을 살펴 보고자 한다. 편의상 Type A 는 긴 유지 시간을 갖는 PDLC, Type B 는 비교적 짧은 유지 시간을 갖는 PDLC 로 정의한다. Type A 는 상용의 제품에서 추출한 PDLC 에서 구

Table 1 Chemical composition of the PDLC Type 'B'

Matrix		FA990
Formulation (wt%)	L.C.(E7)	65
	Matrix	33
	Additive	2
Thickness(μm)		20
UV Condition		5 mW/cm ² , 10min

하였고, Type B 는 PIPS 법을 사용하여 직접 제조하였다. Type B 의 PDLC 의 조성은 Table 1 과 같다.

PIPS 법에 사용되는 자외선 조사 장치는 365nm 의 중심 파장을 갖는 초고압 수은램프를 사용하였으며, 조사 에너지는 램프와 시편까지의 거리를 조절하여 2mW/cm²~10mW/cm²로 조절하였고 조사 시간은 5~20 분으로 조정하였다. 시편 제조는 표면저항이 30 Ω /cm인 ITO(Indium Tin Oxide) 유리를 사용하였고 PDLC 의 두께를 조절하기 위해 유리 스페이서(10 μm , 13 μm , 15 μm , 20 μm)를 사용하였다. 제작된 Type B 의 최종 화학 구성은 Table 1 과 같다.

PDLC 의 특성 측정을 위하여 Fig. 2 와 같이 측정 시스템을 구성하였다. ITO 가 코팅된 투명한 유리 사이에 형성된 PDLC 에 대하여, 660 nm 파장을 갖는 레이저를 입사시키고 PDLC 및 투명유리를 통과하여 나오는 레이저를 포토 다이오드로 측정하였다.

여러 제조 조건에 대하여, 시편의 최고 투과도는 모두 유사한 것으로 나타났지만, 초기투과도 T_1 은 PDLC 의 제조 조건에 따라 큰 차이를 보였다. 자외선 조사에너지가 클수록 혼합액의 상 분리 시간이 빨라져 PDLC 내의 액정 Droplet 형성 시간이 짧아지고 따라서 PDLC 내의 액정 방울(droplet)의 크기가 작아져 PDLC 의 초기 광투과도 T_1 이 커지게 된다. 따라서 전체적인 시편의 대조

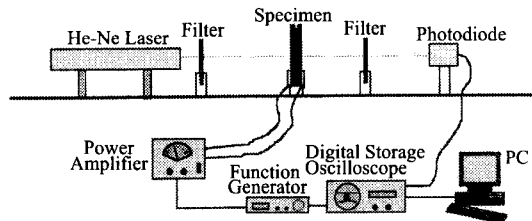


Fig. 2 Hardware setup for measuring the optical property of the PDLC

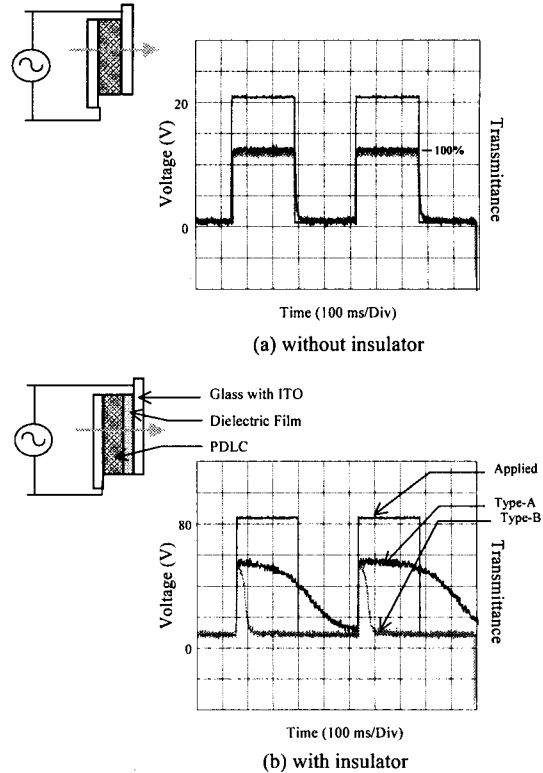


Fig. 3 Comparison results of the dynamic response for the PDLC's transmittance

비($T_{\text{max}}/T_{\text{min}}$)가 상대적으로 낮게 나타났다.

반대로 자외선 조사에너지가 작으면 작을수록 혼합액의 상 분리 시간이 느려져 PDLC 내의 액정 방울 형성 시간이 길어지게 되고 따라서 PDLC 내의 액정 방울 크기가 커져 PDLC 의 초기 광투과도 T_1 이 낮아지고 전체적인 시편의 대조비 ($T_{\text{max}}/T_{\text{min}}$)가 상대적으로 크게 나타났다.

두 종류의 PDLC Type A 와 Type B 에 대하여, 구동 전압에 대한 투과율의 동적 거동을 Fig. 3 의 (a)와 (b)에 나타내었다. Fig. 3(a)는 PDLC 양단에 직접 투명 전극이 접촉하고 있는 경우이고, (b)는 한 면이 PDLC 에 접하고 다른 한 면은 전극과의 사이에 6 μm 의 PET 필름 절연체를 넣은 경우이다. Fig. 3(b)는 TFT 전계 이미징에서 PDLC 와 TFT 기판이 비접촉으로 일정 간격을 가지고 있는 경우를 염두에 둔 조건이다.

Fig. 3(a)에서 보듯이 DC 전압에 대한 투과율은 두 가지 시편이 모두 유사하고, 절연체가 없는 경

우의 동특성은 유사하도록 제작하였다. 그러나 Fig. 3(b)와 같이 절연체가 있는 경우 두 시편 사이의 유지 시간이 많은 차이를 나타낸다. 응답 시간이 빠르면서 유지 시간이 긴 경우 화소 전극의 전압 변화를 빨리 반영하면서 구동 신호 인가 시점과 이미지 획득 시점간의 조절이 용이하므로 전계 이미징에는 유리하다. 따라서 Type A가 우수한 특성을 가진다고 할 수 있다. 실험에서 Type A는 절연체가 있는 상태에서 유지 시간 100 ms, 상승 시간 3 ms 인 반면, Type B는 유지 시간 4 ms, 상승 시간 0.5 ms로서 Type A가 유지 시간에서 우수하였다.

이러한 차이는 저항, 전도성, 고분자 물질의 유전율 등과 관련이 있는 것으로 추정된다. Fig. 3. (a)에서 절연체가 없는 경우에는 전극이 PDLC와 직접 접촉하고 있으므로 고분자내의 금속 이온등이 존재하는 경우에도 전극을 통하여 순간적으로 중화되어 액정 분자의 전기적 분극이 고분자의 오염에도 불구하고 유지되어 두 시편의 특성이 유사하게 나타났다고 볼 수 있다. Fig. 3(b)의 경우는 절연체에 의하여 PDLC가 전기적으로 AC 결합이 되어 있어 PDLC 양단에는 전압의 극성이 바뀌는 순간에만 전계가 인가되지만, Type A가 고분자의 순도와 유전율이 높아, 전하의 유지가 더 잘 되어 결과적으로 유지 시간이 길게 된 것으로 해석된다. 유지 시간을 길게 하기 위하여 고분자의 정제를 통해 순도를 높이거나, 액정을 캡슐화 하는 방법이 제안되어 있다¹⁰.

3. TFT-PDLC 결합 모델 및 전기광학적 특성

Welsh는 고분자필름을 저항 R과 정전용량 C로 구성된 Randles 등가 회로로 표현하고, 고분자 상에 추가되는 액정에 의하여 유전율이 바뀌게 됨에 따라 상승 시간, 유지 시간 등의 특성이 함께 변함을 실험적으로 증명하였다¹⁰. 그 예로 PDLC 필름의 경우, Fig. 4(a)와 같이 R과 C로 구성된 등가 회로상에 액정방울이 병렬로 연결된 것으로 볼 수 있다. 이 경우 고분자 상에 충전된 전압에 의해 액정의 배열 모멘텀이 생기고 결과적으로 투과도가 결정된다고 가정한다. 액정의 유전율은 바이어스전압이 높아질수록 상승하며 이는 곧 C값이 증대함을 의미하지만, 전압에 의한 유전율의 변화는 동작점 부근의 선형 모델에 대하여는 무시

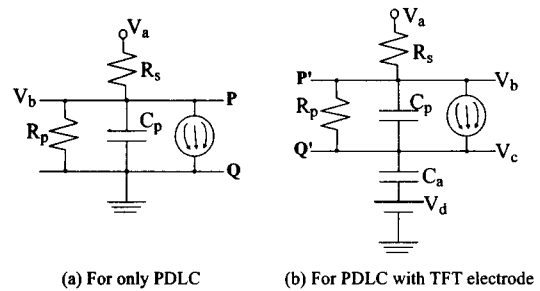


Fig. 4 Equivalent circuits of PDLC with and without pixel electrode

할 수 있다고 가정한다. 또한 액정 방울은 크기가 동일하고 균일하게 분포하고 있다고 가정한다.

Fig. 4(b)는 화소 전극의 측정을 위하여 PDLC를 화소 전극에 근접 시킨 상태를 등가 회로로 나타낸 것이다. 실제 적용 상태인 (b)의 경우에는 공기층의 두께를 실지로 계측하는 것이 어렵고, 공기층의 정전 용량이 작아서 상당히 높은 바이어스 전압하에서 액정이 거동을 하기 때문에 그림 (a)의 PDLC 모델에 대하여 해석과 실험을 하고 이를 기초로 (b)의 경우에 대하여 거동을 예측하는 것이 더욱 용이하다.

Fig. 4(a)에서 고분자필름 고유의 정전용량을 C_a 라고 하고, 액정의 정전용량을 C_p 이라고 하면 PDLC의 등가 회로는 $C_p = C_a C_p / (C_a + C_p)$ 와 등가 저항 R_p, R_s 로 구성될 수 있다. 즉 액정에 의한 전기적 영향을 등가회로에 포함 시키고 액정배열은 단순히 'P' 지점과 'Q' 지점의 전위에 의해서만 영향을 받으며, 액정에 의한 전기적 변수의 영향은 없다고 가정한다. 나아가 본 논문에서는 전기적 특성에 의한 영향의 고찰이 주 목적이므로, 액정의 점도 등에 의한 동작 속도의 차이는 모델에 포함시키지 않는 것으로 한다. 등가회로 (a)를 통해 알 수 있듯이 커패시터 C_p 에 충전되는 시정수는 $\tau_r = R_s C_p$ 로서 상승 시간에 해당하고, V_a 단이 제거된 경우에 C_p 에 충전된 전하가 R_p 를 통하여 방전되는 시정수는 $\tau_d = R_p C_p$ 로서 하강 시간에 해당한다. 회로 (a)에 대하여 입력 전압 V_a 와 액정양단 P, Q 사이의 전압 V_b 의 입출력 전달함수는

$$V_b(s) = \frac{R_p}{R_s + R_p + C_p R_s R_p s} V_a(s) \quad (1)$$

여기서 s는 라플라스 변수이다. 또한 등가회

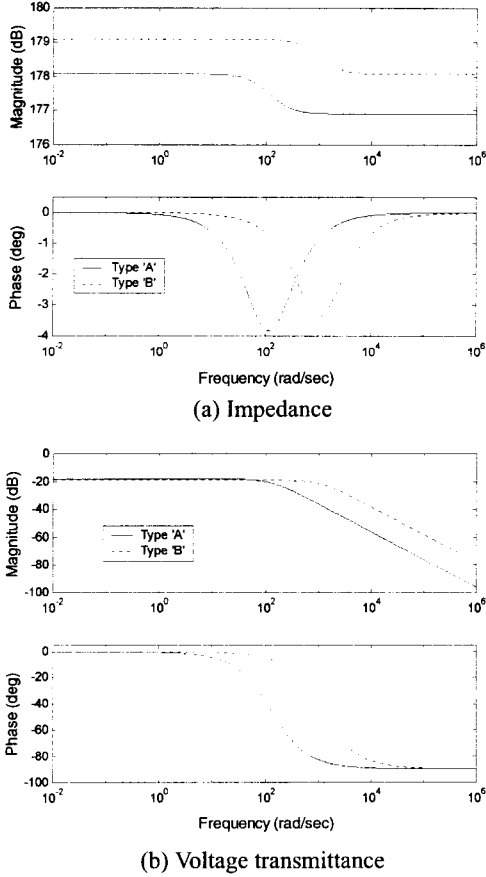


Fig. 5 Frequency response plot (Bode plot) of circuit impedance in Fig. 4(a)

로 (a)의 임피던스는

$$z(s) = \frac{R_p + R_s + R_p R_s C_p s}{1 + R_p C_p s} \quad (2)$$

식(1)에서 보면, V_b 에 대한 충전 시정수는 τ 는 다음과 같다.

$$\tau = \frac{C_p R_s R_p}{(R_s + R_p)} \quad (3)$$

제 2 장에서 제작된 2 종의 PDLC Type 'A'와 'B'에 대한 동적 응답 특성 곡선으로부터 위의 상관 관계를 이용하여 파라미터를 추정하여, 상기

Table 2 Parameter values used in simulation

	C_p	R_s	R_p
Type 'A'	9.0E-11F	7.0E8Ω	1.0E8Ω
Type 'B'	1.0E-11F	8.0E8Ω	1.0E8Ω

식 (1), (2)에 대입하여 구한 주파수 응답을 Fig. 5의 (a)와 (b)에 나타내었다. 각각의 시뮬레이션에 사용된 값은 Table 2 와 같다.

한편 TFT 기판상의 결합을 비접촉으로 검사하기 위하여 PDLC 를 화소 전극의 위에 근접시켜서 화소 전극이 형성하는 전기장에 의한 PDLC 의 투과율 변화를 보기 위해 결합되어 있는 PDLC 와 TFT 의 등가 회로 Fig. 4(b)에서 입력 전압에 대한 PDLC 양단 P'Q'의 전압관계식을 상태 공간에서 나타내면 다음과 같다.

$$\begin{bmatrix} \dot{V}_b \\ \dot{V}_c \end{bmatrix} = \begin{bmatrix} -\frac{1}{R_s C_p} & -\frac{1}{R_p C_p} & -\frac{1}{R_s C_a} & \frac{1}{R_p C_p} \\ & -\frac{1}{R_s C_a} & & 0 \end{bmatrix} \begin{bmatrix} V_b \\ V_c \end{bmatrix} + \begin{bmatrix} \frac{1}{R_s C_p} + \frac{1}{R_s C_a} \\ \frac{1}{R_s C_a} \end{bmatrix} V_a + \begin{bmatrix} 1 \\ 1 \end{bmatrix} \dot{V}_p \quad (4)$$

여기에서 C_a 는 공기층의 정전 용량값을 의미하며 공기층의 유전상수 ϵ_0 가 $8.85 \times 10^{-12} F/m$ 이고, TFT 와 PDLC 사이에 $10\mu m$ 의 공기간극이 존재한다고 보면, $10 mm^2$ 크기의 PDLC 에 대하여 정전용량 값은 $7 \times 10^{-10} Farad$ 가 된다. 위의 식 (4)에서 화소 전극 전압이 일정하다고 가정할 경우 PDLC 의 입력 전압 V_a 와 양단의 전압차 V_b, V_c 와의 주파수 전달 함수는 다음과 같다.

$$T_V = \frac{R_p C_a s}{1 + (R_p C_p + R_p C_a + R_s C_a)s + R_p R_s C_a C_p s^2} \quad (5)$$

등가회로 Fig. 4(b)에서 전류와 전압사이의 주파수 응답 함수 즉, 주파수 영역에서의 임피던스는 다음과 같다.

$$T_z = \frac{1 + (R_p C_p + R_p C_a + R_s C_a)s + R_p R_s C_a C_p s^2}{C_a s + R_p C_a C_p s^2} \quad (6)$$

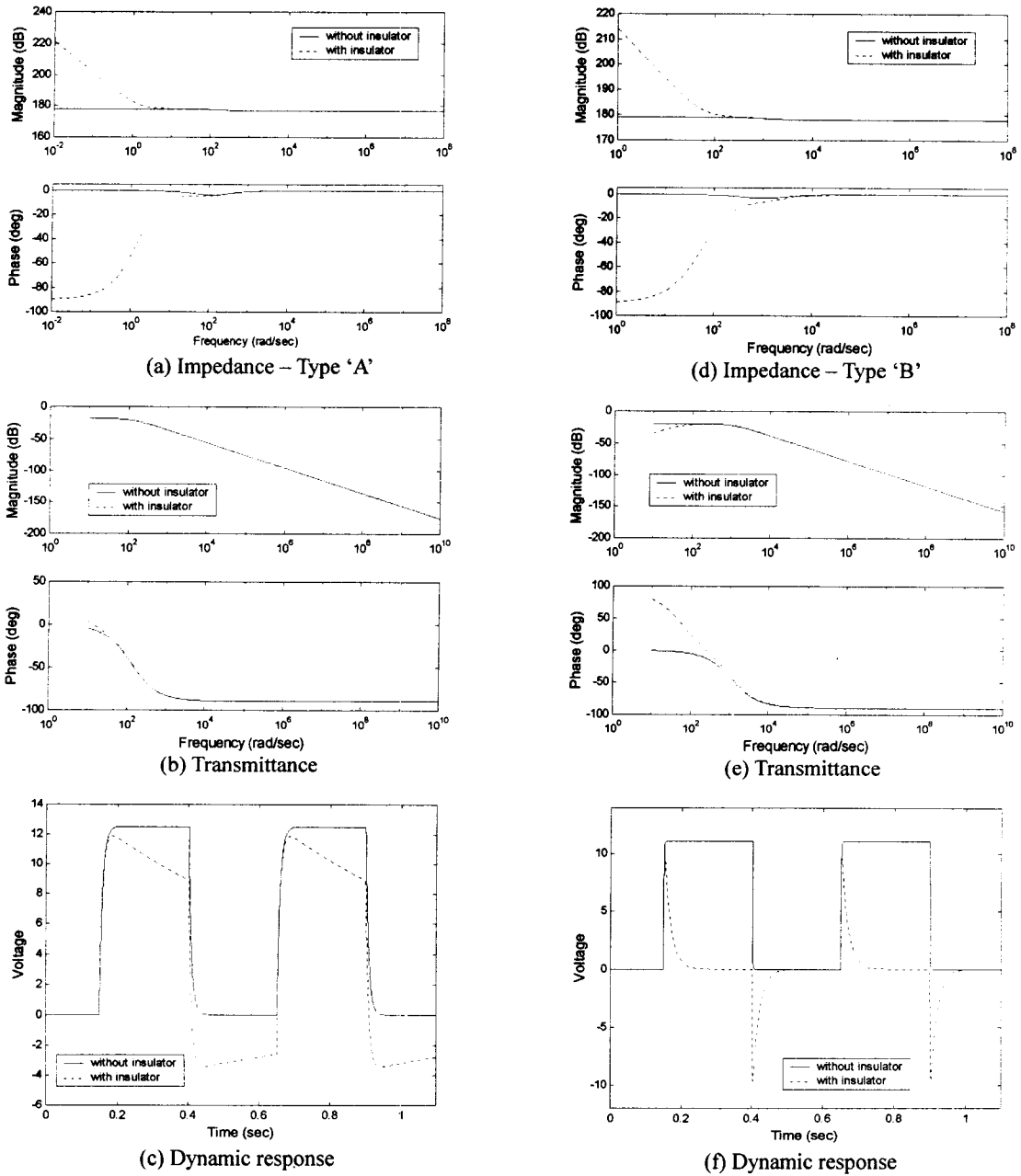


Fig. 6 Frequency and dynamic responses of the two PDLCs

앞서 Fig. 5 를 얻는데 사용한 값을 이용하여 Type A, B 에 대해 식 (5), (6)의 주파수 특성과 입력 사각 펄스에 대한 응답을 구하여 보면 Fig. 6 과 같다. 우선 Fig. 6(a), (b), (c)는 Type 'A'에 대한 시뮬레

이션 선도이고 (d), (e), (f)는 Type 'B'에 대한 선도이다. 시뮬레이션 결과는 앞서 얻어진 Fig. 4(a) 즉, TFT 패널이 존재하지 않는 경우와 비교되고 있다. 그림을 통해 알 수 있는 것처럼 TFT 패널이

없는 경우에 비해 TFT 패널과 접하고 있을 경우 PDLC 는 저주파수 대역에서 약 100 배 이상의 임피던스를 갖는 것을 알 수 있다. 또한 두 Type 모두 고주파수 대역에서는 절점 주파수와 선도 기울기가 유사하므로 충전에 관련된 특성에는 큰 차이가 없지만 저주파수 대역에서의 절점 주파수에 차이가 있기 때문에 하강에 관련된 특성은 큰 차이를 보이게 된다. 즉, 공기 간극으로 인하여 PDLC 양단의 전계는 순수하게 AC 장이 형성되며, 간극이 없는 경우에 비하여 공기 간극의 적은 정전 용량으로 인해 유지 시간이 많이 짧아짐을 예측할 수 있다. 그러나 사각 펄스에 대한 동특성 응답(c), (f)에서 볼 수 있는 것처럼 Type 'B'가 Type 'A'보다 더욱 적은 하강 특성으로 인해 유지 시간의 감소 현상이 더욱 큰 것을 알 수 있다.

또한 PDLC 가 화소 전극과 마주하고 있을 경우 Fig. 6(b), (e)의 저주파수 대역에서의 낮은 감도로 인해 결국 PDLC 양단의 적절한 전압 확보를 위해서 즉, PDLC 의 양단에 액정을 구동하기에 충분한 전계가 걸릴 수 있도록 하기 위하여는 고압의 바이어스 전압이 필요함을 알 수 있다. PDLC 와 TFT 기판 사이의 간극이 고려된 정적인 전압 분할 관계 식은 다음과 같다.

$$\Delta V(h) = \frac{C_a(h)}{C_a(h) + C_p} (V_a - V_p) \quad (7)$$

여기에서 $C_a(h) = \epsilon_0 \epsilon_r A / z$ 이고 ϵ_r 는 액정의 유전 상수를 나타낸다. 따라서 바이어스 전압 V_a 를 적절한 시점에서 인가 하면, 바이어스 전압과 화소 전압의 차가 식 (7)에 의해 배분된 만큼이 액정의 양단에 인가되어 액정을 구동한다. PDLC 가 구동되어 충분한 대조비를 갖는 이미지를 획득하기 위해서 PDLC 양단에는 구동에 충분한 전압이 걸려야 한다. 한 예로 식 (7)에서 공기층이 없는 경우 30 V에서 구동되지만, 10 μm 의 공기층이 있는 경우 약 250 V 가 인가될 때 PDLC 양단에 걸리는 전압이 30 V 정도가 됨을 알 수 있다.

4. PDLC 특성에 따른 전계 이미지 비교 분석

Fig. 7 에 AM-LCD 에 사용되는 TFT 기판 구조의 한 형태를 나타내었다. TFT 기판상의 단위 트랜지스터에서 소스부에 데이터 라인 전극이 연결

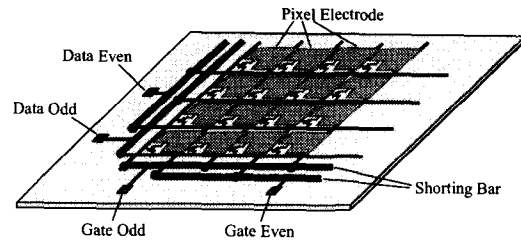


Fig. 7 Overall layout of the 2G2D shorting bar type TFT

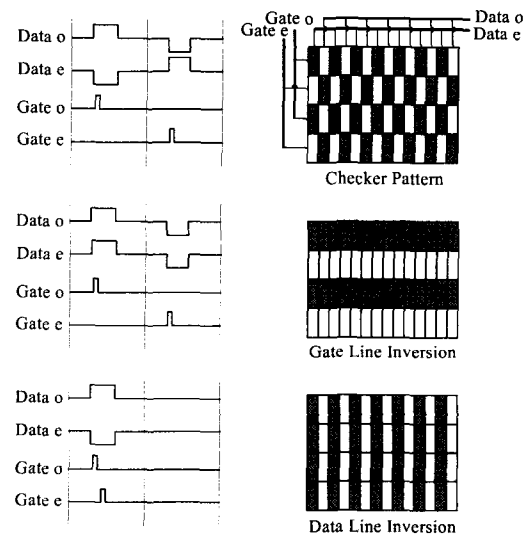


Fig. 8 Test signal pattern and charging states of TFT substrate

되고, 드레인(drain)부에는 투명도전체인 ITO 로 된 화소 전극이 연결된 구조로 되어 있다. 게이트 라인(gate line) 전극을 통해서 게이트부에 전압이 인가되면 데이터 라인 전극의 전압에 의해 ITO 가 충전되는 구조이다. ITO 의 충전시 데이터 라인(data line) 전압에 대한 공통 전극(Common)이 필요한데, TFT 기판상에 공통 전극을 형성하기도 하고, 혹은 인근의 게이트 라인 전극을 화소 전극층에 겹치게 배선하여 공통 전극으로 사용하기도 한다. TFT 기판상의 데이터 라인 전극과 게이트 라인 전극은 공정 초기 단계에서는 정전기에 의한 TFT 소자의 파손을 방지할 목적으로 끝 부분이 모두 연결된 구조로 되어 있다. 이것을 쇼팅바(Shorting Bar) 라고 하는데, Fig. 7 과 같이 데이터와 게이트 라인 전극 각각에 대하여 한 라인씩 건너뛰어 연결되어 있으면 2D2G (2 Data Line, 2 Gate Line) 방식

이라고 하며, 본 논문에서는 TFT 기판이 2D2G 방식으로 되어 있다고 가정한다. 이러한 쇼팅바는 후에 TFT 기판이 컬러 필터 기판과 합쳐진 후에 연마되어 제거되고, 각각의 라인 전극들이 분리되게 된다. 2D2G 방식의 쇼팅바를 이용하여 TFT 상의 전 화소를 충전하거나 (All Pixel Pattern), 데이터 라인 또는 게이트 라인의 한 줄 건너 한 줄씩 다른 전압을 충전하거나(Line Inversion Pattern), 혹은 바둑판 모양으로 (Checker Pattern) 화소 전극을 충전시키는 것이 가능하다. Fig. 8 에 각각을 위한 패턴 신호와 이에 해당하는 TFT 기판의 충전 상태를 보였다. TFT 기판의 결함 중에서 누설 결함은 화소 전극 영역과 라인 전극 사이의 절연불량 등의 원인으로 인하여 충전 직후에는 정상적 거동을 보이다가, 시간이 지남에 따라 충전량이 감소하는 현상으로 일정 시간이 지난 후에 전계를 측정하여야 알 수 있다. 일반적으로 상용 LCD에서는 30ms 마다 화면을 업데이트 하므로, 30ms 동안의 누설량으로 양부 여부를 판정할 수 있다.

Fig. 9 에 전계 이미지 측정을 위한 장치 셋업을 나타내었다. PDLC는 두께가 얇은 반투명의 상태이므로 TFT 기판과 근접한 경우 전계 이미지와 바닥의 이미지가 같이 올라오므로, 기판과 접하는 PDLC 쪽은 반사막으로 코팅하여 PDLC의 보호와

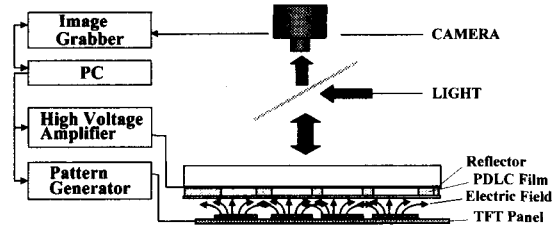


Fig. 9 System setup for grabbing the electric field image

함께 바닥이미지의 차단, 반사율의 증대를 통한 대조비의 향상을 도모한다. 이 반사막은 TiO_2 와 SiO_2 와 같은 굴절률이 다른 강 유전체를 광원의 파장의 1/4 의 두께로 교대로 증착하여 선택된 파장성분에 대하여 90 %이상의 반사율을 갖도록 한다. 카메라는 고감도의 것을 사용하여 노출 시간을 짧게 하고, 패턴 인가 시점과 동기를 맞추어 촬영한다. 'Gate Line Inversion' 패턴 구동 신호에 대하여 실제 판넬에 대하여 포착한 전계 이미지를 구동 패턴 신호와 함께 Fig. 10 에 그리고 TFT 판넬을 PDLC 없이 직접 촬영한 이미지를 Fig. 11 에 표시하였다.

만약 PDLC 가 충분한 유지 시간을 가진다면 PDLC 에 바이어스 전압을 인가하는 시점이 충전 시점 이전이라도 수 ms 이후에 이미지를 획득하

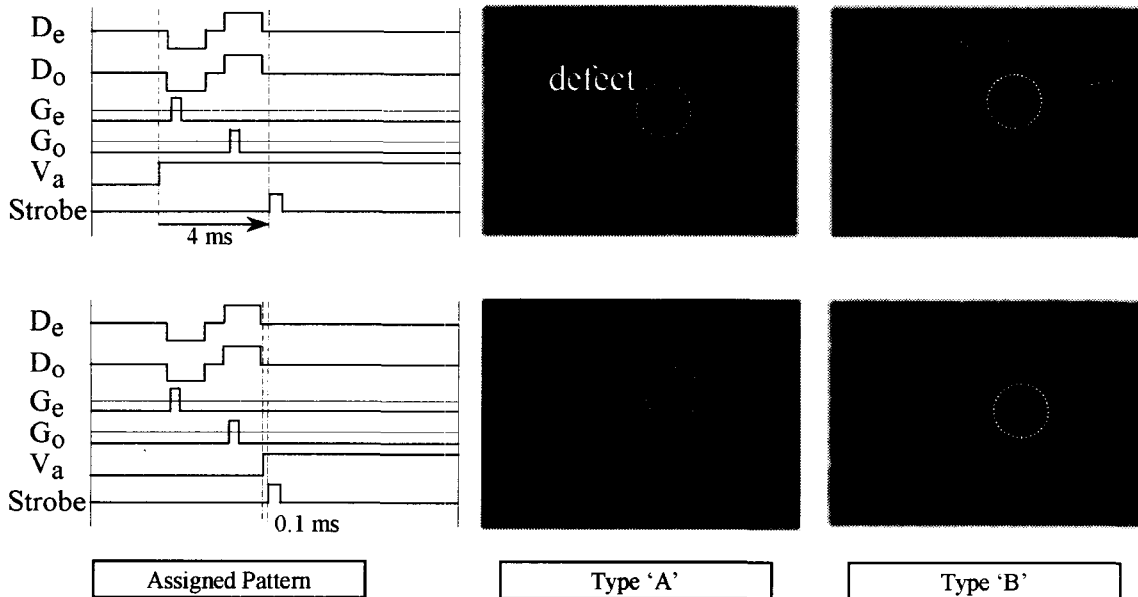


Fig. 10 Gate line inversion signal pattern and electric field image of the TFT substrate

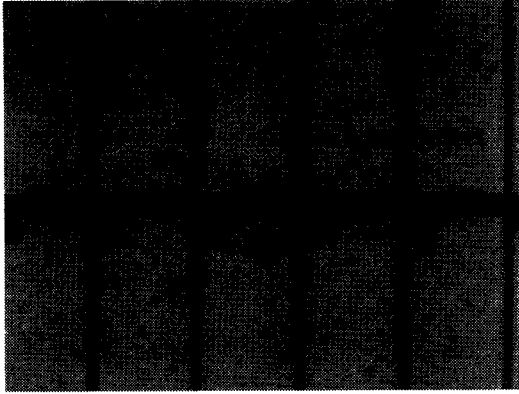


Fig. 11 Line defect review image

는 시점에서 PDLC 에 화소 전극의 전계가 반영이 되고 있을 수 있다. 그렇지 않으면 바이어스 전압을 인가하는 시점을 바꾸어야 한다. 즉 PDLC 의 이미지는 순수한 화소 전극의 전계 이미지와 PDLC 의 동적 특성에 따른 유지 시간의 변화에 따른 투과율의 변화도 함께 반영되는 것이다. 제 2, 3 장에서 설명한 두 가지의 다른 특성을 갖는 PDLC 를 이용하여 TFT 기판에 신호를 인가하여 형성된 전계의 이미지를 보고자 함에 있어, TFT 구동 신호가 동일하게 인가되는 경우, PDLC 의 바이어스 전압의 인가시점이 달라야 함은 명백하다. 단, 바이어스 신호 인가 시점에 따라서 실제 이미지 상의 변화가 없어야 한다. 앞서 언급한 것처럼 Fig. 10 에 TFT 에 인가하는 신호 패턴과 바이어스 신호 인가 시점 및 이에 따른 이미지의 차이를 나타내었다. 즉 Type 'A'의 경우 바이어스 인가 시점이 달라도 비교적 긴 전계 유지 시간으로 인해 이미지 획득시점에서의 이미지는 크게 달라지지 않음을 알 수 있지만 이미지 획득 시간이 바이어스 인가 시점 바로 이후일 경우에는 상대적으로 긴 상승 시간 때문에 이미지의 대조비가 상당히 절감되는 것을 알 수 있다. 또한 Type 'B'는 앞의 예에서 보였듯이 상승 시간과 유지 시간이 짧으므로 바이어스 신호 인가 시점과 이미지 획득 시점이 거의 동일할 경우에는 비교적 선명한 패턴 영상을 얻는 것이 가능하지만 바이어스 인가 시점으로부터 약 4ms 가 지난 후에 이미지를 획득하면 영상의 대조비가 현저히 감소한다. 이때 두 경우 모두 바이어스 인가 시점이 PDLC 의 전계 유지 시간 이내에 있어야 함은 자명하다. PDLC 의 유지 시간

은 식(1), (4)에서와 같이 C 값에 의해 결정되고 이것은 다시 식 (6)과 같이 공기와 PDLC 의 간극에 의해 변하게 된다. 따라서 충분히 큰 유지 시간을 갖는 PDLC 가 아닐 경우 바이어스 신호 인가 시점과 이미지 획득 시점을 적절히 고려하지 않으면 제대로 된 이미지를 얻을 수 없다. 위의 두 모듈레이터에 대한 실험으로부터 얻은 결과는 Fig. 11 의 카메라 이미지에서처럼 Line Open 결함을 모두 정확하게 예측하는 것을 알 수 있다. 결론적으로 PDLC 를 이용하여 전계 이미지를 얻고자 할 경우, 사용하는 PDLC 의 동특성에 따라 최적의 바이어스 신호 인가 시점과 이미지 획득 시점을 선택하여야 큰 대조비를 갖는 이미지를 얻는 것이 가능하므로 본 논문에서 서술되어있는 것처럼 사용하는 PDLC 의 다양한 동특성 해석 작업은 필수적임을 알 수 있다.

5. 결론

TFT 기판의 픽셀 배열 검사를 하는 검사 시스템 구성을 위하여 PDLC 에 기반한 전계 광학 변환기를 제작하였고, PDLC 및 이와 정전용량 결합되는 화소 전극과의 관계를 등가 회로로 모델링하여 전계 이미징에 있어서 PDLC 의 동특성이 미치는 효과를 조사하였다. 제작된 PDLC 의 동특성 실험으로부터, 대조비가 상대적으로 큰 전계 이미지 획득을 위한 적합한 구동 시점을 예측하고 설정하는 것이 가능함을 보였고, 두 종류의 서로 다른 PDLC 를 사용하여 획득한 전계 이미지를 비교하였다.

획득한 전계 이미지 분석 결과 바이어스 구동 신호 인가 시점에서 이미지 획득 시점까지가 PDLC 의 유지시간 이내이면, 바이어스 전압의 인가 시점의 영향은 작음을 알 수 있었다. 이것은 결국 PDLC 의 유지시간이 짧은 경우에 구동 신호 인가 시점이 중요함을 의미한다. 또한 저 대조비와 짧은 유지시간을 갖는 PDLC 에 대해서는 동특성 분석에 따른 적절한 구동 신호 인가 시점의 선택에 의해 향상된 대조비를 갖는 전계 이미지를 얻는 것이 가능함을 의미한다. 따라서 최적의 전계 이미지를 얻기 위해, 이용하는 PDLC 의 동특성 분석 작업이 반드시 선행되어야 한다.

PDLC 를 이용한 전계 이미징이 TFT-LCD 의 생산 초기에 많은 기여를 한 것은 사실이나, 판별

의 대형화에 따라서 생산성을 높이는데 있어 한계에 부딪히고 있다. 따라서 더 빠른 TFT의 진계를 평가하는 방법이 개발되어야 할 것이다. 또한 PDLC 방식도 PDLC의 제조에 있어 특성의 제어가 어렵고, PDLC를 이용한 모듈레이터의 제조에서 아직 수율이 낮아 가격이 고가이므로 이를 극복하기 위한 방법이 강구되어야 한다.

참고문헌

1. Henley, F. J., "Flat Panel In-Process Test, Repair and Inspection: An Overview," SID Digest, pp. 623-627, 1992.
2. Drzaic, P. S., "Liquid Crystal Dispersions," World Scientific, pp. 183-338, 1995.
3. Kido, T., Kishi, N. and Takahashi, H., "Optical Charge-Sensing Method for Testing and Characterizing Thin-Film Transistor Arrays," IEEE J. of Selected Topics in Quantum Electronics, Vol. 1, No. 4, pp. 993-1001, 1995.
4. Wisnieff, R., Jenkis, L., Polastre, R. and Troutman, R., "In-process testing of thin-film transistor arrays," SID Int. Symp. Dig. Tech. Papers, pp. 190-193, 1990.
5. Henley, F. J., "Capacitance Imaging System Using Electro-Optics," U.S. Patent No. 5,170,127, 1992.
6. Liu, Y. M., Henley, F. J., Miller, M. and Salerno, J., "Voltage Imaging™ for L-Contact Panel Testing," SPIE Proceedings, Vol. 2651, pp. 126-129, 1996.
7. Brunner, M., Schmid, R., Schmitt, R. and Winkler, D., "In-Process Flat Panel Display Testing with Electron Beams," SID Digest, pp. 755-758, 1994.
8. Dax, M., "Non-Contact Electrical Testing Increases Display Yields," Semiconductor International, pp. 80, October, 1996.
9. Fergason, J. L., "Microencapsulated Liquid Crystal and a Method and System for Using Same," U.S. Patent No. 6,204,900, 2001.
10. Welsh, L., White, L., "NCAP Displays: Optical Switching and Dielectric Properties," SID Digest, pp. 220-223, 1990.