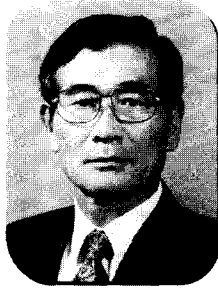


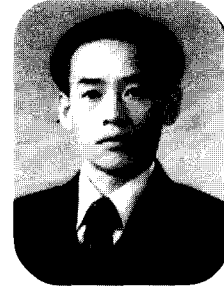
High-k 게이트 유전재료의 기술 동향



· 손영훈 ·
중앙대
전자전기공학부 석사과정



· 장의구 ·
중앙대
전자전기공학부 교수



· 이철인 ·
안산공과대학
전기과 교수

1. 서론

수십년간 SiO₂를 게이트 유전체로 사용한 CMOS 기술은 SiO₂의 우수한 특성에 힘입어 발전을 거듭해 왔다. SiO₂는 열역학적 안정성, Si와의 우수한 계면 특성, 전기적 절연 능력 등을 지니고 있어 게이트 유전체로서의 독보적인 위치를 차지해 왔다. 그러나 0.1 μ m 이하의 CMOS 공정에서 SiO₂는 게이트 유전체로서의 한계에 다다르게 되었다.

회로의 집적화를 위한 트랜지스터의 채널 길이와 유전층의 두께 축소는 여러 가지 문제점을 안고 있다. 최근의 연구 결과에 의하면 SiO₂의 두께가 수십 Å 이하로 축소될 경우 터널링 현상에 의한 누설 전류로 인해 트랜지스터의 구동 전류에 이득이 없어서 그 기능을 상실하게 된다[1-3]. 또한 20Å 이하의 SiO₂ 두께에서는 어닐링 과정을 통해 다결정 실리콘 으로부터 채널 영역으로 boron이 침투하여 threshold 전압의 변화를 초래하게 된다[4].

채널 길이의 축소와 게이트 유전층의 커패시턴스 증가는 소자의 특성을 향상시키는 관점에서 볼 때 반드시 필요하다. 왜냐하면, 채널 길이가 감소하거나 게이트 유전층의 커패시턴스가 증가하면 드레인 전류가 증가하게 되며, 결과적으로 소자의 스위칭

시간이 단축될 수 있기 때문이다. 물론, 게이트 유전층의 두께를 축소함으로써 커패시턴스를 증가시킬 수도 있다. 그러나 앞에서 언급한 문제점 들을 고려할 때 고유전율의 유전체로 대체하는 것이 더 이상적인 방향이라 할 수 있다.

고유전 게이트 유전체를 선정할 때 고려해야 할 특성은 열적 안정성, 결정 상태, 비유전율, 전자 구조, 내부의 결함 등이다. 이러한 특성을 모두 만족한다고 보고 된 물질은 아직 없지만 이들에 대한 활발한 연구가 진행 중이다. 본 논문에서는 게이트 유전체로서 유력한 물질들의 특성을 비교하고 그 현황에 대해 논의하기로 한다.

2. Tantalum Pentoxide (Ta₂O₅)

Ta₂O₅(k=25)는 1980년대 초반부터 박막 형성에 관한 연구가 이루어져 왔다. Ta₂O₅를 게이트의 대체 유전체로 사용될 경우 몇 가지 문제점이 있다. 첫째로, Ta₂O₅가 Si위에 곧바로 증착될 경우 Si와의 계면에 SiO₂가 성장하는 것이다. 이 경우 계면에 성장한 SiO₂에 의하여 등가 산화막 두께가 증가하게 된다. 이러한 현상을 방지하기 위하여 Ta₂O₅와 Si 기판 사이에 계면층을 형성하는 방법이 있다. Momiyama 등

은 Si위에 SiO₂를 2nm 두께로 성장시킨 후 Ta₂O₅를 증착하였다[5]. 그 다음 질소 분위기에서 800°C에서 30분간 어닐링 하였다. 이렇게 형성된 확산 방지막은 Si 기판으로 산소가 도달하여 추가로 SiO₂가 형성되는 것을 방지하였다. 또한 다결정 실리콘 대신 TiN이 게이트 전극으로 사용되었으며 이때의 누설 전류는 같은 두께의 SiO₂를 게이트 유전체로 사용한 경우와 같았다. 이 과정을 그림 1에 나타내었다. Kizilyalli 등은 1.5nm SiO₂/3.0-7.5nm Ta₂O₅/0.5nm SiO₂의 적층 구조로 게이트 유전체층을 형성하였다[6, 7]. 이 구조의 유전체는 20-35nm의 SiO₂와 전기적으로 등가인 특성을 보였다. Luan 등은 800°C에서 20초간 NO로 RTP를 하여 Si 기판에 계면층을 형성하고 CVD로 Ta₂O₅를 증착하여 등가 산화막 두께가 2.3nm인 유전층을 형성하였다[8]. 이 경우 SiO₂를 계면층으로 사용한 유전층에 비해 누설 전류가 1000배 감소되었다. NH₃ 분위기에서 800°C에서 30초간 RTP 과정을 거쳐 계면층을 형성하는 경우도 보고된 바 있다[9]. Ta₂O₅ 아래에 SiO₂가 성장하는 경우 이것은 큰 계면 포획을 형성한다. 위에서 언급한 SiO₂/Ta₂O₅/SiO₂ 적층 구조의 유전체를 사용한 경우 SiO₂를 유전체로 사용한 MOSFET과 비슷한 수준의 계면 포획 밀도를 보였다.

Ta₂O₅를 게이트 유전체로 사용하는 경우에 발생하는 두 번째 문제점은 열처리 과정에서 Ta₂O₅가 상부의 다결정 실리콘과 화학 반응을 일으켜 실리사이드를 형성하지 못하도록 하는 방지막이 필요하다는 것이다. 도전성을 지닌 TiN, WN, 또는 PGM 등을 DRAM의 상부 전극으로 사용하면 되지만, 이러한 금속 게이트 전극은 threshold 전압을 증가시키는 원인이 된다.

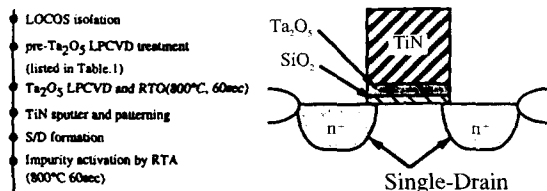


그림 1. Ta₂O₅/SiO₂ 게이트 유전체 nMOSFET의 공정 순서와 단면 모식도.

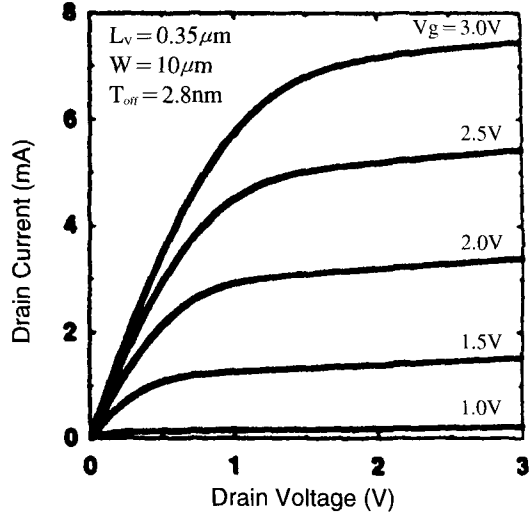


그림 2. Ta₂O₅/SiO₂ 게이트 유전체 nMOSFET의 I_d-V_d 특성.

3. Aluminum Oxide (Al₂O₃)

Aluminum은 안정된 상태의 Al₂O₃를 형성하며 이것은 고유전 계이트 유전체로서 연구되어 왔다. Al₂O₃의 비유전율은 9이지만 유효 비유전율은 이보다 다소 낮은 5.5-6.0이다. 이것은 Al₂O₃가 증착될 때에 Si 기판과의 계면에 형성되는 SiO₂ 층 때문이며, 등가 산화막 두께를 증가시키는 원인이 된다. 그러나 동시에 이러한 계면층은 계면 상태 밀도 누설 전류를 감소시키는 역할도 한다.

또한 Al₂O₃는 Si와의 접합면에서의 열적 안정성과 큰 에너지 갭 (~8.3eV)을 가지며, 장벽 물질 없이도 다결정 실리콘과의 우수한 정합성을 나타내는 장점이 있다.

최근의 연구 결과에 따르면 Al₂O₃를 게이트 유전체로 사용한 CMOS 소자의 개발이 이루어지고 있다 [10, 11]. Al₂O₃층은 trimethyl-aluminum(TAM)과 ozone을 전구물질로 사용하여 atomic layer deposition (ALD)로 450°C에서 증착된다. 그 다음 다결정 실리콘이 증착되고 패턴이 형성된 다음 junction implant가 이루어지고 rapid thermal anneal(RTA)이 1000°C에서 행해졌다. Al₂O₃가 게이트 유전체로 사용된 MOS 커패시터의 누설전류는 등가 산화막 두께의 SiO₂를

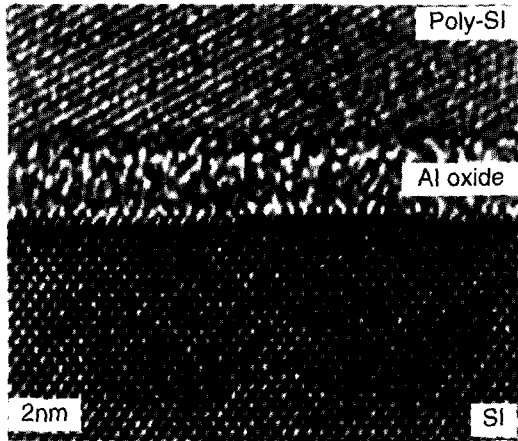


그림 3. 다결정 Si/Al₂O₃/Si의 high-resolution transmission electron micrograph(HRTEM).

사용한 MOS 커패시터에 비해 2-3배 큰 값을 가졌다.

Al₂O₃를 게이트 유전체로 사용한 MOSFET의 가장 큰 문제점은 Al₂O₃에 의한 전자 포획 때문에 SiO₂를 사용한 MOSFET에 비해 캐리어의 이동도가 작다는 것이다.

4. Zirconium Oxide (ZrO₂)

ZrO₂는 SiO₂를 대체할 가장 유망한 게이트 유전물질 중 하나로 여겨진다. ZrO₂는 20-25의 비유전율을 가지며 Si와의 계면에서 열역학적으로 안정적이다 [12]. 또한 약 5.1eV의 밴드 갭을 가지며 Si와의 격자 부정합이 2.1%로 매우 작다. Ar과 O₂ 분위기에서 스퍼터링 한 ZrO₂는 낮은 유효 산화막 두께를 가졌으며, 낮은 누설전류 특성과 우수한 신뢰성을 보였다 [13, 14]. ZrO₂를 형성하는 또다른 방법은 Zr을 스퍼터링 한 다음 RTP를 행하는 것이다. ZrO₂에 Al을 도핑함으로써 균일한 비정질 막을 형성할 수 있지만 비유전율이 다소 작아지는 단점이 있다.[14] ZrO₂ 막은 ZrCl₄와 H₂O를 전구물질로 사용한 ALD로도 증착이 가능하다[15, 16].

ZrO₂막은 비정질이며, Si/ZrO₂ 계면에 매우 얇은(9 Å) 실리케이트 층이 형성된다. ZrO₂의 증착 후 산소나 불활성 기체 분위기로 400-500°C에서 열처리 과정을 거치면 누설전류를 감소시킬 수 있다. 높은 온

도에서 열처리를 거치면, 이 층은 화학량론적으로 좀 더 SiO₂에 가까운 층으로 성장하고 변화한다. 낮은 압력의 산소 분위기에서 400-600°C로 열처리 한 경우에도 ZrO₂/Si 계면에 상당량의 SiO₂가 형성된다. 높은 온도(≤1000°C)의 공정에서는 Si 기판 또는 다결정 실리콘 게이트와의 반응도 일어난다.

Al이 도핑된 지르코늄 실리케이트(Zr-Al-Si-O) 또한 유망한 고유전 게이트 유전체로서 연구되어 왔

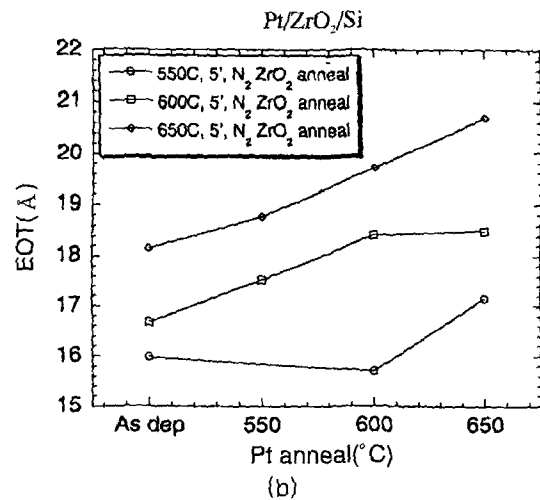
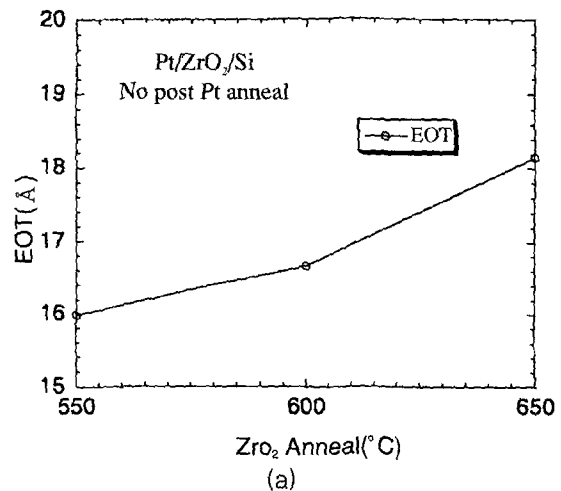


그림 4. 열처리 온도에 따른 등가 산화막 두께의 변화, (a) ZrO₂ 열처리 후, (b) Pt 열처리 후, 온도가 증가할 수록 계면층과 등가 산화막 두께가 증가한다.

다. 일반적인 ZrO_2 은 어닐링 과정 후 확산된 산소에 의해 Si 기판에서 SiO_2 를 형성한다. 이것은 Al을 ZrO_2 에 도핑함으로써 개선할 수 있다. Dance의 연구에서는 yttria-stabilized ZrO_2 (YSZ)가 MOSFET의 고유전 게이트 유전체로 사용되었다.[17] YSZ는 pulsed laser ablation에 의해 SiO_2 계면층을 형성하지 않고 Si 기판 위에 에피택시 성장이 가능한 장점을 지니고 있다.

5. Hafnium Oxide (HfO_2)

HfO_2 는 MOSFET 소자의 고유전 게이트 유전체로서 연구되어 왔다. Kang 등은 n+ 다결정 실리콘 게이트의 형성과 특성에 대해 연구한 바 있다[18, 19]. HfO_2 의 비유전율은 24-40이고 Si와의 계면에서 열적으로 안정적이며 에너지 갭은 5.65eV이다. 또한 HfO_2 는 높은 밀도($9.68g/cm^3$) 때문에 불순물의 확산에 대하여 강한 저항성을 가지고 있으며 Si와의 계면에서 잘 혼합되지 않는 특성을 가지고 있다[20].

HfO_2 는 reactive sputtering(PVD)이나 in situ RTCVD에 의해서 증착되어진다. Kang 등의 연구에서는 최적화된 다결정 실리콘의 증착 공정과 일련의 어닐링 과정을 통하여 12Å의 등가 산화막 두께(실제 두께는 38Å)를 갖는 HfO_2 의 MOS 커패시터가 형성되었다. 다결정 실리콘의 증착이 600°C 이하에서 이루어지고 1000°C에서 RTA를 거침으로써 HfO_2 와 다결

정 실리콘 게이트 사이에 계면층이 형성되지 않았다. 그러나 HfO_2 의 증착 과정에서 Si 기판과의 사이에 계면층이 형성되었다. 또한 RTA 과정에서 HfO_2 의 결정화가 나타나기도 했다. 최근의 연구결과에 의하면 HfO_2 는 ZrO_2 보다 열적으로 안정적이며, HfO_2 를 게이트 유전체로 사용한 MOSFET은 ZrO_2 를 사용한 경우보다 좋은 특성을 나타낸다[21, 22].

HfO_2 를 사용한 MOS 커패시터는 등가 산화막 두께의 SiO_2 를 사용한 MOS 커패시터에 비해 4배 정도 낮은 누설전류 특성을 보이나, 다른 고유전 물질과 마찬가지로 전자를 포획하여 MOSFET 채널에서의 캐리어 이동도를 저하시킨다. Lee 등에 의하면 다결정 실리콘 대신 TaN을 게이트 전극으로 사용할 경우 등가 산화막 두께를 10Å 이하로 줄일 수 있다[23]. 이것은 TaN 게이트 전극을 사용함으로써 다결정 실리콘의 공핍 효과를 피할 수 있기 때문이다.

$HfSiON$ 또한 고유전 게이트 유전체로 사용될 수 있다. 이것은 비정질 물질로서 등가 산화막 두께의 SiO_2 에 비해 낮은 누설전류 특성을 가지며, 등가 산화막 두께가 13Å 이하인 $HfSiON$ 막은 좋은 신뢰도와 우수한 특성을 보인다.

6. Praseodymium Oxide (Pr_2O_3)

Osten 등에 의하여 Pr_2O_3 가 고유전 게이트 유전체로 연구되어 왔다[24]. Pr_2O_3 를 유전체로 사용한 MOS 커패시터의 가장 큰 장점은 매우 낮은 누설전류 특성을 갖는다는 것이다. 1V의 전압에서 $5nA/cm^2$ 의 누설전류 특성을 갖는 Pr_2O_3 의 등가 산화막 두께는 14Å이었다. 이것은 다른 고유전 물질의 연구 결과 중 가장 낮은 값에 비해 4배 정도 낮은 수치이다. 이 Pr_2O_3 막의 유효 비유전율은 31이며, C-V 측정에서 심각한 이력 특성을 보이지 않았다. 또한, 전기로에서 600°C로 어닐링 하는 간단한 공정을 통해 형성되었으며, 1000°C에서 15초 동안 RTA를 하는 동안에도 열화현상이 일어나지 않았다.

Pr_2O_3 층은 다결정이다. 일반적으로 MOS 커패시터의 유전층은 비정질이며, 만약 그 구조가 다결정화될 경우 누설 전류가 증가한다. 고온의 열처리는 유전층을 결정화시키며 누설 전류를 유발한다. 그러나

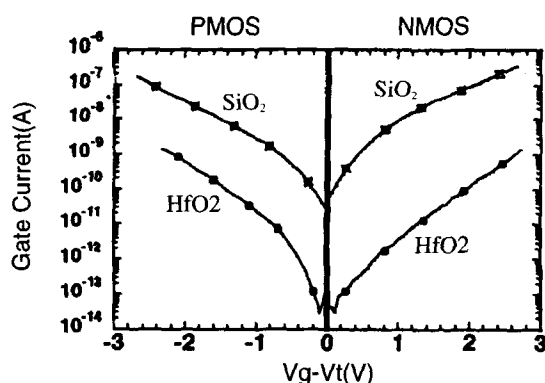


그림 5. nMOSFET과 pMOSFET에서의 HfO_2 와 SiO_2 의 I-V 특성 비교(W/L=10 μ m/80nm).

Pr₂O₃의 경우 이러한 현상이 일어나지 않는다. 그러나 다결정 실리콘을 Pr₂O₃ 위에 증착하는 경우 계면이 거칠어지는 단점이 있다. 위의 실험에서는 웨도우 마스크를 사용하여 증기 증착된 금을 상부 전극으로 사용하였다. 625°C와 720°C에서 molecular beam epitaxy(MBE)를 통해 0.1 Å의 성장률로 Pr₂O₃층을 증착시킨 후 질소 분위기에서 600°C로 5분간 어닐링을 하였다. 질소 분위기에서 1000°C/15초의 RTA를 거친 Pr₂O₃층은 구조나 전기적 특성의 변화를 보이지 않았다.

7. 결론

게이트 유전체로서 SiO₂를 대체하기 위한 물질은 아직 후보를 선정하는 단계에 머물고 있으며, 여러 물질들의 특성이 논의 중에 있다. 이러한 물질들이 가져야 할 특성은 높은 유전율과 전도대 장벽, 실리콘 계면에서의 높은 안정성, 낮은 누설전류 특성, 기존 공정과의 정합성, 높은 신뢰성 등이다. 이러한 요구 사항에 가장 부합하는 물질을 선택하는 것은 매우 시급하고 중요하다. 그러나 주목해야 할 것은 아무리 우수한 물질을 게이트 유전체로 사용하더라도 근본적인 제한 요소가 존재한다는 것이다. 즉, 다결정 실리콘 전극이나 실리콘 기판과의 계면에 의해 등가 산화막 두께가 증가되며, 이러한 증가 요소를 포함하면 10 Å 이하의 등가 산화막 두께를 갖는 게이트 유전체는 사실상 존재하기 힘들다는 것이다. 따라서 우수한 대체 유전 물질의 개발과 동시에 게이트 구조의 변화를 함께 고려해야 할 것이다.

참고 문헌

- [1] G. Timp, A. Agarwal, F. H. Baumann, T. Boone, M. Buonanno, R. Cirelli, V. Donnelly, M. Foad, D. Grant, M. Green, H. Gossmann, S. Hillenius, J. Jackson, D. Jacobson, R. Kleiman, A. Komblit, F. Klemens, J. T-C. Lee, W. Mansfield, and S. Moccio, "Low leakage, ultra-thin gate oxides for extremely high performance sub-100 nm nMOSFETs", IEDM, p. 930, 1997.
- [2] G. Timp, K. K. Bourdelle, J. E. Bower, F. H. Baumann, T. Boone, R. Cirelli, K. Evans-Lutterodt, J. Garino, A. Ghetti, H. Gossmann, M. Green, D. Jacobson, Y. Kim, R. Kleiman, F. Klemens, A. Kornlit, C. Lochstampfor, W. Mansfield, and S. Moccio, "Progress toward 10nm CMOS devices", IEDM, p. 615, 1998.
- [3] G. Timp, J. Bude, K. K. Bourdelle, J. Garino, A. Ghetti, H. Gossmann, M. Green, G. Forsyth, Y. Kim, R. Kleimann, F. Klemens, A. Kornblit, C. Lochstampfor, W. Mansfield, S. Moccio, T. Sorsch, D. M. Tennant, W. Timp, and R. Tung, "The ballistic nano-transistor", IEDM, p. 55, 1999.
- [4] M. Cao, P. V. Voorde, M. Cox, and W. Greene, "Boron diffusion and penetration in ultrathin oxide with poly-Si gate", IEEE Elec. Dev. Lett., Vol. 19, p. 291, 1998.
- [5] Y. Momiyama, H. Minakata, and T. Sugii, "Ultra-thin Ta₂O₅/SiO₂/gate insulator with TiN gate technology for 0.1 μm MOSFETs", Dig. Symp. VLSI Tech., p. 135, 1997.
- [6] I. C. Kizilyalli, P. K. Roy, F. Baumann, R. Y. Huang, C. Chacon, R. Irwin, Y. Ma, and G. Alers, "Stacked gate dielectrics with TaO for future CMOS technologies", Dig. Symp. VLSI Tech., p. 216, 1998.
- [7] I. C. Kizilyalli, R. C. Huang, and P. K. Roy, "MOS transistors with stacked SiO₂-Ta₂O₅-SiO₂ gate dielectrics for giga-scale integration of CMOS technologies", IEEE Elec. Dev. Lett., Vol. 19, p. 423, 1998.
- [8] H. F. Luan, B. Z. Wu, L. Kang, B. Y. Kim, R. Vrtis, D. Roberts, and D. L. Kwong, "Ultra thin high quality Ta₂O₅ gate dielectric prepared by in-situ rapid thermal processing", IEDM, p. 609, 1998.
- [9] D. Park, L. Qiang, T. J. King, C. Hu, A. Kalnitsky, S. P. Tay, and C. C. Cheng, "SiON/Ta₂O₅/SiO₂ gate-stack transistor with 1.8-nm equivalent SiO₂ thickness", IEDM, p. 381, 1998.
- [10] D. A. Buchanan, E. P. Gusev, E. Cartier, H.

- Okorn-Schmidt, K. Rim, M. A. Gribelyuk, A. Mocuta, A. Ajmera, M. Copel, S. Guha, N. Bojarczuk, A. Callegari, C. D'Emic, P. Kozlowski, K. Chan, R. J. Fleming, P. C. Jamison, I. Brown, and R. Arndt, "80nm polysilicon gated n-FETs with ultrathin Al₂O₃ gate dielectric for ULSI applications", IEDM, p. 223, 2000.
- [11] J. H. Lee, K. Koh, N. I. Lee, M. H. Cho, Y. K. Ki, J. S. Jeon, K. H. Cho, H. S. Shin, M. H. Kim, K. Fujihara, H. K. Kang, and J. T. Moon, "Effect of polysilicon gate on the flatband voltage shift and mobility degradation for ALD-Al₂O₃ gate dielectric", IEDM, p. 645, 2000.
- [12] K. J. Hubbard and D. G. Schlom, "Thermodynamic stability of binary oxides in contact with silicon", J. Mater. Res., Vol. 11, p. 2757, 1996.
- [13] W. J. Qi, R. Nieh, B. H. Lee, L. G. Kang, Y. J. Jeon, K. Onishi, T. Ngai, S. Banerjee, and J. C. Lee, "MOSCAP and MOSFET characteristics using ZrO₂ gate dielectric deposited directly on Si", IEDM, p. 145, 1999.
- [14] Y. Ma, Y. Ono, L. Stecker, D. R. Evans, and S. T. Hsu, "Zirconium oxide based gate dielectrics with equivalent oxide thickness of less than 1.0nm and performance of submicron MOSFET using a nitride gate replacement process", IEDM, p. 149, 1999.
- [15] L. Manchanda, M. L. Green, R. B. van Dover, M. D. Morris, A. Kerber, Y. Hu, J. P. Han, P. J. Silverman, T. W. Sorsch, G. Weber, V. Donnelly, K. Pelhos, F. Klemens, N. A. Ciampa, A. Kornblit, Y. O. Kim, J. E. Bower, D. Barr, E. Ferry, D. Jacobson, J. Eng, B. Busch, and H. Schulte, "Si-doped aluminates for high temperature metal-gate CMOS: Zr-Al-Si-O, a novel gate dielectric for low power applications", IEDM, p. 23, 2000.
- [16] C. H. Lee, H. F. Luan, W. P. Bai, S. J. Lee, T. S. Jeon, Y. Senzaki, D. Roberts, and D. L. Kwong, "MOS characteristics of ultra thin rapid thermal CVD ZrO₂ and Zr silicate gate dielectrics", IEDM, p. 27, 2000.
- [17] B. Dance, "Alternative Gate Dielectric Material Shows Promise", Semiconductor International, p. 58, May 2001.
- [18] L. Kang, Y. Jeon, K. Onishi, B. H. Lee, W. J. Qi, R. Nieh, S. Gopalan, and J. C. Lee, "Single-layer thin HfO₂ gate dielectric with n+-polysilicon gate", Dig. Symp. VLSI Tech., p. 44, 2000.
- [19] L. Kang, K. Onishi, Y. Jeon, B. H. Lee, C. Kang, W. J. Qi, R. Nieh, S. Gopalan, R. Choi, and J. C. Lee, "MOSFET devices with polysilicon on single-layer HfO₂ high-K dielectrics", IEDM, p. 35, 2000.
- [20] B. H. Lee, L. Kang, W. J. Qi, R. Nieh, Y. Jeon, K. Onishi, and J. C. Lee, "Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application", IEDM, p. 133, 1999.
- [21] E. P. Gusev, D. A. Buchanan, E. Cartier, A. Kumar, D. DiMaria, S. Guha, A. Callegari, S. Zafar, P. C. Jamison, D. A. Neumayer, M. Copel, M. A. Gribelyuk, H. Okorn-Schmidt, C. D'Emic, P. Kozlowski, K. Chan, N. Bojarczuk, L. A. Ragnarsson, L-A. Ragnarsson, P. Ronsheim, K. Rim, R. J. Fleming, A. Mocuta, and A. Ajmera, "Ultrathin high-k gate stacks for advanced CMOS devices", IEDM, p. 451, 2001.
- [22] C. Hobbs, H. Tseng, K. Reid, B. Taylor, L. Dip, L. Hebert, R. Garcia, R. Hegde, J. Grant, D. Gilmer, A. Franke, V. Dhandapani, M. Azrak, L. Prabhu, R. Rai, S. Bagchi, J. Conner, S. Backer, F. Dumbuya, B. Nguyen, and P. Tobin, "80 nm poly-Si gate CMOS with HfO₂ gate dielectric", IEDM, p. 651, 2001.
- [23] B. H. Lee, R. Choi, L. Kang, S. Gopalan, R. Nieh, K. Onishi, Y. Jeon, W. J. Qi, C. Kang, and J. C. Lee, "Characteristics of TaN gate MOSFET with ultrathin hafnium oxide(8-12)", IEDM, p. 39, 2000.
- [24] H. J. Osten, J. P. Liu, P. Gaworzewski, E. Bugiel,

and P. Zaumseil, "High-k gate dielectrics with ultra-low leakage current based on praseodymium oxide", IEDM, p. 653, 2000.

· 저 · 자 · 약 · 력 ·

성명 : 손영훈

❖ 학력

- 2002년 2월
 중앙대 전자전기공학부 공학사
- 2002년 3월 - 현재
 중앙대 대학원 전자전기공학부 석사과정

성명 : 장의구

❖ 학력

- 1972년 중앙대 전기공학과 공학사
- 1975년 중앙대 대학원 전기공학과 공학석사
- 1983년 중앙대 대학원 전기공학과 공학박사

❖ 경력

- 1986년12월 - 1987년11월
 美 Arizona 주립대학 교환교수
- 2002년 1월 - 2002년12월
 (사)한국전기전자재료학회 부회장
- 1979년 3월 - 현재
 중앙대 전자전기공학부 교수

성명 : 이철인

❖ 학력

- 1986년 중앙대 전기공학과 공학사
- 1988년 중앙대 전기공학과 공학석사
- 1996년 중앙대 전기공학과 공학박사

❖ 경력

- 현재 안산공과대학 전기과 교수

