

집적회로용 NPN BJT의 베이스-컬렉터간 역방향 항복전압 추출 알고리즘

論 文

52C-2-2

The Algorithm for Calculating the Base-Collector Breakdown Voltage of NPN BJT for Integrated Circuits

李 恩 九* · 金 鐵 城**
(Eun Gu Lee · Cheol Seong Kim)

Abstract - The algorithm for calculating the base-collector breakdown voltage of NPN BJT(Bipolar Junction Transistor) for integrated circuits is proposed. The method for calculating the electric field using the solution of Poisson's equation is presented and the method for calculating the breakdown voltage using the integration of ionization coefficients is presented. The base-collector breakdown voltage of NPN BJT using 20V process obtained from the proposed method shows an averaged relative error of 8.0% compared with the measured data and the base-collector breakdown voltage of NPN BJT using 30V process shows an averaged relative error of 4.3% compared with the measured data

Key Words : 항복전압, breakdown, 3차원 구조, 이온화 계수, 곡률반경

1. 서 론

컴퓨터의 하드디스크나 플로피 디스크 혹은 CD-ROM, VCR 그리고 CPU에 부착된 Fan등의 각종 모터를 제어하기 위한 구동 드라이버 IC는 집적회로용 BJT가 널리 사용 [1],[2]되고 있으며 점차 높은 rpm을 유지하기 위해 고 출력 동작이 요구되는 추세인 반면[3], 인가 바이어스에 따라 안정된 동작이 가능하도록 소자의 설계와 공정상의 문제점이 대두되고 있다.

현재 사용중인 바이폴라 공정은 CMOS 공정으로는 다루기 힘들 정도의 고온과 대 전류영역에서 동작하며 전원전압이 12V와 20V에서 동작하므로 이에 알맞은 20V 및 40V 공정이 주류를 이루고 있으며, 40V 공정의 경우는 점차 30V 공정으로 바뀌어가는 추세에 있다.

30V 이상의 높은 전원전압이 컬렉터에 인가되면 베이스-컬렉터간 공핍영역 내에 높은 전계가 유지되어 역방향 항복 현상이 발생된다. 이러한 역방향 항복특성은 Design Rule을 결정짓는 소자 설계상의 기준[4]을 제시하므로 공정 진행과정 중 반드시 고려해야 하는 요소이나 초기 공정 개발단계에서는 실측치를 구할 수 없기 때문에 근사적인 계산 방법을 사용하거나 소자 설계자의 경험을 토대로 결정한다. 그러나 역방향 항복 전압을 정확히 예측하지 못하면 최적의 베이스-컬렉터간 간격을 구할 수 없으므로 칩 면적이 증가하여 단가상승의 원인이 된다.

역방향 항복 전압을 정교하게 구하기 위해 실험에만 의존하면 많은 개발비용과 시간이 요구되므로 소자 모델링 기법

과 소자 및 공정 모의실험을 병행하고 있으나 3차원 구조를 갖는 NPN BJT에 대해 효과적인 해석방법은 찾지 못하는 상황이다. 소자 모델링 기법을 사용한 기존의 해석방법으로 Baliga[5]는 3차원 구조에 대한 역방향 항복전압 모델을 제시하였다. 전계 crowding 현상을 고려하여 곡률 반경에 따른 전위 및 전계와 역방향 항복전압을 구하였으나 불순물 분포를 상수로 가정하기 때문에 접합근처에서 전계를 효과적으로 구할 수 없고 곡률반경에 따라 결과가 달라지므로 역방향 항복특성이 일어나는 금속학적 접합 면의 곡률반경을 정교하게 예측할 수 있어야 한다.

또한 기존에 사용되는 3차원 소자 시뮬레이터로는 DAVINCI[6]가 있으나 모의실험시 주 메모리 용량의 부족으로 sparse LU법을 사용할 수 없으며 메모리 소비량을 감소시키기 위해 ILUCGS법[7]을 사용하나 방대한 양의 계산 시간을 필요[8]로 하여 BJT 해석용 소자 시뮬레이터로는 부적합한 실정이다.

본 논문에서는 3차원 포아송 방정식 해[9]를 이용하여 베이스-컬렉터간 역방향 항복특성을 정교하게 예측하는 방법을 제안한다. 소자의 내부 전위를 이용하여 전계를 구하고, 전계의 방향을 따라 이온화계수를 적분함으로써 역방향 항복현상의 발생 여부를 판단한다. 제안한 방법의 정확성과 효율성을 검증하기 위해 20V 공정과 30V 공정을 기반으로 제작된 NPN BJT의 베이스-컬렉터간 역방향 항복전압을 실측치와 비교한다. 본 논문의 2장에서는 포아송 방정식의 해를 이용한 역방향 항복전압 추출 알고리즘을 설명하고 3장에서는 전체 흐름도를 제시한다. 4장에서는 제안한 방법의 정확도를 실측치와 비교한다.

2. 역방향 항복전압 추출 알고리즘

집적회로용 NPN BJT의 전원전압으로 컬렉터 전극에

* 正 會 員 : 仁 荷 大 學 校 電 子 工 學 科 博 士 課 程

** 正 會 員 : 仁 荷 大 學 校 電 子 工 學 科 教 授 · 工 博

接 受 日 字 : 2002年 8月 4日

最 終 完 了 : 2002年 12月 6日

30V 이상이 인가되면 컬렉터와 베이스간 공핍영역과 전계의 크기가 증가한다. 전계의 크기가 임계치를 넘으면 자유 전자가 충분한 에너지를 얻어 격자와 충돌하여 새로운 자유 전자와 정공쌍이 생성되고 이러한 과정이 반복되어 역방향 항복현상이 발생된다.

Baliga는 곡률반경을 갖는 베이스의 모서리 영역을 해석하기 위해 구 좌표계를 사용함으로써 3차원 구조에서 전계의 크기가 증가하는 현상을 고려하였다. 전계 crowding이 발생하는 베이스 모서리 영역은 에피에서 금속학적 접합면으로 전계가 집중되어, 공핍영역이 베이스 중성영역으로 확대되므로 곡률 반경을 고려하지 않은 경우의 해석 결과에 비해 베이스 전계의 영향이 증대된다. 구형 좌표계를 이용하여 공핍영역에서 포아송 방정식을 계산하면 평면구조에 대한 구형구조의 전계와 역방향 항복전압과의 관계를 유도할 수 있다.

$$\alpha = \frac{r_j}{W_{c,pp}} \quad (1)$$

식(1)은 3차원 구조상의 곡률반경과 1차원 구조상의 공핍폭과의 비율이다. 곡률반경이 작을수록 α 의 크기가 감소하여 3차원 구조의 영향을 많이 받는다. 여기서 $W_{c,pp}$ 는 1차원 구조에서 공핍폭이고 r_j 는 3차원 곡률반경이다.

$$\frac{BV_{sp}}{BV_{pp}} = \alpha^2 + 2.14 \alpha^{\frac{6}{7}} - \left(\alpha^3 + 3 \alpha^{\frac{13}{7}} \right)^{\frac{2}{3}} \quad (2)$$

식(2)는 1차원 구조의 역방향 항복전압과 3차원 구조의 역방향 항복전압과의 관계[5]를 보인다. 식(1)과 식(2)에서 r_j 가 감소하면 3차원 구조상의 역방향 항복전압이 감소함을 알 수 있다.[5] 여기서 pp와 sp는 1차원 평면형 구조와 3차원 구형 구조를 의미하며 BV_{sp} 는 구형구조에서 역방향 항복전압[V]이고 BV_{pp} 는 평면형 구조에서 역방향 항복전압[V]이다.

그러나 식(2)는 BV_{pp} 를 구하기 위해 베이스 영역의 불순물 농도를 상수로 가정하였기 때문에 해석의 정확도에 근본적인 한계를 갖는다. 특히 접합 근처에서 베이스 전계의 영향이 증대되므로 3차원 구조의 해석 결과는 많은 오차를 포함한다. 또한 깊이에 따라 곡률반경이 일정하지 않은 베이스 측면에서 역방향 항복현상이 발생할 경우, 항복특성이 일어나는 위치와 곡률반경을 예측할 수 없으므로 항복전압의 계산결과는 실측치에서 크게 벗어난다. 따라서 베이스 영역의 불순물 분포와 곡률 반경을 고려하여 항복전압을 예측하기 위해서는 3차원 BJT 구조에 대한 소자 모의실험이 수행되어야 한다. 베이스-컬렉터간 높은 역바이어스가 인가된 조건에서는 포아송 방정식을 이용한 소자 모의실험으로 내부전위를 구할 수 있으므로[9] 본 논문에서는 포아송 방정식의 해석 결과로부터 내부 전계를 구하는 방법과 증배인자로부터 역방향 항복전압을 구하는 방법을 제시한다.

증배인자는 역방향 항복에 의한 전류의 증가를 나타내며 이온화계수의 선 적분이 1이 되는 조건에서 역방향 항복이

시작된다. 증배인자는 이온화계수의 함수이며 이온화계수가 1이 되는 조건에서 무한대의 값을 갖는다.

$$M = \frac{1}{1 - \int_{x_n}^{x_p} (\alpha_n + \alpha_p) dL} \quad (3)$$

식(3)은 증배인자를 나타낸다.[10] 여기서 L은 이온화 계수의 적분 경로이고 x_n , x_p 는 베이스와 컬렉터의 공핍 영역이다.

$$\alpha_n = A_n e^{-\frac{E_{cm}}{|E|}} \quad (4)$$

$$\alpha_p = A_p e^{-\frac{E_{cp}}{|E|}} \quad (5)$$

식(4)와 식(5)에서 α_n 과 α_p 는 전자 및 정공에 대한 이온화 계수[cm⁻¹]이다.[11] 여기서 E_{cm} 과 E_{cp} 는 전자와 정공의 임계전계이고 각각 1.231X106[V/cm]와 2.036X106[V/cm][12]이다. 또한 A_n 과 A_p 는 임계전계에서의 이온화 계수이고 각각 7.03X105[cm⁻¹]과 1.528X106[cm⁻¹][12]이다.

식(4)와 식(5)에서 \bar{E} 는 수평 전계[12]이고 전류 방향과 동일한 전계 성분이다. 역 바이어스 조건에서 반송자의 확산 전류의 크기가 작고 전류의 방향과 동일하므로 수평전계는 전위의 공간에 대한 미분벡터이다. 베이스-컬렉터간 역 바이어스가 인가되면 전류의 잡음 성분이 증가하여 수평전계의 방향을 계산하기 어려우므로 물리적으로 의미가 없는 방향으로 전류가 흐를 수 있으나 전위의 공간에 대한 미분 벡터를 사용하면 전류의 잡음 성분을 제거할 수 있다.

포아송 방정식 해석시 전위는 해석영역에서 공간에 대한 1차 함수이므로 전계는 공간상에서 상수 벡터이고 이웃하는 요소와 비교하여 크기와 방향이 불연속하다. 특히 전하중성 영역에서 포아송 방정식의 해는 컴퓨터 유효숫자 한계에 의해 많은 오차를 포함하므로 특정 노드방향으로 전계가 수렴하는 현상이 발생한다. 또한 전계의 크기가 작아지면 식(4)와 식(5)에서 부동소수점 한계로 인해 지수함수의 계산이 불가능하므로, 전계의 크기와 방향을 고려하여 해석을 종료할 수 있어야 한다. 이온화계수는 전계의 크기와 지수 함수 관계를 가지고 있으며 초기 경로가 결정되면 수평 전계의 방향을 따라 적분이 진행되므로, 전계의 크기가 최대 영역을 초기 적분영역으로 설정하면 해의 정확성을 높일 수 있다.

그림 3과 그림 4에서 ㉔는 전계의 크기가 최고인 영역을 나타낸다. ㉔는 베이스 모서리 영역에 존재하며 열평형 상태에는 베이스 바닥영역에 존재하나 컬렉터 인가전위가 증가하면 곡률 반경이 작은 영역으로 이동한다.

그림 1은 역방향 항복현상이 나타나는 베이스-에피간 금속학적 접합면과 공핍영역을 점선과 실선으로 나타내고 초기 적분영역과 베이스-에피 공핍영역 내부의 적분경로를 나타낸다. ㉔는 금속학적 접합면에서 전계의 크기가 최대값을 갖는 요소를 나타낸다. 점 B와 점 C는 요소 ㉔와 적분경로 상에 이웃하는 요소와의 교점이다. 요소 ㉔에서 전계의 방향을 따라 교점 B와 C를 결정한 후 적분을 수행한다. 이웃

같은 요소에서도 같은 방법으로 적분경로를 설정하고 적분 수행한다. 적분이 공핍영역을 벗어나면 이온화 계수의 적분 값에 영향이 없으므로 적분을 중단한다.

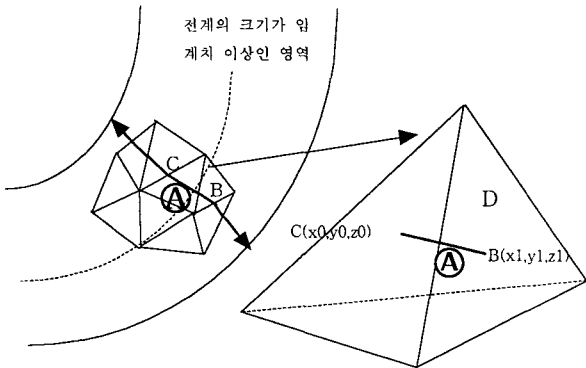


그림 1 베이스-에피 공핍영역 내부의 적분 경로
Fig. 1 The integrating path in depletion region between the base and the epi-layer

그림1은 적분경로를 설정하는 방법을 설명한다. 초기적분 영역이 결정되면, 요소내의 전계 벡터를 따라 적분 경로가 결정되고 적분은 공핍영역내에서 수행된다. 그림 1에서 적분경로 상의 요소는 4개의 노드로 구성된다. 여기서 D는 요소 ㉠를 구성하는 4개의 면 중 점 B를 포함하는 면이다.

$$\begin{aligned} \vec{E} &= -\phi_1 \nabla N_1 - \phi_2 \nabla N_2 - \phi_3 \nabla N_3 - \phi_4 \nabla N_4 \\ &= E_x \vec{a}_x + E_y \vec{a}_y + E_z \vec{a}_z \end{aligned} \quad (6)$$

식(6)은 요소 내 수평 전계[V/cm] 벡터이다.[9] 여기서 N_i 는 형상함수이고 ∇N_i 는 형상함수의 공간에 대한 미분벡터이다. 요소 ㉠영역의 적분경로는 점 C에서 출발하며 식(6)에서 구한 수평 전계의 벡터 방향을 따른다.

$$\frac{x-x_0}{E_x} = \frac{y-y_0}{E_y} = \frac{z-z_0}{E_z} \quad (7)$$

$$ax + by + cz = 1 \quad (8)$$

식(7)은 요소 ㉠에서 적분경로를 나타내는 선분의 방정식이고 식(8)은 요소 ㉠와 이웃하는 요소의 경계면 D의 방정식이다. 식 (7)과 식(8)을 연립하면 다음 적분경로의 출발점 B를 구할 수 있다. 이온화 계수의 적분 경로는 식(6)에서 구한 식(8)의 과정을 이용하여 설정되며 베이스-에피간 공핍영역내에서 진행된다.

3. 전체 흐름도

집적회로용 NPN BJT의 베이스-컬렉터간 역방향 항복전압 추출 알고리즘은 크게 공정조건과 소자 모의실험 조건을 고려하여 매쉬를 생성하는 단계[13], 3차원 포아송 방정식을 해석하는 단계와 각 바이어스 별로 이온화 계수를 적분하는 단계로 구성된다. 소자 모의실험 조건은 역방향 항복특성이

일어나는 전압을 예측하여 결정하고 공정조건 및 BJT 구조에 관한 정보는 실측치로부터 입력받는다. 3차원 모의실험 시간을 작게하기 위해 시료의 크기를 기준 이하로 줄이면 수렴특성이 악화되므로 인가되는 바이어스와 불순물 분포의 변화량을 고려하여 가능한 최소로 유지해야한다. 각 바이어스 별로 이온화 계수를 적분한 후 적분 값이 1이 되면 식 (3)으로부터 베이스-컬렉터간 역방향 항복전압이다. 그림 2는 역방향 항복특성을 구하기 위한 전체 흐름도이다.

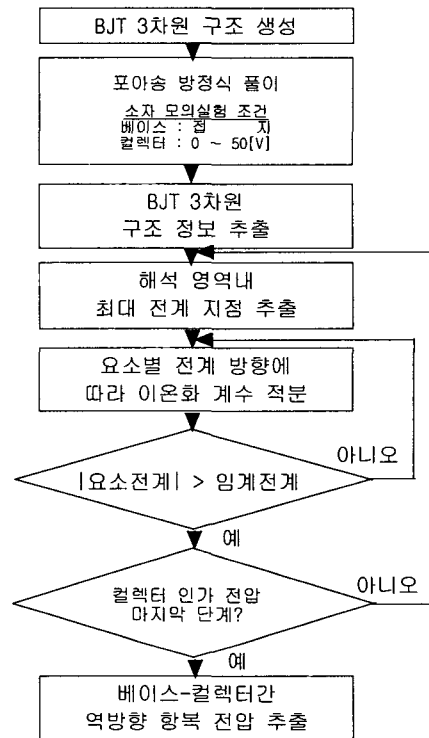


그림 2 전체 흐름도
Fig. 2 The flow chart of the algorithm

4. 결과 및 고찰

제안된 방법의 타당성을 검증하기 위해 20V 공정과 30V 공정을 기반으로 제작된 집적회로용 NPN BJT의 베이스-컬렉터간 역방향 항복전압을 실측치와 비교한다. 집적회로용 NPN BJT를 제작하기 위해 보론(B) 기판 위에 매립영역을 형성하고 소자를 전기적으로 격리시키기 위해 보론을 이온 주입하여 BIT(Bottom Isolation) 영역을 형성한다. 에피영역을 생성하고 Deep 컬렉터 영역을 형성한 후 표면에서 소자를 격리하기 위해 IT(Isolation)를 형성한다. 베이스 영역인 BO(Base Open)을 생성하기 위해 보론을 주입하고 N' 에미터와 N' 컬렉터 영역인 EO(Emitter Open)을 생성한 후 매달 증착 단계를 진행한다. 표 1은 20V와 30V 공정조건이다.

그림 3은 집적회로용 NPN BJT의 Layout이다. ㉠는 곡률반경이 최소인 베이스 모서리 영역을 나타내며 L은 베이스와 N' 컬렉터 간격이다. 에미터 중심을 기준으로 가로축은

표 1 20V와 30V 공정조건

Table 1 Process conditions of the 20V and 30V

단계	공정조건			20V공정 [um]			30V공정 [um]		
(1)	기판비저항.(100)Orientation			14.0			14.0		
(2)	매립층			24.0	2.5	7.5	25.6	2.0	3.6
	Sheet 저항	상측접합 깊이	하측접합 깊이						
	BIT								
(3)	BIT			150	4.25	5.5	198	3.2	4.4
	Sheet 저항	상측접합 깊이	하측접합 깊이						
	에피 비저항								
(4)	에피 비저항			2.0			1.8		
(5)	Deep컬렉터 Sheet저항	접합깊이		1.6	6.8	1.9	6.0		
(6)	IT Sheet저항	접합깊이		12.0	6.5	30.5	5.0		
(7)	BO Sheet저항	NPN 접합깊이		212.0	3.0	300.0	1.65		
(8)	EO Sheet저항	접합깊이		7.0	1.7	12.5	0.92		

컬렉터 전류의 흐름방향이고 세로축은 컬렉터 전류의 수직 방향이다. 20V 공정용 NPN BJT의 모의실험 영역은 가로축으로 8.5[um]에서 17.0[um]까지, 세로축은 3.5[um]에서 11.0[um]까지이고 깊이방향으로 0.0[um]에서 3.5[um]까지를 포함한다. 또한 30V 공정용 NPN BJT의 모의실험 영역은 가로축으로 9.0[um]에서 17.5[um]까지, 세로축은 3.0[um]에서 10.0[um]까지이고 깊이방향으로 0.0[um]에서 2.0[um]까지를 포함한다.

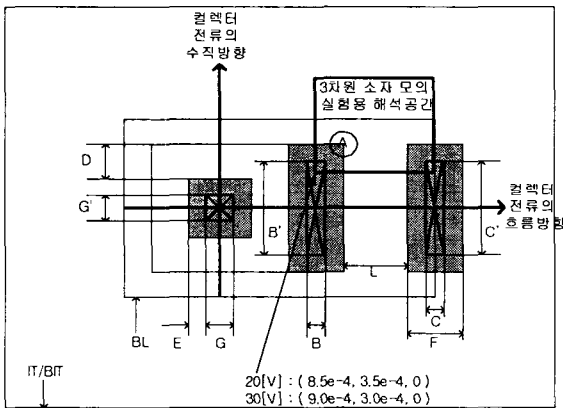


그림 3 집적회로용 NPN BJT의 Layout
Fig. 3 The layout of NPN BJT for integrated circuits

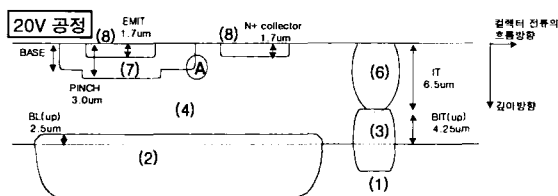


그림 4 집적회로용 NPN BJT의 수직 단면도
Fig. 4 The vertical view of NPN BJT for integrated circuits

그림 4는 표 1의 공정 단계를 거쳐 제작된 20V 공정용 NPN BJT의 수직 단면도이다. (1) 단계부터 (8) 단계까지의 공정단계와 공정조건을 보이고 있으며 (A)는 곡률반경이 최소인 영역이다. 그림 4에서 가로축은 컬렉터 전류의 흐름 방향이고 세로축은 깊이방향이다. 표 2는 집적회로용 NPN BJT Design Rule이다. 여기서 EO는 공정단계 (8)을 진행하여 만든 에미터와 N⁺ 컬렉터 영역 이고 BO는 공정단계 (7)을 거쳐 만든 베이스 영역이다.

표 2 집적회로용 NPN BJT의 Design rule
Table 2 The design rule of NPN BJT for integrated circuits

기호	Description	20V 공정 MIN Rule [um]	30V 공정 MIN Rule [um]
A,A'	E0 Contact Size	3*3	3*3
B,B'	B0 Contact Size	2*9	2*8
C,C'	E0(Collector) Contact Size	2*9	2*8
D	Spacing E0 to B0 Inside	3.0	2.5
E	Spacing CF to E0 Inside	2.0	2.0
F	E0 Width	6.0	6.0

표 3은 20V와 30V 공정에서 접합 깊이이다. 20V 공정이 30V 공정에 비해 깊이방향과 측면으로 침투하는 접합이 깊다.

표 3 20V와 30V 공정의 접합 깊이
Table 3 The junction depth of devices using 20V and 30V process

공정조건	20V 공정 [um]		30V 공정 [um]	
	베이스	N ⁺ 컬렉터	베이스	N ⁺ 컬렉터
수직접합깊이	3.0	1.7	1.65	0.92
측면접합깊이	2.25(a)	1.275(b)	1.2375(c)	0.69(d)
베이스-N ⁺ 컬렉터간 측면 접합깊이	3.525 (a+b)		1.9275 (c+d)	

3차원 구조를 갖는 NPN BJT의 모의실험은 자체 개발된 소자 시뮬레이터인 BANDIS[14]를 이용한다. BANDIS는 Windows 98 환경 하에서 제작되었으며 Visual C 컴파일러를 이용하여 컴파일하였다. 256MB의 메모리 용량과 1.5GHz의 CPU 속도를 갖는 Pentium4 PC에서 소자 모의실험이 수행되었고, 1회의 포아송 방정식의 풀이를 위해 필요한 행렬 계산 시간과 3차원 BJT의 노드 및 요소의 개수와 행렬의 계산 속도를 결정하는 전진폭[14]은 표 4에 제시한다. 소자 모의실험을 수행하기 위해 베이스 전극을 접지시킨 후 컬렉터 전극에 0[V]에서 55[V]까지 전위를 인가한 조건에서 포아송 방정식을 해석한다. 이때 전자 및 정공 의사 페르미 준위는 영역별로 상수로 가정한다.

그림 5와 그림 6은 20V 공정을 이용한 NPN BJT의 베이스-에미터에 역바이어스를 인가한 경우 이온화 계수의 적분이 1이 되는 조건에서 표면과 정면으로 적분경로를 투시한 그림이다. 그림 5와 그림 6의 가로축은 컬렉터 전류의 흐름 방향이다. 그림 5의 세로축은 컬렉터 전류 흐름 방향의 수직축이며 그림3에서 에미터 중심이 원점이다. 또한 그림6의

세로축은 깊이방향이고 베이스 표면이 원점이다. 베이스와 N' 컬렉터 간격(L)에 따라 N' 컬렉터 영역은 가로축으로 각각 13.725um, 14.725um, 15.725um와 16.725um에 위치한다.

표 4 모의실험용 소자의 구조

Table 4 Structures for device simulations

공정	L	노드 개수	요소 개수	전진폭 최대[평균]	행렬풀이 시간[초]
20V	3um	75855	431706	2984[2385]	4970
	4um	84212	480408	2976[2438]	5510
	5um	83327	473861	2728[2241]	4830
	6um	87808	498882	2719[2159]	4741
30V	3um	54699	307358	1893[1566]	1697
	4um	56783	317796	1869[1471]	1575
	5um	63660	357986	2034[1535]	1905
	6um	70271	395454	2115[1552]	2096

L이 3um인 소자는 베이스와 N' 컬렉터간 측면 접합 깊이보다 베이스-컬렉터간 간격이 작기 때문에 곡률반경이 작은 A보다 베이스-N'컬렉터 접합을 경유하는 측면을 통해 역방향 항복이 발생된다. L이 6um인 소자는 베이스와 N'컬렉터 간격이 충분하여 에피영역에서 대부분의 인가전위가 소모되므로 곡률반경이 최소 영역을 따라 역방향 항복이 발생된다.

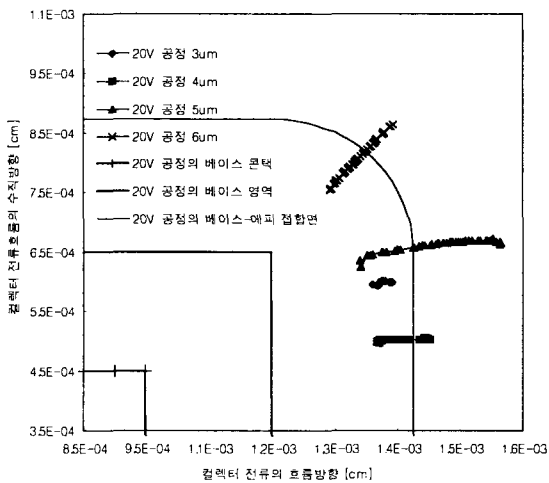


그림 5 20V 공정용 NPN BJT의 표면 투시 적분경로
Fig. 5 The projection of the integrating path to the surface of NPN BJT using 20V process

그림 7과 그림 8은 30V 공정을 이용한 NPN BJT의 베이스-에미터에 역바이어스를 인가한 경우 이온화 계수의 적분값이 1이 되는 조건에서 표면과 정면으로 적분경로를 투시한 그림이다. 그림 7과 그림 8의 가로축은 컬렉터 전류의 흐름 방향이고 그림 7의 세로축은 컬렉터 전류 흐름의 수직 방향이며 그림 3의 에미터 중심이 원점이다. 또한 그림 8의 세로축은 깊이방향이며 베이스 표면이 원점이다. 측면 접합깊이가 20V 공정에 비해 작으므로 N' 컬렉터에 의한 전계의 영향은 작다.

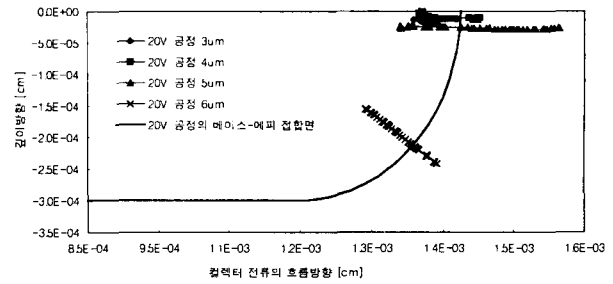


그림 6 20V 공정용 NPN BJT의 정면 투시 적분경로
Fig. 6 The projection of the integrating path to the front side of NPN BJT using 20V process

그러나 L이 3um와 4um인 소자는 베이스-에피-N'컬렉터까지 공핍영역이 생성되므로 그림 8과 같이 표면영역에 적분경로가 위치하나 L이 충분히 증가하면 곡률반경이 최소영역으로 적분경로가 이동한다.

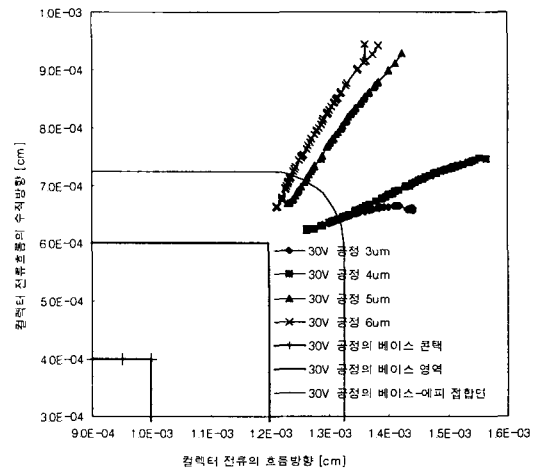


그림 7 30V 공정용 NPN BJT의 표면 투시 적분경로
Fig. 7 The projection of the integrating path to the surface of NPN BJT using 30V process

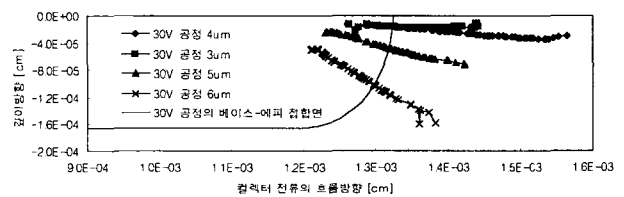


그림 8 30V 공정용 NPN BJT의 정면 투시 적분경로
Fig. 8 The projection of the integrating path to the front side of NPN BJT using 30V process

그림 9는 접합면을 기준으로 베이스 영역과 컬렉터 영역의 전계를 나타낸다. 가로축이 0인 위치가 베이스-에피의 급속학적 접합면이며 0을 기준으로 좌측은 베이스 영역이고 우측은 에피영역이다. 전계는 베이스 영역에서 급격히 증가하여 최고치를 보인 후 컬렉터 영역으로 진행하면서 감소한다. 특히 L이 5um와 6um인 소자는 전계 crowding 효과에 의해 베이스 공핍영역에서 전계가 크게 증가한다.

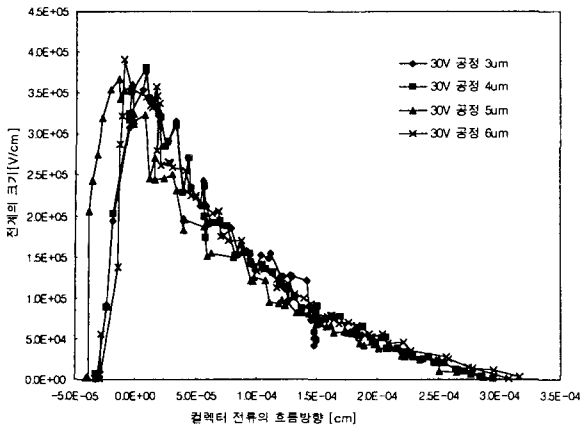


그림 9 30V 공정용 NPN BJT의 전계
Fig. 9 The electric field of NPN BJT using 30V process

그림 10과 그림 11은 각각 20V와 30V 공정을 이용하여 제작된 집적회로용 NPN BJT에서 인가전위에 따른 이온화 계수의 적분 값이다. 식(3)으로부터 이온화 계수의 적분 값이 1이 되는 바이어스 조건에서 역방향 항복이 시작된다. 20V 공정에서는 베이스-에피간 접합이 깊으므로 L이 충분하지 않으면 낮은 역바이어스에서 역방향 항복이 시작되는 반면 30V 공정에서는 접합깊이가 작기 때문에 베이스와 N' 컬렉터간 간격이 충분하여 높은 역바이어스 조건에서 항복 특성이 나타난다.

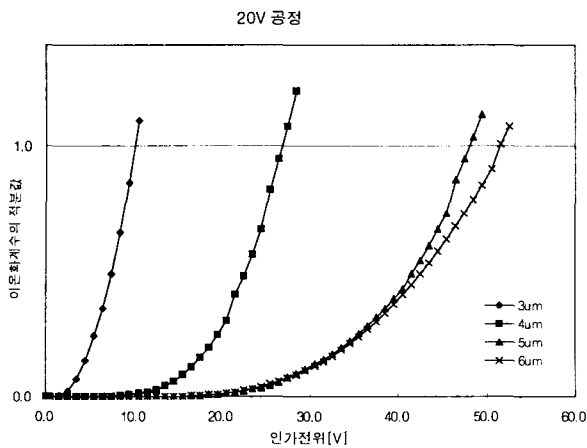


그림 10 20V 공정용 NPN BJT의 이온화계수의 적분 값
Fig. 10 The integration of ionization coefficients of NPN BJT using 20V process

표 5는 제안된 방법을 사용하여 구한 베이스-컬렉터의 간격에 따른 역방향 항복전압과 실측치를 비교한 결과이다. 역방향 항복특성이 발생하면 컬렉터 전류의 크기가 1[nA]에서 1[uA]이상으로 수직상승하고 베이스-컬렉터간 내부저항이 감소하여 컬렉터 전위는 0.1[V]이내의 변화를 보인다. 본 논문에서는 컬렉터 전류가 1[uA]가 되는 조건에서 컬렉터 전압을 역방향 항복전압으로 판단한다. 식 (2)를 이용한 결과에서 곡률반경은 20V와 30V공정에 대해 각각 2.25um와 1.2375um이다.

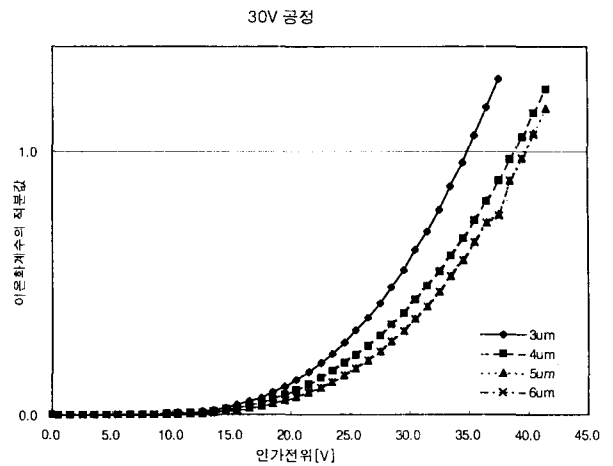


그림 11 30V 공정용 NPN BJT의 이온화계수의 적분 값
Fig. 11 The integration of ionization coefficients of NPN BJT using 30V process

표 5 베이스-컬렉터 역방향 항복전압
Table 5 Base-collector breakdown voltage

소자	20V 공정을 사용 [V]				30V 공정을 사용 [V]			
	식 (2)	제안된 방법.a	실측치 b	오차[%] (a-b)/b	식 (2)	제안된 방법.c	실측치 d	오차[%] (c-d)/d
3um	49.7	10.0	13.3	24.8	34.0	35.0	38	7.9
4um		27.0	27	0		38.5	38	1.3
5um		48.0	47.5	1.1		39.5	38	3.9
6um		51.5	48.5	6.2		39.5	38	3.9

제안된 방법과 실측치를 비교한 결과 20V 공정과 30V 공정용 NPN BJT는 각각 8.0%와 4.3%의 평균 상대오차를 보인다. 그러나 식(2)를 이용한 기존의 방법은 베이스-컬렉터간 거리를 고려할 수 없으며 L이 5um와 6um인 경우 실측치와 비교하여 8.2%와 7.1%의 평균상대오차를 보이므로 제안된 방법이 식(2)를 이용한 기존의 방법에 비해 실측치에 근사한 결과를 보인다.

5. 결 론

3차원 소자 모의실험을 이용한 집적회로용 NPN BJT의 베이스-컬렉터간 역방향 항복전압 추출 알고리즘을 제시하였다. 모의실험 시간을 단축하기 위해 포아송 방정식의 해를 이용하였고 이온화 계수의 적분 값이 1이 되는 조건에서 역방향 항복전위를 추출하였다. 적분 경로는 최대 전계를 따라 설정되었으며 베이스-컬렉터간 접합면에서 전계의 크기가 최대인 지점을 초기 적분경로로 설정하였다.

제안된 방법의 타당성을 검증하기 위해 20V 공정과 30V 공정용 NPN BJT의 베이스-컬렉터간 역방향 항복전압을 실측치와 비교하였다. 20V공정용 NPN BJT의 포아송 방정식

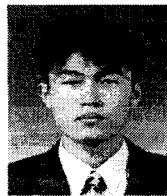
해를 구하기 위해서는 평균 5012.75초의 행렬 계산시간이 필요하였고, 30V공정용 NPN BJT는 평균 1818.25초의 행렬계산시간이 필요하였다. 베이스와 N⁺ 컬렉터간 간격이 작은 소자는 베이스 측면의 베이스-N⁺ 컬렉터 접합을 경유하여 역방향 항복특성이 나타났으며, 베이스와 N⁺ 컬렉터간 간격이 일정한 수준 이상으로 증가하면 베이스-에피-N⁺ 컬렉터를 따라 곡률반경이 작은 베이스 모서리 영역을 경유하여 역방향 항복특성이 발생함을 확인하였다. 또한 전계의 초기기는 베이스 공핍영역에서 급격히 증가하여 최고치를 보인 후 컬렉터 영역으로 진행하면서 감소함을 확인하였다. 역방향 항복전압을 실측치와 비교한 결과 20V와 30V 공정용 NPN BJT에 대해 각각 8.0%와 4.3%의 평균 상대오차를 보이고 있으므로, 기존에 사용되고 있는 역방향 항복전압 측정방법에 비해 다양한 구조에 적용이 가능함을 확인하였다.

참 고 문 헌

[1] Paolo Antognetti, Power Integrated Circuits: Physics, Design, and Applications, McGraw-Hill Book Co., New York, pp. 10.1~10.38, 1986
 [2] Samsung Electronics, Motor Driver IC, Samsung Electronics, 1999 Data Book, 1999
 [3] Rohm, 3-Phase Motor Driver for CD-ROMs, Rohm Japan, 2001
 [4] Alan Hastings, The Art of Analog Layout, Prentice Hall, pp.262-266, 2001.
 [5] B. J. Baliga, Power semiconductor devices, PWS publishing company, Boston, pp.66-90, 1996.
 [6] TMA, DAVINCI manual, Technology Modeling Associates, California, 1995.
 [7] P. Sonneveld, "CGS, A Fast Lanczos-type Solver for nonsymmetric linear systems," SIAM J. Sci. Stat. Comput., Vol.10, No.1, pp.36-62, 1989.
 [8] 김태한, 변형된 결합법을 이용한 혼합모드 소자-회로 시뮬레이터 구현에 관한 연구, 인하대학교 대학원 박사논문, 1998.
 [9] 김태한, 이은구, 김철성, "우수한 수렴특성을 갖는 3차원 포아송 방정식의 이산화 방법", 대한전자공학회는 문집 제34권 D편 제8호, pp.15-25,1997.
 [10] R. S. Muller, T. I. Kamins, Device electronics for Integrated Circuits, John Wiley & Sons, New York, pp.270-294, 1977.

[11] S. Selberherr, Analysis and simulation of semiconductor devices, Springer-Verlag Wien New York, pp. 103-118, 1983.
 [12] TMA MEDICI Manual, Technology Modeling Associates, Inc., pp.2.35-2.37, pp.2.87-2.88, 1993.
 [13] P. Fleischmann, R. Sabelka, A. Stach, R. Strasser, and S. Selberherr, "Grid generation for three-dimensional process and device simulation.", Simulation of Semiconductor Processes and Devices, pp.161-166, 1996.
 [14] 윤현민, 김태한, 김대영, 김철성, "3차원 정상상태의 드립트-확산방정식의 해석 프로그램 개발", 대한전자공학회는문집 제34권 D편 제8호, pp.41-51,1997.

저 자 소 개



이 은 구 (李 恩 九)

1972년 3월 20일생. 1995년 2월 인하대학교 전자공학과 졸업(공학사). 1997년 2월 동 대학원 전자공학과 졸업(공학석사). 1997년 1월~1997년 5월 현대전자메모리 연구소 근무. 2002년 현재 인하대학교 대학원 전자공학과 박사과정 재학중(박사수료), 부천대학 정보통신과 조교수 재직. 주관심 분야는 반도체 소자 설계 및 공정 개발임.

Tel : 032-610-3364
 E-mail : leg@hangil.bucheon.ac.kr



김 철 성 (金 鐵 城)

1938년 6월 29일생. 1975년 3월 일본 게이오대 계측공학과 졸업(박사). 1975년 4월~1979년 2월 일본 경응의속대학 연구소. 1979년~2002년 현재 인하대학교 전자공학과 교수 재직. 주관심분야는 반도체 소자 설계 및 공정개발임.

Tel : 032-860-7414