

## 최적화된 DGS 회로를 이용한 IMT-2000용 Class-AB 대전력증폭기의 설계 및 구현

### Design and Implementation of Class-AB High Power Amplifier for IMT-2000 System using Optimized Defected Ground Structure

강 병 권, 차 용 성, 김 선 형, 박 준 석  
순천향대학교 정보기술공학부

Byeong-Gwon Kang, Yong-Sung Cha, Sun-Hyung Kim, Jun-Seok Park  
Dept. of Information Technology Engineering, Soonchunhyang University

#### 요 약

본 논문에서는 DGS(Defected Ground Structure)에 대한 새로운 등가 회로를 제안하였으며, 이를 IMT-2000용 AB급 대전력 증폭기 설계에 적용하여 증폭기의 성능을 향상시켰다. 새로운 DGS 등가 회로는 병렬의 LC 공진기와 병렬 형태의 캐패시턴스로 구성되어 금속 접지면에 에칭된 결함으로 인한 프링징(fringing) 효과를 반영하도록 하였으며, 전력 증폭기 출력단 정합 회로를 최적화하기 위하여 사용되었다. 이전의 논문에서도 하모닉 성분의 억제와 증폭기의 효율 개선을 위하여 DGS를 사용하였으나 DGS 등가 회로의 해석은 없었으며[1], 본 논문에서는 이를 개선하여 회로 시뮬레이션을 통한 정확한 DGS의 등가 회로를 AB급 증폭기의 출력단 정합회로에 적용함으로써 성능 향상과 함께 증폭기 제작 후에 튜닝이 거의 필요없는 정확한 설계 방법을 제시하였다. 이와 같이 제안된 전력 증폭기의 설계 방법은 정확한 설계 결과를 제공함으로써 최적 부하 조건과 하모닉 성분의 제거 성능을 동시에 만족시킬 수 있었다. 제안된 방법의 효과를 입증하기 위하여 DGS를 적용한 기존의 방법과 새로이 제안된 방법을 사용하여 20W 급의 전력 증폭기를 설계 및 제작하였으며, 그 측정 결과를 비교하였다.

#### ABSTRACT

In this paper, a new equivalent circuit for a defected ground structure(DGS) is proposed and adapted to design of a power amplifier for performance improvement. The DGS equivalent circuit presented in this paper consists of parallel LC resonator and parallel capacitance to describe the fringing fields due to the etched defects on the metallic ground plane, and also is used to optimize the matching circuit of a power amplifier. A previous research has also used a DGS for harmonic rejection and efficiency improvement of a power amplifier[1], however, there was no exact equivalent circuit analysis. In this paper, we suggest a novel design method and show the performance improvement of a class AB power amplifier by using the equivalent circuit of a DGS applied to output matching circuit. The design method presented in this paper can provide very accurate design results to satisfy the optimum load condition and the desirable harmonic rejection, simultaneously. As a design example, we have designed a 20W power amplifier with and without circuit simulation of DGS, and compared the measurement results.

**Key Words** : power amplifier, defected ground structure, harmonic rejection, efficiency

## I. 서론

최근 주기적 구조를 갖는 마이크로스트립 라인에 대한 연구가 활발히 진행되고 있다[1]-[4]. 이 주기적 구조는 특정한 주파수에서 전파의 진행을 방해하며, PBG(photonic bandgap) 또는 DGS(defected ground structure)라는 이름으로 연구되고 있다. 이들 주기적 구조는 고유의 성질과 장점들을 가지고 있으며, 마이크로스트립 뒷면의 접지면에 임의의 모양을 에칭함으로써 구성되는 DGS는 PBG보다 다양한 응용 분야를 갖는다는 특징을 갖는다[5]. 금속 접지면에 그림 1과 같은 에칭 구조를 갖는 DGS의 경우 전송선에 유효 캐패시턴스와 인덕턴스를 증가시키게 된다. 따라서, 이러한 DGS 회로의 주요한 성능을 표현하기 위해서는 병렬 LC 회로 형태의 등가 회로가 사용될 수 있으며, DGS의 물리적 크기가 등가 회로의 파라미터에 미치는 영향은 이미 논문으로 발표된 바 있다[1,2]. 그러나, 이러한 병렬 구조의 LC 등가 회로는 금속 접지면의 에칭 부분에 발생하는 프린징 필드를 표현하기에는 충분하지 않으며, 이 필드가 DGS 구조에 미치는 영향은 병렬 캐패시턴스를 사용하여 나타낼 수 있다. DGS 구조가 주기를 갖는 경우, 즉, 같은 모양이 반복되는 경우 이들 프린징 캐패시턴스는 통과 대역의 리플 특성과 차단 주파수에 영향을 준다. 본 논문에서는 기존의 병렬 LC 공진 회로보다 정확한 DGS 등가 회로 모델을 제시하였으며, 이 모델은 3차원 필드 해석 방법에 의하여 구한 것이고, 등가 회로의 파라미터는 회로 해석 이론에 의하여 구하였다.

일반적으로 전력 증폭기의 설계 목적은 주로 높은 출력 전력과 뛰어난 선형성을 갖는 효율이다. 그러나, 이들 목적을 동시에 만족시키도록 설계하는 것은 매우 어려운 일이며, 이들 두 파라미터 간에 트레이드오프 관계가 있다. 전력 증폭기의 고효율은 전원을 작고 가볍게 할 수 있으며, 냉각에 대한 부담도 줄일 수 있으며, 고효율의 증폭기는 B급 또는 AB급 증폭기의 비선형 능동 소자로부터의 하모닉 성분을 제어함으로써 구현할 수 있다. 전력 증폭기의 하모닉 성분을 제어하기 위한 기존의 방법은 1/4 파장의 short stub이나 칩 캐패시터를 적절하게 선택하는 것이다. 본 논문에서의 DGS회로는 이러한 역할을 수행함으로써 이들을 대체할 수 있도록 전력 증폭기의 출력단에 설계되었다.

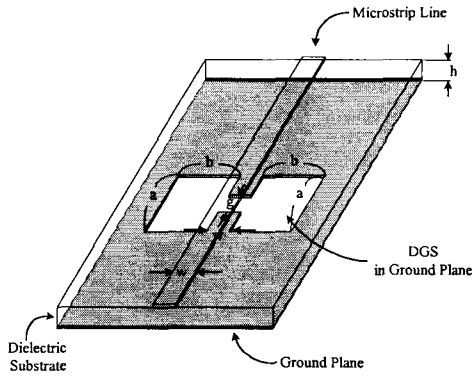
본 논문에서는 DGS회로에 대한 최적화 과정을 통

하여 AB급 전력 증폭기의 성능을 향상시킬 수 있는 효율적인 설계 방법을 제시하였으며, 이 방법에서 DGS의 등가 회로는 전력 증폭기의 출력단에서 정합 회로로 사용되었다. 출력단 정합 회로가 최적의 부하 조건을 제공함으로써 최대의 출력 전력과 양호한 하모닉 제거 특성을 얻을 수 있었고, 결과적으로 증폭기의 효율을 향상시킬 수 있었다. 제안된 설계 방법의 효과를 측정하기 위하여 2.11 - 2.17GHz에서 동작하는 20W급의 전력 증폭기를 설계하였으며, 세 가지 형태로 구현하였다. 첫 번째 형태는 DGS를 사용하지 않고 기존의 방법으로 제작한 전력 증폭기이며, 두 번째 형태는 이전의 방법으로 DGS를 사용한 전력 증폭기이다. 세 번째 형태는 본 논문에서 제시한 내용으로서 증폭기 출력단에 DGS회로를 가지며, 이 회로가 최적화되어 최대의 출력 전력을 부하에 전달할 수 있도록 하였으며, 효율을 향상시킨 것이다. 본 논문의 결과에서 이들의 성능을 비교 분석하였다.

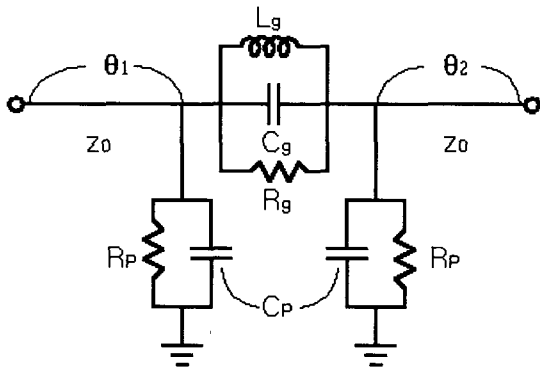
## II. 모델링 방법

마이크로스트립 라인의 이면에 있는 접지면에 그림 1의 (a)과 같은 모양으로 에칭을 하여 DGS를 구성할 수 있다. 그림 1의 (b)는 본 논문에서 새롭게 제시하는 등가 회로이다. 등가 회로에서 금속의 접지면에 에칭된 모양은 병렬 컨덕턴스를 갖는 병렬 LC 공진 회로로 모델링 될 수 있다. 또한, 제안된 등가 회로는 병렬 캐패시턴스를 가지며, 이는 금속 접지면의 불연속면에서의 프린징 필드의 효과를 나타낸다. 병렬 캐패시턴스는 특성 임피던스 레벨과 DGS 부분의 전기적 길이를 변화시킬 수 있으므로 보다 정확한 모델링을 위하여 반드시 고려되어야 한다. 한편, 등가 회로의 파라미터를 구하기 위하여 EM 시뮬레이션을 통하여 기준 평면에서 단위 DGS의 S 파라미터를 구해야 한다.

단위 DGS에 대한 S파라미터는 Ansoft사의 HFSS를 사용하여 시뮬레이션하여 구할 수 있으며, 일단 차단 주파수에서 S 파라미터를 구한 후에 S 파라미터와 ABCD 파라미터의 관계를 이용하여 다음과 같이 등가 회로 파라미터를 구할 수 있다.



(a) 하나의 DGS 구조에 대한 3차원 형태



(b) 하나의 DGS 구조에 대한 등가회로

그림 1. 하나의 DGS 구조와 본 논문에서 제시한 등가회로

$$A = \frac{(1 + S_{11}) * (1 - S_{22}) + S_{12} S_{21}}{2S_{21}} = 1 + \frac{Y_b}{Y_a} \quad (1)$$

$$B = \frac{(1 + S_{11}) * (1 + S_{22}) - S_{12} S_{21}}{2S_{21}} = \frac{1}{Y_a} \quad (2)$$

$$C = \frac{1}{Z_o} \frac{(1 - S_{11}) * (1 - S_{22}) - S_{12} S_{21}}{2S_{21}} = 2Y_b + \frac{Y_b^2}{Y_a} \quad (3)$$

$$D = \frac{(1 - S_{11}) * (1 + S_{22}) + S_{12} S_{21}}{2S_{21}} = 1 + \frac{Y_b}{Y_a} \quad (4)$$

위의 식에서  $Y_a$ 와  $Y_b$ 는  $\pi$  형태 대칭형 2-포트 회로의 등가 회로 파라미터를 나타내며, 각각 직렬 서셉턴스(susceptance)와 병렬 서셉턴스를 의미한다. 결과적으로 식(1) - (4)에 의하여 파라미터 A, B, C, D를 구할 수 있다. 또한,  $\pi$  형태 대칭형 2-포트 회로의 등가 회로 파라미터와 DGS 등가 회로의 파라미터 관계식은 다음과 같이 주어진다.

$$Y_a = \frac{1}{B} = \frac{1}{R_g} + jB_r \quad (5)$$

$$Y_b = \frac{A-1}{B} = \frac{-1 \pm \sqrt{1+BC}}{B} = \frac{D-1}{B} = \frac{1}{R_p} + jB_p \quad (6)$$

하나의 DGS 회로에 대하여 계산한 S 파라미터가 복소수이므로  $\pi$  형태 대칭형 2-포트 회로의 등가회로 파라미터도 복소수가 된다. 이러한 관계식으로부터 본 논문에서 제안한 DGS 회로의 등가 회로 파라미터는 다음과 같다.

$$C_g = \frac{B_r}{\omega_2 \cdot \left( \frac{\omega_1}{\omega_2} - \frac{\omega_2}{\omega_1} \right)} \quad (7)$$

$$L_g = \frac{1}{\omega_2^2 C_g} \quad (8)$$

$$C_p = \frac{B_p}{\omega_1} \quad (9)$$

$$R_g = \frac{1}{\text{Re}[Y_a]} \quad (10)$$

$$R_p = \frac{1}{\text{Re}[Y_b]} \quad (11)$$

위의 식에서  $\omega_1$ 과  $\omega_2$ 는 하나의 DGS 회로를 EM 시뮬레이션 하였을 때 각각 차단 주파수와 감쇠극의 위치를 나타낸다.

III. DGS 회로를 이용한 전력 증폭기

그림 2는 기존의 AB급 전력 증폭기를 나타낸 것이다. 모토롤라사의 20W급 LDMOS 소자인 MRF21030을 사용하여 2.11 - 2.17GHz에서 동작하는 전력 증폭기를 구현하였다. 그림 2에서 두 개의 초크 에어 코일 인덕터는 기본 주파수(fundamental frequency)에서 자기 공진 기능이 있으며, 여기서는 바이어스 공급을 위하여 사용되었다. 하모닉 성분, 특히 두 번째 하모닉 성분을 제거하기 위하여 이들 초크 인덕터는 낮은 임피던스 소자로 구현되어야 하며, 단락 캐패시터를 통하여 하모닉 성분을 단락시키게 된다. 그러나, 전력 증폭기의 경우 이와 같은 소자로는 하모닉 성분을 제거하기에는 충분하지 않으며, 본 논문에서 제시한 DGS 회로를 사용함으로써 이러한 성능을 크게 개선할 수 있다. 즉, DGS 회로를 출력단 정합 회로로 사용함으로써 기본 주파수에 대한 최적의 반사 조건과 두 번째 하모닉에 대한 탁월한 제거 성능을 얻을 수 있다.

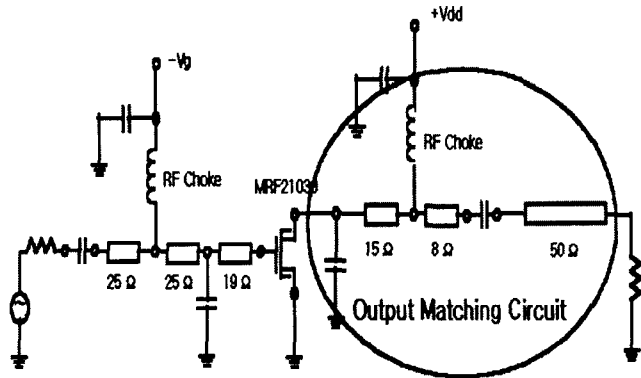
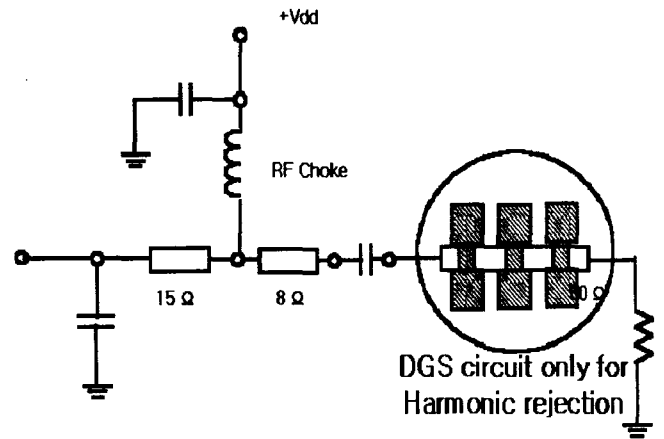


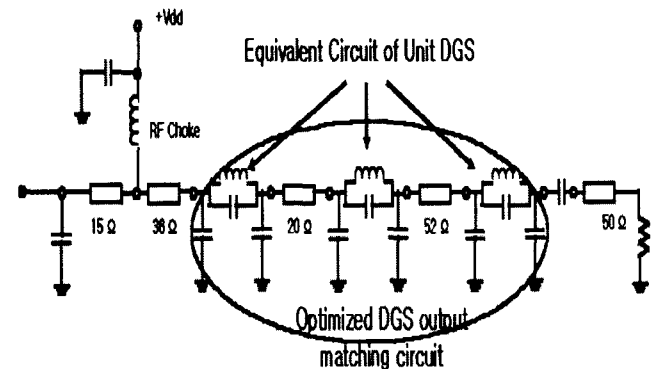
그림 2. 기존의 AB급 전력 증폭기의 회로도

그림 3은 AB급 전력 증폭기의 출력단만을 별도로 그린 것이다. DGS 회로를 사용하여 두 번째 하모닉을 제거하는 방법에는 두 가지가 있다. 첫 번째 방법은 기존의 방법으로서 그림 3(a)와 같이 DGS 회로를 단순히 정합 회로와 연결된 정합 회로의 출력단 50Ω 전송선 위치에 구현함으로써 두 번째 하모닉 성분에 대한 감쇠극을 발생시켜 하모닉 성분을 제거하는 것이다. 그러나, 이러한 기존의 방법을 사용한 경우에는 정확한 회로 해석을 수행하지 않아 DGS 회로로 인한 임피던스의 변화로 전송선 라인의 임피던스를 정확히 50Ω으로 조정하기가 매우 어렵다. 두 번째 방법은 본 논문에서 제시한 방법으로서 그

림 3(b)와 같이 정확한 회로 해석을 수행함으로써 DGS 회로가 50Ω에 정합되는 정합 회로의 일부인 동시에 두 번째 하모닉 성분에 대한 감쇠극을 갖도록 하는 것이다. 그림에서 볼 수 있는 바와 같이 이 회로는 병렬 LC 공진기의 양끝에 병렬로 연결된 캐패시터를 포함하고 있으며, 이는 하나의 DGS 회로 구조에 대한 등가 회로이다[6,7]. 결과적으로 본 논문에서는 하나의 단위 DGS에 대한 등가 회로를 반복 사용하고 이에 대한 회로 해석을 수행함으로써 최적 부하 반사 계수인  $\Gamma_{Lopt}$ 를 만족하는 최적화된 출력단 DGS 정합 회로를 구현하였으며, 이 최적화된 정합 회로는 50Ω에 대한 정합을 수행하는 동시에 자체의 감쇠극으로 인하여 하모닉 성분의 전달을 차단하는 특성을 갖는다.



(a) 하모닉 성분을 제거하기 위한 DGS 회로



(b) DGS 회로에 대한 최적화된 정합 등가 회로  
그림 3. AB급 전력 증폭기의 출력단에서의 DGS 회로

#### IV. 정합 회로의 설계 및 구현

최적화된 출력단 정합 회로의 설계와 구현을 위하여 사용한 기판은 Taconic사의 유전율 2.5, 두께 30mil 인 TLX-9이다. 2.14GHz에서  $V_{ds}=27V$  일때 최대 출력 전력을 위한 최적 부하 임피던스는  $Z_L = 11.65 - j42.05 \Omega$  이다. 실제 출력단 정합 회로를 구현하기 위하여 DGS 등가 회로에 근거한 DGS 구조를 설계하였다. 그림 4는 그림 3(b)에서의 출력단 정합 회로에 해당하는 부분에 대하여 설계한 DGS 회로의 시뮬레이션 결과이다. 그림에서 볼 수 있는 바와 같이 비교된 결과의 S 파라미터는 기본 주파수에서 매우 잘 일치하고 있다.

또한, 그림 5에서는 출력 반사 계수를 비교하였다. 그림에서  $m_1$ 은 DGS의 등가 회로로 시뮬레이션 했을 경우의 결과이며,  $m_3$ 은 실제 DGS 회로로 시뮬레이션한 결과이다. 그림에서 볼 수 있는 바와 같이 설계된 DGS 출력단 정합 회로의 성능은 최적 부하 조건과 일치하는 특성을 보인다. 앞에서 언급하였던 3가지 방법으로 제작된 출력단 정합 회로는 그림 6과 같다. 그림에서 (a)는 PCB의 윗면 즉, 전송선 라인 부분을 찍은 것이고, (b)는 PCB의 뒷면 즉, 접지면에서 DGS 구조를 에칭한 부분을 찍은 것이다. (a)와 (b) 각각의 그림에서 첫 번째 PCB는 DGS를 사용하지 않고 기존의 방법으로 설계한 것이며, 두 번째 PCB는 회로 해석없이 DGS 만을 사용한 것이고, 세 번째 PCB는 회로 해석으로 최적화된 DGS 출력단 정합 회로이다.

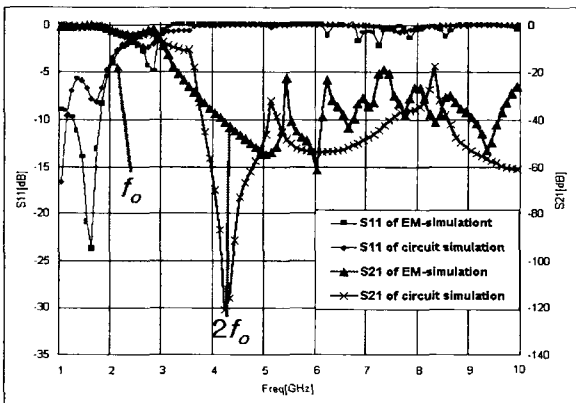


그림 4. 출력단 정합 회로의 DGS 부분에 대한 회로와 EM 시뮬레이션 결과

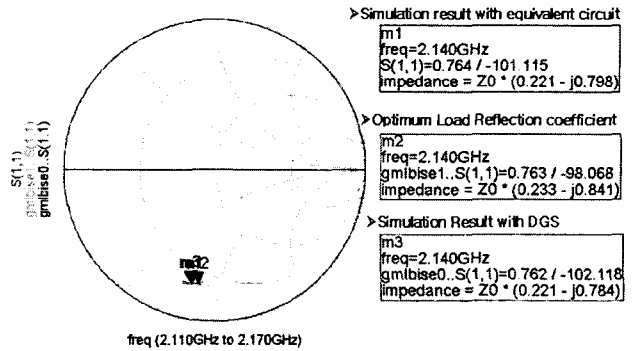
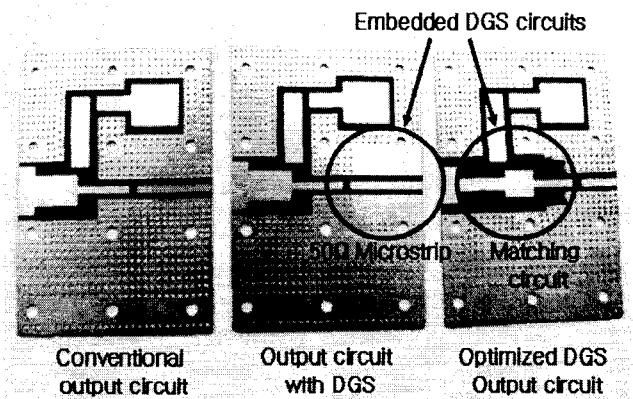
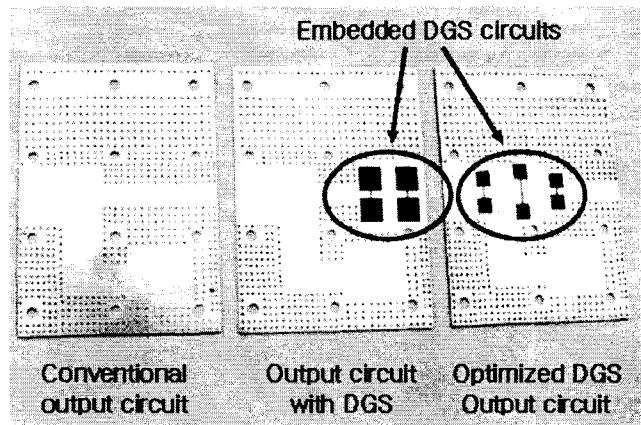


그림 5. 출력 반사 계수의 비교



(a) 제작된 PCB의 윗면



(b) 제작된 PCB의 아랫면

그림 6. 제작된 출력단 정합 회로의 PCB 형태

V. 전력 증폭기의 구현과 측정

본 논문에서 제시한 방법으로 설계한 전력 증폭기의 성능 향상을 측정하기 위하여 위에서 언급한 바와 같이 세 가지 종류의 전력 증폭기를 제작하고 성능을 비교하였다. 제작 시에는 주 전력 증폭기의 구동을 위한 구동 증폭기로서 1W의 A급 증폭기를 사용하였다. 성능 시험으로서 먼저 2-톤 시험을 수행하였으며, 그림 7은 측정 결과로서 DGS 정합 회로를 사용한 전력 증폭기의 2-톤 출력 스펙트럼이다. 시험 결과 전력 증폭기의 기본 출력 전력은 40.5 dBm이었으며, 이때 피크 전력 부가 효율(PAE, peak-added efficiency)은 46%이었고, IMD는 -33.5 dBc로 측정되었다. 또한, 제작된 전력 증폭기의 전력 이득은 모두 13 dB였다.

그림 8(a)는 기본 주파수와 두 번째 하모닉 주파수에서 측정한 출력 전력을 비교한 것이다. DGS 정합 회로를 갖는 전력 증폭기가 기존의 방법으로 제작한 전력 증폭기들보다 성능이 월등하여 기본 주파수 성분의 전력과 두 번째 하모닉 성분의 전력차가 가장 큼을 알 수 있다. 그림 8(b)는 세 가지 경우에 대하여 피크 전력 부가 효율(PAE)을 비교한 것이다. 여기에서도 본 논문에서 제시한 방법으로 제작한 증폭기가 가장 우수한 특성을 보인다. 즉, 두 번째 하모닉 성분을 크게 줄임으로써 최적화된 DGS 정합 회로의 PAE가 결과적으로 다른 증폭기들 보다 2.5 - 6 % 우수한 결과를 보였다. 제작된 전력 증폭기의 모습은 그림 9의 (a), (b)와 같다. 그림 9(a)는 DGS 정합회로를 갖는 AB급 전력 증폭기를 위에서 찍은 것으로서 사진중 위에 있는 것이 DGS를 사용하지 않거나 DGS를 단순히 하모닉 제거용으로 사용하는 경우의 증폭기이며, 아래에 있는 것이 DGS 정합 회로를 사용한 경우의 증폭기이다. 그림 9(b)는 아랫면을 찍은 것으로서 위의 그림은 DGS를 사용하지 않은 경우이고, 아래 그림은 DGS 정합 회로를 사용한 경우이다.

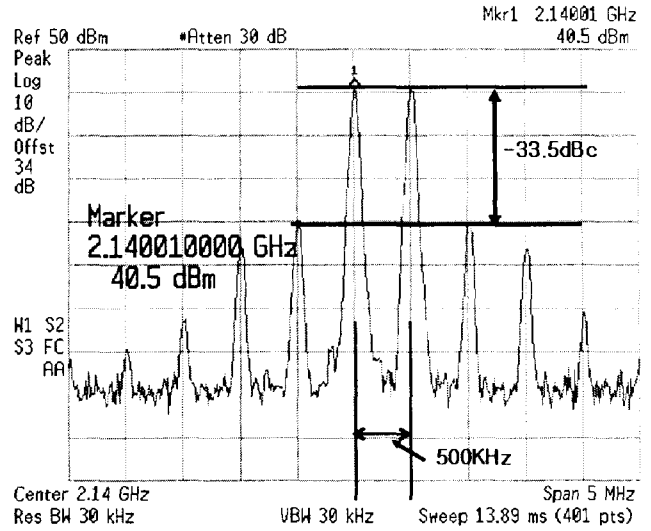
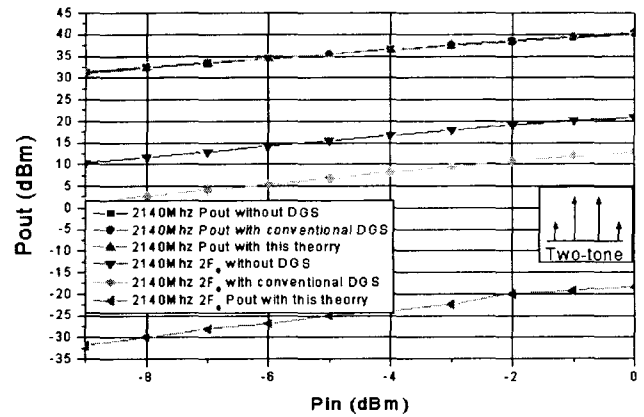
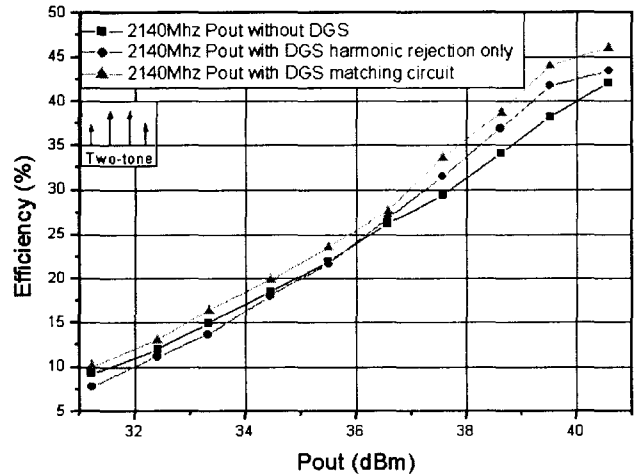


그림 7. 제작된 DGS 전력 증폭기의 2 톤 출력 스펙트럼의 측정



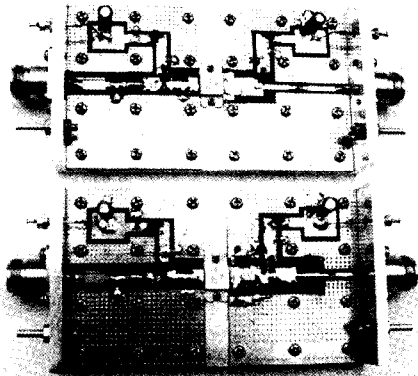
(a) 기본 주파수의 출력 전력과 2차 하모닉 성분의 출력



(b) 전력 부가 효율(PAE)

그림 8. 제작된 전력 증폭기의 2 톤 성능 측정 결과 비교

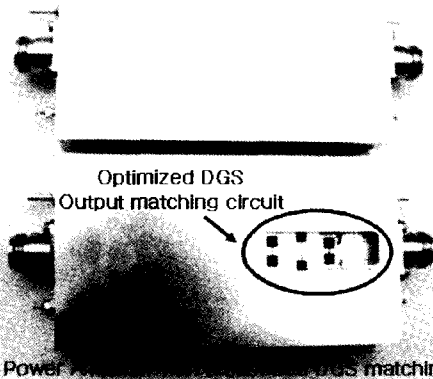
Conventional Class-AB Power Amplifier



Class-AB Power Amplifier with embedded DGS matching circuit

(a) 제작된 전력 증폭기의 윗면

Conventional Class-AB Power Amplifier



Class-AB Power Amplifier with embedded DGS matching circuit

(b) 제작된 전력 증폭기의 아랫면  
그림 9. 제작된 AB급 전력 증폭기

## VI. 결론

본 논문에서는 AB급 전력 증폭기의 성능을 향상시킬 수 있는 효율적인 설계 방법을 제시하였다. 제시된 방법은 전력 증폭기의 출력단에서 DGS 회로를 정합 회로로 사용하는 것으로서 DGS 구조에 대한 등가 회로 분석이 수반된다. 시뮬레이션 결과 본 논문에서 제시한 방법으로 설계한 DGS 회로를 포함하는 출력단 정합 회로는 최적 부하 조건과 양호한 하모닉 제거 특성을 보였다. 제시한 설계 방법의 검증을 위하여 2.11 - 2.17 GHz에서 동작하는 20 W 급의 전력 증폭기를 기존의 방법과 새로이 제안된 방법을 사용하여 세 가지 형태로 제작하여 각각의 성능을 비교하였다. 성능 비교 결과, 본 논문에서 제시한 DGS 정합 회로를 사용한 경우 두 번째 하모

닉 성분을 제거하는데 매우 우수한 성능을 보였으며, 기존의 방법으로 제작한 전력 증폭기에 비하여 25 - 6% 높은 피크 전력 부가 효율(PAE)을 보였다. 본 논문에서 제시한 설계 방법은 하모닉 성분 제거에 어려움이 있던 능동 회로 설계 분야에 매우 효과적으로 적용될 수 있을 것으로 사료된다.

접수일자 : 2002. 12. 16      수정완료 : 2003. 1. 18

본 연구과제는 2001학년도 순천향대학교 산업기술연구소 학술연구조성비 일반연구과제로 지원을 받아 수행하였음

## 참고 문헌

- [1] J-S. Lim, H-S Kim, J. S. Park, D. Ahn, and S. Nam, "A power amplifier with efficiency improved using defected ground structure," *IEEE Microwave and Wireless Components Lett.*, Vol.11, No.4, pp.170-172, Apr. 2001.
- [2] C. S. Kim, J. S. Park, D. Ahn, and J-B. Lim, "A novel 1-dimensional periodic defected ground structure for planar circuits," *IEEE Microwave Guide Wave Lett.* vol. 10, no.4, pp.131-133, April 2000.
- [3] V. Radisic, Y. Qian, and T. Itoh, "Broadband power amplifier using dielectric photonic bandgap structure," *IEEE Microwave Guide Wave Lett.* vol. 8, no.1, pp.13-14, Jan. 1998.
- [4] V. Radisic, Y. Qian, R. Coccioli, and T. Itoh, "Novel 2-D photonic bandgap structure for microstrip lines," *IEEE Microwave Guide Wave Lett.* vol. 8, no.2, pp.69-71, Feb. 1998.
- [5] J. S. Park, B. G. Kang, S. H. Kim, and J-B. Lim, "A novel equivalent circuit and modeling method for defected ground structure and its application to optimization of microwave circuits," submitted to *IEEE Trans. on MTT*.
- [6] Q. Xue, K. M. Shum, and C. H. Chan, "Novel 1 microstrip PBG cell," *IEEE Microwave Guide Wave Lett.* vol. 10, no.10, pp.403-405, Oct. 2000.
- [7] D. Ahn, J. S. Park, J. Kim, Y. Qian, and T. Itoh, "A design of the low-pass filter using the novel

microstrip defected ground structure," *IEEE Trans. on Microwave Theory and Tech.*, vol. 49, no.9, pp.86-93, Jan. 2001.

- [8] Steve C. Cripps, *RF Power Amplifier for Wireless Communication*, Artech House, 1999.
- [9] G. Vendelin, A. Pavio, and U. Rohde, *Microwave Circuit Design*, Wiley, 1990.



차 용 성 (Cha Yong-Sung)  
準會員  
2001년 순천향대학교 정보통신공학과  
공학사  
2001.3~현재 순천향대학교  
정보통신공학과 석사과정  
관심분야: CDMA 이동통신, 스펙트럼 확산통신, RF



김 선 형 (Kim Sun-Hyung)  
正會員  
1979년 성균관대학교 전자공학과  
공학사  
1981년 성균관대학교 전자공학과  
공학석사

1987년 성균관대학교 전자공학과 공학박사  
1982.9~1983.2 국방과학연구소 연구원  
1983.3~1989.2 인덕전문대학 전자과 조교수  
1989.3~현재 순천향대학교 정보기술공학부 교수  
관심분야: 이동통신, 전자상거래, 통신시스템



강 병 권 (Kang Byeong-Gwon)  
正會員  
1986년 연세대학교 전기공학과  
공학사  
1988년 연세대학교 전기공학과  
공학석사

1993년 연세대학교 전기공학과 공학박사  
1993.3~1997.8 한국전자통신연구원 이동통신기술연구단  
선임연구원  
1997.9~현재 순천향대학교 정보기술공학부 조교수  
관심분야: CDMA 이동통신, 스펙트럼 확산통신, 통신이론



박 준 석 (Park Jun-Seok)  
正會員  
1991년 국민대학교 전자공학과  
공학사  
1993년 국민대학교 전자공학과  
공학석사

1996년 국민대학교 전자공학과 공학박사  
1997년 UCLA Post Doc.  
1998년~현재 순천향대학교 정보기술공학부 조교수  
관심분야: RF, 마이크로파회로설계 및 모델링