

고상 결정화로 제작한 다결정 실리콘 박막 트랜지스터에서의 열화특성 분석

The Analysis of Degradation Characteristics in Poly-Silicon Thin Film Transistor Formed by Solid Phase Crystallization

정은식, 이용재
(Eun Sik Jung and Jong Jae Lee)

Abstract

The n-channel poly-Si thin-film transistors (poly-Si TFT's) formed by solid phase crystallization (SPC) method on glass were measured to obtain the electrical parameters such as of I-V characteristics, mobility, leakage current, threshold voltage, and subthreshold slope. Then, devices were analyzed to obtain the reliability and applicability on TFT-LCD with large-size and high density.

In n-channel poly-Si TFT with $5\mu\text{m}/2\mu\text{m}$, $8\mu\text{m}$, $30\mu\text{m}$ devices of channel width/length, the field effect mobilities are 111, 116, 125 $\text{cm}^2/\text{V}\cdot\text{s}$ and leakage currents are 0.6, 0.1, and 0.02 $\text{pA}/\mu\text{m}$, respectively. Low threshold voltage and subthreshold slope, and good ON-OFF ratio are shown, as well. Thus, the poly-Si TFT's used by SPC are expected to be applied on TFT-LCD with large-size and high density, which can integrate the display panel and peripheral circuit on a large glass substrate.

Key Words : SPC, Poly-Si TFT, Electrical parameter, Leakage current

1. 서론

정보통신 시대의 중흥기를 맞이하여 컴퓨터 및 정보전달 기기의 디스플레이 소자가 매우 중요하게 되었으며, 디스플레이 소자 중에서도 박막 트랜지스터 액정 디스플레이(TFT-LCD)가 정보표시 소자로서 많이 사용되고 있다. 다결정 실리콘 박막 트랜지스터는 능동 행렬 액정 디스플레이(AMLCD)의 응용 부품으로 사용하는 것에 대하여 비정질 실리콘 박막 트랜지스터로 사용하는 것보다 아주 작은 누설전류와 낮은 동작전류를 갖도록 크기 조절이

가능하기에 매트릭스 디스플레이에 잘 동작하는 장점을 가지고 있다[1]. 그러나 액정 디스플레이의 면적이 점차 대형화되면서 크게 이동도, 개구율(Aperture Ratio) 등 몇 가지 문제점이 생기기 시작하였다. 비정질 실리콘의 전계 효과 이동도가 낮기 때문에 높은 이동도를 요구하는 구동회로를 외부에서 연결함으로 제조 공정이 추가되고 회로가 복잡하고, 제조 원가 상승과 화소 조절을 위한 구동회로 사이의 열결선들로 인해 화면의 밝기를 결정하는 개구율이 낮아진다[2].

이런 개선으로 CMOS를 이용함으로써 활성 매트릭스에 낮은 전력의 구동회로의 고집적화, 생산 비용의 절감, 신뢰성을 향상을 위해 다결정 실리콘을 이용하는 추세이다. 그러나 다결정 실리콘 고유의 물성적 특성으로 나쁜 전기적 특성을 대형 평면 패널의 구동 소자로 사용하려면 TFT의 높은 이동도와 낮은 공정 온도가 요구된다[3]. 종전에는

동의대학교 전자공학과
(614-714 부산시 진구 가야동,
Fax : 890-1674
Corresponding Author : yjlee@dongeui.ac.kr)
2002년 5월 31일 접수, 2002년 7월 23일 1차 심사완료,
2002년 9월 4일 최종 심사완료

저온에서 양질의 다결정 실리콘 박막 트랜지스터를 제작하는 레이저 열처리나 급속열처리를 이용한 방법은 대면적 기판에서 다결정 실리콘의 균일성, 재현성 및 양산성 등의 문제가 되었다[4,5].

따라서 본 연구에서는 기존의 문제점인 넓은 면적과 양산성을 고려하여 낮은 온도에서 활성 영역층을 고상 결정화 방법을 이용하여 높은 전계 효과, 이동도, 개구율을 높이는 다결정 실리콘의 박막 트랜지스터를 제작하고자하며, 또 기판을 저렴한 유리기판 위에 600°C 이하의 저온 공정의 고상 결정화를 통하여 큰 입자 크기를 갖는 박막을 형성시키고, 소자의 구조는 게이트가 상단 구조이며, n 채널의 다결정 박막 트랜지스터를 제작하였다. 디스플레이 응용을 위해 소자의 전기적 전달 및 출력 특성을 측정하고, 스트레스를 각각 게이트와 드레인 스트레스의 전압을 인가한 후 채널 폭과 길이의 변화에 따른 다양한 전기적 특성 변화를 측정하여 파라미터의 분석을 통하여 소자의 동작 메카니즘 확립과 신뢰성을 분석하고자 한다.

2. 실험

2.1 소자제작

새로운 방법과 구조의 소자를 제작하기 위한 공정 순서도가 그림1이다. 다결정 실리콘 TFT는 유리 기판에 저온 공정 기술($\leq 600^\circ\text{C}$)로 제작하였다. 다결정 실리콘 박막을 형성시킨 후 LPCVD법에 의하여 게이트 절연막 1000Å의 두께를 형성하였으며, 게이트 절연막 상단을 리소그래피 공정 후 패터닝으로 게이트 전극을 형성한 구조에 스페이스 산화막을 증착 시켜서, 반응성 이온 에칭에 의하여 이방성으로 산화막을 식각시켜 측면 스페이스막을 형성하였다.

상단 게이트 단자로 연결 설계한 소자의 구조가 그림2의 단면도이며, 이 박막 트랜지스터의 채널 폭은 $5\mu\text{m}$, $30\mu\text{m}$, $100\mu\text{m}$ 이고, 채널 길이는 각각 $2\mu\text{m}$, $6\mu\text{m}$, $7\mu\text{m}$, $8\mu\text{m}$, $9\mu\text{m}$, $10\mu\text{m}$ 로 설계 제작하였다. 제작한 소자의 특징은 다결정 실리콘을 활성 영역으로 이용한 점과 구조적으로 게이트가 상단에 위치한 구조이다.

상단 게이트 전극을 마스크 패턴 후에 이온 주입법으로 조건은 각각 80keV , $3 \times 10^{15}\text{cm}^{-2}$ 으로 의하여 소스·드레인 영역에 인을 주입하고 n-채널을 형성시켰다. 이때 활성화는 900°C 로 어닐링을 하였고, 상압 화학 기상 증착법으로 증착막을 성장시킨 후, 활성층의 다결정 실리콘 박막의 결합을

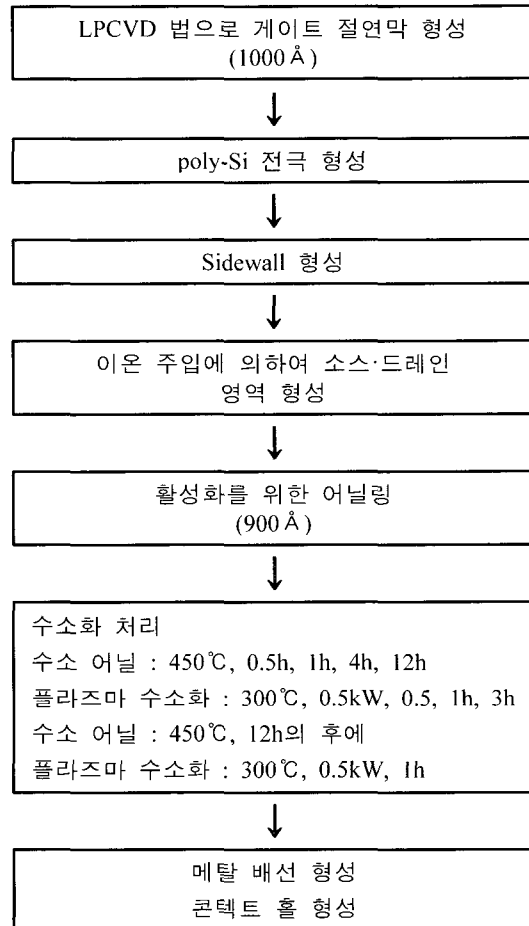


그림 1. 공정 순서도.

Fig. 1. Process Sequence chart.

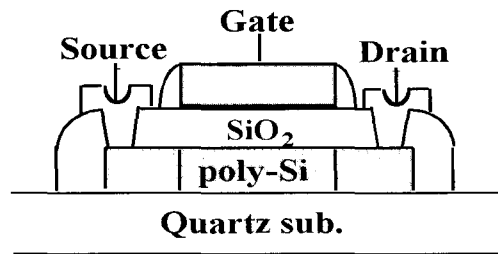


그림 2. 유리기판 위에 제작된 n-채널 다결정 실리콘 TFT의 단면도.

Fig. 2. Cross-sectional view of an n-channel poly-Si TFT on glass substrates.

줄이기 위해 특별히 순수한 수소 플라즈마 상태에서 350℃, 30분간 수소화 공정을 행하였다. 그 후, 접촉창 홀을 형성하고, 금속 배선을 한 전반적인 주요 제작 흐름도가 그림 1이다.

3. 결과 및 고찰

대형 화면을 위한 화소의 개구율, 신뢰성과 내구성 분석하기 위해 제작한 소자에 전기적인 양의 전압 인가를 게이트와 드레인에 각각 스트레스 시간을 변화시키면서 인가 하였다.

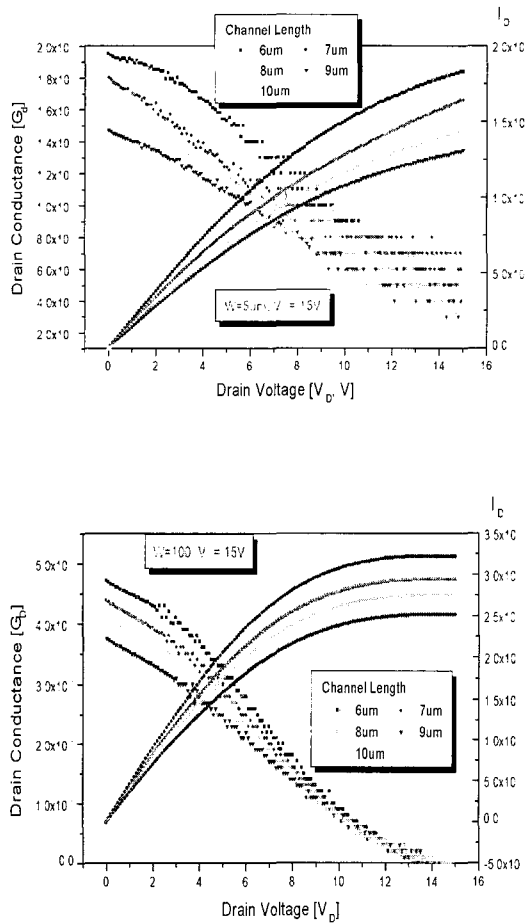


그림 3. n-TFT에서 채널 길이 변화에 따른 채널 전도도와 특성 결과.

Fig. 3. Drain conductance and output characteristics with channel length variations in n-TFT.

소자의 게이트에 인가되는 전압이나 진류 스트레스는 캐리어들이 게이트 산화막 속으로 터널 혹은 포획이되어 이 포획된 캐리어가 전기적으로 대응하는 캐리어를 채널에 유지시키면서 특성 변화의 열화를 야기 시킨다[3,4]. 이에 게이트와 드레인에 전압 스트레스를 인가하여 출력특성과 전류 전달 특성을 추정하였고, 신뢰성과 내구성을 위한 분석은 소자에 스트레스를 인가하여 소자가 스트레스의 인가전과 후의 전기적인 특성 변화는 비교 분석하였다.

특성 결과인 그림3의 특성은 채널 폭이 5um 채널 길이가 각각 6um, 7um, 8um, 9um, 10um이고, 아래 특성은 채널 폭이 100um와 채널 길이는 동일한 소자에 게이트 전압을 15V를 인가한 출력 특성이다.

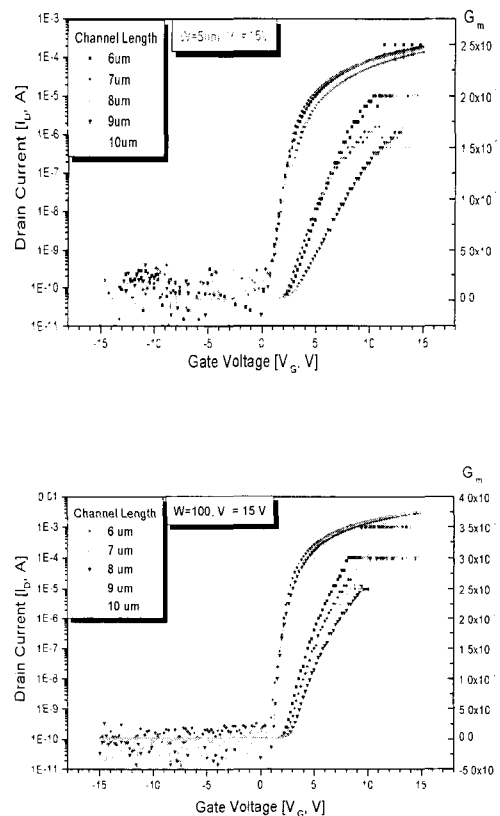


그림 4. 채널 길이 변화에 대한 전달 특성 및 전달 전도도.

Fig. 4. Transfer characteristics & transconductance of with channel length variations.

채널 폭이 5 μm 인 소자는 드레인 전류가 포화 영역과 선형영역을 구분이 모호한데, 이는 좁은 채널 효과로 인한 채널 효과와 높은 드레인 전압에서의 kink 효과[1,3]로 드레인 전류의 선형성에 영향을 미친다. 게이트 채널 길이의 특성은 길이가 길어짐에 따라 전류량이 감소하는 특성으로 단결정 MOSFET와 동일한 특성이다. 드레인 전도도는 드레인 전압이 낮은 곳에서 최대값을 나타내었고, 드레인 전압이 높을수록 감소하였다.

그림 4는 채널 폭의 차이에서 나타나는 누설전류는 10¹⁰A 정도로 기존의 다결정 실리콘 박막 트랜지스터보다 더 작은 것으로 나타났으며, 채널폭

이 넓은 소자가 채널의 가장자리 영역으로 인해 누설전류가 10¹⁰A 정도에서 약간 높게 나타났으며, 이는 예측한 결과와 동일한 특성으로 소자 구조로 상단 게이트의 채널길이 증가에 따라 선형영역에서 드레인 전류는 감소되는 결과로 나타났다. 채널 길이가 길어짐에 따라 전달 컨덕턴스가 감소하는 결과는 단결정 소자와 동일한 특성을 보인다.

그림 5는 박막트랜지스터의 게이트 채널 길이가 5 μm 이고, 채널 폭이 각각 5 μm , 30 μm 인 소자에 드레인 전압과 게이트에 각각 스트레스를 인가했을 때, 드레인 전압 변화에 따른 드레인 전류 특성이다. 특성 변화는 드레인 전류가 처음 10초간의 스트레스 동안은 증가되었기 때문에 이는 드레인 전압 인가에 따라 다결정 실리콘의 그레인 경계면에 캐리어가 포획되어지므로 일정 스트레스 이후 출력특성은

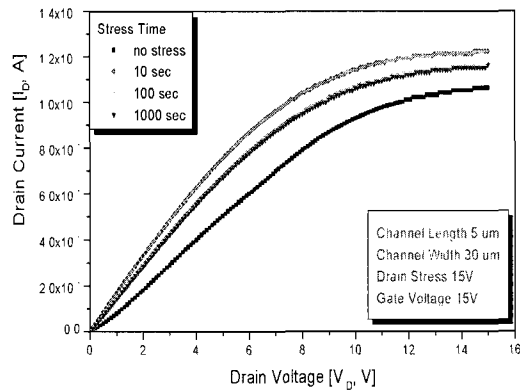
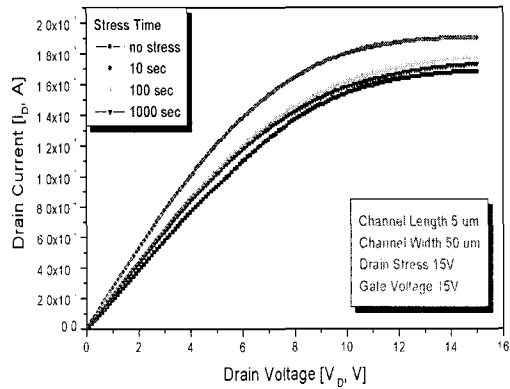


그림 5. 드레인 전압 스트레스 인가 후의 드레인 출력 특성의 열화.

Fig. 5. Degradation of drain output characteristic after the drain voltage stress.

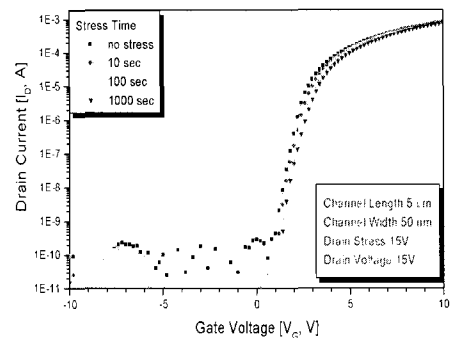
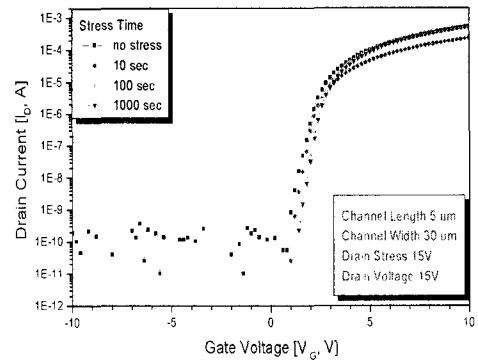


그림 6. 드레인 전압 스트레스 인가 후의 전달 특성 열화.

Fig. 6. Degradation of transfer characteristics after the drain voltage stress.

이미 그레인 경계면에 캐리어의 트랩이 형성되어 있으므로 이 포획 캐리어가 소자의 채널 길이에 영향을 주어 포획 정도에 따라 그 만큼 채널길이의 일시적으로 감소 효과로 인해 드레인 전류는 증가한 결과이다[4,5].

그림 6은 드레인 전압에 양의 전압을 인가한 후 게이트 전압이 15V의 스트레스 시간에 따른 드레인 전달 특성 결과로 선형성과 포화 영역의 구별이 뚜렷하게 나타났으며, 스트레스가 계속 될 경우 이 소자의 열화 특성은 드레인 공핍층 영역에서 약한 실리콘-수소 결합에 기인한 준안정 상태의 생성과 다결정 실리콘 박막 트랜지스터에서 드레인 접합 부근의 게이트 산화막에 핫 캐리어가 포획되어지기 때문에 점점 드레인 전류는 감소한다.

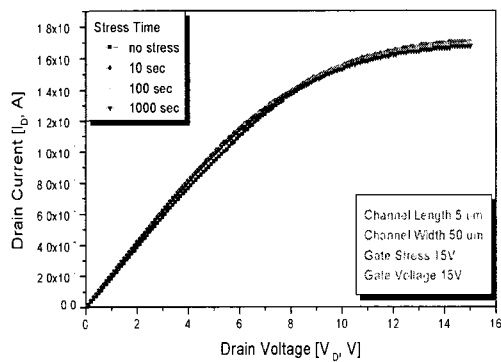
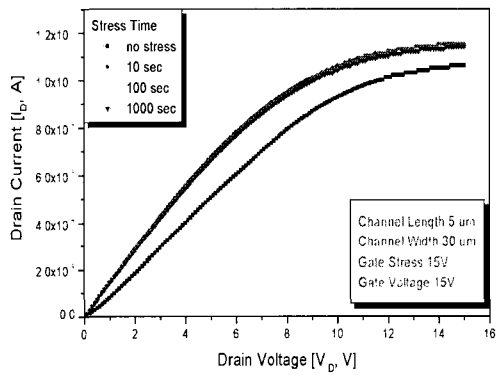


그림 7. 게이트 전압 스트레스 인가 후의 출력 특성의 열화.

Fig. 7. Degradation of output characteristics after the gate voltage stress.

채널 폭이 넓을수록 스트레스의 영향이 줄어들어 드레인 전류의 변화가 적은 것을 알 수 있다.

게이트 전압 스트레스의 특성 변화가 그림 7이며, 드레인의 최대 전류량을 가늠할 수 있는 드레인 전압 변화에 드레인 전류의 특성에서 스트레스 인가 후에 특성은 드레인 전압에 따른 드레인 전류 특성이며, 스트레스 인가 시간의 증가에 따라 드레인 전류가 증가된 결과이며, 상단 특성은 채널 길이가 5 μ m에서 채널폭이 30 μ m의 결과이고, 하단은 채널 길이 5 μ m와 폭이 50 μ m의 특성으로 채널 폭이 넓으면 스트레스의 영향이 거의 차이가 없는 드레인 전압과 드레인 전류의 측정 결과이다. 이는 입자경계면에 현수본드와 웨퍼 본드 연결이 존재하여 급지 대역 내에 많은 국부화된 상태들이 분포

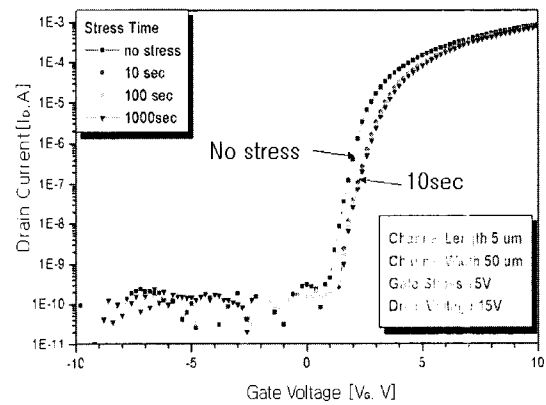
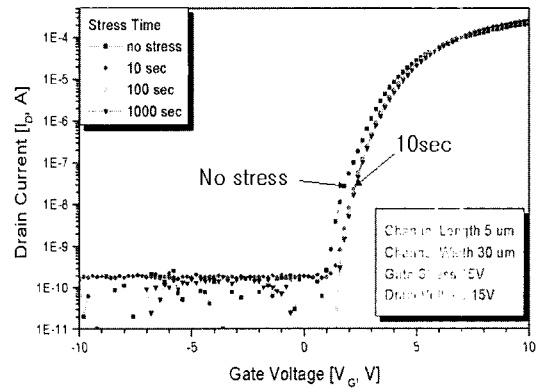


그림 8. 게이트 전압 스트레스 인가 후의 전달 특성의 열화.

Fig. 8. Degradation of transfer characteristics after the gate voltage stress.

하여 이들이 캐리어들을 포획하는 트랩센터로 작용하는 영향이 감소되는 것으로 유추된다[6,7].

그림 8은 게이트 전압 스트레스 인가후 게이트 전압과 드레인 전류의 특성으로 소자의 채널길이가 $5\mu\text{m}$ 인 동일 상태에서 채널폭이 $30\mu\text{m}$ (위)과 $50\mu\text{m}$ (아래)로 폭이 어느정도 이상에서는 특성의 차이가 거의 없었으며, 스트레스의 영향도 시간의 차이는 거의 없는 특성을 보인다. 이는 게이트 산화막에 스트레스 인가시에 캐리어가 게이트 산화막 층에 포획된 이 캐리어들이 폭이 넓은 소자의 게이트 채널로 유기시킬 수 있는 전하량의 차이가 별로 크지않는 상태가 된것으로 판단되며, 짧은 시간 동안에 포획된 캐리어가 스트레스 시간의 변화에 얕은 산화막으로 인해 작은 것으로 분석된다. 산화막에 전압이 인가된 영역부근에서 포획되어짐에 따라 누설전류가 감소된다. 또한 게이트와 드레인에 스트레스를 인가하였을 때, 임계전압과 문턱아래 특성도 변화한다. 문턱아래 스윙 계수는 산화막과 채널의 계면 또는 채널의 물질에 따른 어떤 상태의 생성으로 증가한다.

이 상태는 수소화된 비정질 실리콘이나 수소화된 다결정 실리콘 박막 트랜지스터의 열화로 설명할 수 있다. 다결정 실리콘을 게이트 물질로 형성시에 수소화 처리가 바로 문턱아래 스윙 계수가 커지는 데 작용하게 되고, 특히 전자가 축적되었을 때와 같은 양의 게이트 전압에 스트레스가 인가되었을 때 심한 특성 변화가 나타났다. 이를 이용하여 출력특성에서 드레인 전도도를 이용하여 이동도를 구할 수 있는데, 이 이동도는 유효 이동도이다. 이 소자의 유효 이동도는 특성 결과로 수십 $\text{cm}^2/\text{V}\cdot\text{s}$ 으로 추출되고, 채널 폭이 커짐에 따라 이동도는 작아지고, 채널길이가 길어짐에 따라 이동도는 커진다.

감사의 글

이 논문은 2001학년도 동의대학교 자체 학술 연구조성비(2001AA138)의 지원을 받아 작성되었습니다.

4. 결론

본 논문은 새로운 방법으로 유리 기판 위에 SOI 구조로 600°C 이하의 저온 공정인 고상 결정화 방법으로 제작된 상단 게이트 구조의 n 채널 다결정 실리콘 박막 트랜지스터를 제작하였다. 소자의 전

기적 스트레스는 음의 바이어스이며, n-채널 TFT의 스트레스 인가 전과 후의 전류-전압 파라미터 특성의 변화는 드레인 근처의 핫-전자의 주입이 발생하여 계면 준위 생성과 게이트 산화막 내에 전자 트랩이 형성되고, 이로 인하여 다결정실리콘/산화막에 생성된 계면 상태는 채널에 양의 전하를 유기시켜서 결국 게이트 채널의 길이가 길어지는 효과로 인해 파라미터의 특성의 열화에서, 문턱전압과 최대 전달 컨덕턴스는 스트레스를 인가하기 전보다 증가하였고, 열화 정도를 스트레스 인가 시간과 파라미터의 특성 열화와의 연관성이 나타났다.

또 드레인에 양의 전압 스트레스를 인가한 결과는 드레인 전류가 처음에는 증가하다가 감소하는 경향의 분석은 두 가지의 원인으로 게이트와 산화막 계면의 트랩밀도와 드레인과 게이트 계면에서 스트레스에 의한 공핍층 확산 및 트랩의 영향으로 핫 전자의 포획의 일정량 이상은 스트레스 시간 증가와 특성 변화는 거의 없는 것으로 분석되었다. 이는 공정과정에서 생기는 모빌 이온 및 수소화 공정에서 생기는 트랩이 소자의 열화에 영향을 미치는 것으로 나타났다.

실제 디스플레이 적용을 위한 채널 폭과 채널 길이에 따라 출력 특성의 변화는 채널 폭이 클 수록 출력 특성에서 드레인 전류량의 증가와 선형 영역과 포화영역의 구분이 명확하였고, 채널 길이에 따른 출력 특성에서는 채널 길이가 짧은 소자에서 구분이 명확하였다. 이는 기존의 MOSFET와 같은 경향을 나타내었으나, 드레인 전압의 높은 전압에서는 MOSFET와 상반된 경향이였다.

따라서 스트레스에 의한 신뢰성 분석으로 낮은 온도의 고상 결정화를 다결정 실리콘 소자로서 대면적과 양산성을 갖출 수 있는 디스플레이 소자에 적용가능할 것으로 사료된다.

참고 문헌

- [1] Valletta, "Hot carrier-induced degradation of gate overlapped lightly doped drain polysilicon TFTs". IEEE Trans. on ED, Vol. 49, p. 636, 2002.
- [2] Mishima, "Characteristics of low-temperature poly-Si TFTs on Al/glass substrates", IEEE Trans. on ED, Vol. 48, p. 1087, 2001.

- [3] B. E Young and R. Young, "Cost and yield model for comparing a-Si and Poly-si displays", Proc. of 1998 SID ISDTP, 1998.
- [4] Min-chul Lee, "A new Poly-si TFT structure with air cavities at the gate-oxide edges", IEEE EDL. Vol. 22, No. 11, p. 539, 2001.
- [5] Y. S. Yi "Recrystallized Poly-si TFTs on metal substrate", J. of KIEEME(in Korean), Vol. 9, No. 1, p. 30, 1996.
- [6] G. W. Chin, "A study on the hot carrier effects of p-Channel Poly-si TFT's", J. of KIEEME(in Korean), Vol. 11, No. 9, p. 683, 1998.
- [7] I. C. Lee, "An analysis on the leakage current of drain-offset Poly-si TFT's", J. of KIEEME(in Korean), Vol. 14, No. 2, p.111, 2001.