

## SONOS 비휘발성 기억소자의 향상된 프로그램/소거 반복 특성

### The Improved Electrical Endurance(Program/Erase Cycles) Characteristics of SONOS Nonvolatile Memory Device

김병철\*, 서광열\*\*

(Byung-Cheul Kim\* and Kwang-Yell Seo\*\*)

#### Abstract

In this study, a new programming method to minimize the generation of Si-SiO<sub>2</sub> interface traps of SONOS nonvolatile memory device as a function of number of program/erase cycles was proposed. In the proposed programming method, power supply voltage is applied to the gate, forward biased program voltage is applied to the source and the drain, while the substrate is left open, so that the program is achieved by Modified Fowler Nordheim(MFN) tunneling of electron through the tunnel oxide over source and drain region. For the channel erase, erase voltage is applied to the gate, power supply voltage is applied to the substrate, and the source and drain are left open. Also, the asymmetric mode in which the program voltage is higher than the erase voltage, is more efficient than symmetric mode in order to minimize the degradation characteristics of SONOS devices because electrical stress applied to the Si/SiO<sub>2</sub> interface is reduced due to short program time.

**Key Words** : SONOS, Nonvolatile memory, Asymmetric programming, 3 V single power supply,  $1 \times 10^6$  program/Erase cycles

#### 1. 서론

장래의 플래시메모리는 고집적, 단일 저 전원 동작, 고신뢰성을 동시에 만족하는 소자구조를 필요로 하고 있다. 플래시메모리에서 현재 주류를 이루고 있는 적층형 부유게이트 구조는 프로그램을 위해 CHE (channel hot electron) 주입방식을 이용하기 때문에 프로그램전압이 높고, 주입효율이 낮으며, 3 V 단일 전원 동작을 고려할 경우, hot carrier 주입으로는 산화막이 갖고있는 3.2 eV의

에너지 장벽 높이를 넘을 수 없기 때문에 단일 전원화가 어렵다[1-4]. 이에 비해 SONOS (poly-silicon oxide-nitride-oxide-semiconductor) 구조는 프로그램/소거를 위해 MFN (modified Fowler-Nordheim) 터널링 방식을 사용하기 때문에 낮은 프로그래밍전압을 실현 할 수 있으며, 프로그램/소거전류가 작기 때문에 별도의 외부전원 없이 칩 내부에 있는 승압회로에 의해 프로그램/소거 전압을 생성할 수 있으므로 단일 전원화가 용이하다. 소자의 게이트와 기판 사이의 전압 차이만을 이용하여 프로그램/소거를 하기 때문에 소스와 드레인 사이에는 전압 차이가 발생하지 않는다. 따라서 적층형 부유게이트 구조보다 채널길이를 더 짧게 하는 것이 가능하기 때문에 고집적화에 유리하다 [5-9].

SONOS 구조는 일반적으로 프로그램/소거를 위해 채널 전체를 이용하는 프로그램/소거 방법을 사

\* : 진주산업대학교 전자공학과  
(경남 진주시 칠암동 150,  
Fax: 055 751 3339,

Corresponding Author : bckim@jinju.ac.kr)

\*\* : 광운대학교 반도체 및 신소재공학과

2002년 8월 21일 접수, 2002년 9월 30일 1차 심사완료  
2002년 10월 23일 최종 심사완료

용하기 때문에 프로그램/소거 반복에 따라 채널전체에 걸쳐 Si-SiO<sub>2</sub> 계면트랩이 증가하게 되어 프로그램과 소거상태에서 소자의 문턱전압이 모두 증가하는 경향을 나타낸다[10]. 이러한 특성은 프로그램과 소거상태에서 초기의 문턱전압이 프로그램/소거 반복에 따라 변하기 때문에 소자가 열화 된 후에는 프로그램과 소거상태를 정확히 판독할 수 없게 된다. 따라서 본 연구에서는 프로그램/소거 반복에 따라 Si-SiO<sub>2</sub> 계면트랩이 최소로 생성될 수 있는 프로그램/소거 방법을 조사하고자 한다. Si/SiO<sub>2</sub> 계면트랩을 평가하기 위하여 복잡한 시뮬레이션이나 수치해석이 없이 측정된 결과로부터 채널길이에 따른 계면트랩의 공간적인 분포를 간단히 구할 수 있는 단일 접합 펌핑 기술(single junction charge pumping technique)을 적용하였다.

## 2. 단일 접합 전하 펌핑 원리

그림 1은 단일 접합 전하 펌핑 전류를 측정하기 위한 개략도이다.

구형과의 펄스를 n-채널 트랜지스터의 게이트에 인가하고 기판은 접지 시킨 상태에서, 한 쪽 접합은 플로팅하고 다른 쪽 접합에서 전하 펌핑 전류를 측정한다. 이 때 게이트 펄스의 기준준위 전압(V<sub>B</sub>)을 일정하게 고정시키고 최고준위 전압(V<sub>H</sub>)을 기준준위전압에서 점차 증가시켜가면서 전하 펌핑

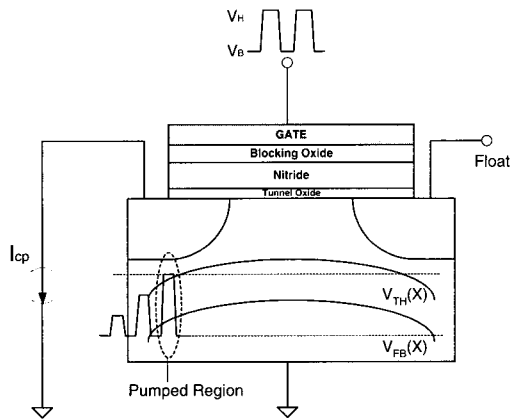


그림 1. 단일 접합 전하 펌핑 전류를 측정하기 위한 개략도.

Fig. 1. Schematic diagram for measuring the single junction charge pumping current.

전류를 측정한다. 계면트랩이 전하 펌핑 전류에 기여하기 위해서는 실리콘 표면이 축적과 반전을 반복하여야 한다. 따라서 전하 펌핑 전압의 최고준위 전압이 국부 문턱전압(local threshold voltage: V<sub>TH</sub>)보다 작은 영역에서는 전류가 흐르지 않고 최고준위 전압이 증가하여 국부 문턱전압보다 커지게 되면 계면 트랩이 전하 펌핑 전류에 기여하여 외부회로에 전류가 흐르게 된다.

계면 트랩밀도, N<sub>it</sub>가 채널을 따라 공간적으로 균일하다고 가정하면 전하 펌핑 전류, I<sub>CP,max</sub>는 다음과 같이 주어진다.

$$I_{CP,max} = qfN_{it}WL \quad (1)$$

여기서 q는 전하량, f는 게이트에 인가되는 펄스의 주파수, W는 유효 채널 폭, L은 채널 길이이다. 이때 채널 길이 L은 실제로 V<sub>FB</sub>=V<sub>B</sub>인 게이트 양 끝 사이의 거리이다. 기준 준위전압이 충분히 작으면 L은 물리적인 채널 길이가 된다.

임의의 최고준위 전압에 해당하는 I<sub>CP(V<sub>H</sub>)</sub>는 게이트 끝(실제 V<sub>FB</sub>=V<sub>B</sub>에서의 점)에서 그것의 국부 문턱전압이 최고준위 전압과 같아지는 점 사이의 계면 트랩에 의한 전류이다.

$$I_{CP}(V_H) = qfN_{it}Wx \quad (2)$$

여기서 x는 게이트 끝에서 V<sub>TH</sub>(x)=V<sub>H</sub>인 점까지의 거리로 식 (1)과 식 (2)로부터 다음과 같이 주어진다.

$$x = \frac{LI_{CP}(V_H)}{I_{CP,max}} \quad (3)$$

식 (3)으로부터 SONOS 트랜지스터의 채널길이에 따른 문턱전압의 분포, V<sub>TH</sub>(x)를 얻을 수 있다. 또한 도핑농도와 문턱전압의 관계로부터 거리 x에 따른 유효 채널 도핑 농도, N(x),를 계산할 수 있으며 유효채널길이 L<sub>eff</sub>를 실험적으로 결정할 수 있다. 임의의 최고준위 전압에서 전하 펌핑 전류는 게이트 끝에서의 V<sub>TH</sub>(x)=V<sub>H</sub>인 점 x까지의 계면 트랩의 수에 비례한다. 따라서 전하 펌핑 전류는 다음과 같이 주어진다.

$$I_{CP} = qfW \int_0^x N_{it} dx \quad (4)$$

식 (4)로부터 계면 트랩 밀도의 공간적인 분포를 구하면

$$N_{it}(x) = \frac{dI_{CP}}{dx} \cdot \frac{1}{qfW} = \frac{dI_{CP}}{dV_H} \cdot \frac{dV_H}{dx} \cdot \frac{1}{qfW} \quad (5)$$

여기서

$$\frac{dV_H}{dx} = \frac{dV_{TH}(x)}{dx} \quad (6)$$

이므로, 계면 트랩밀도의 분포는

$$N_{it}(x) = \frac{dI_{CP}}{dV_H} \cdot \frac{dV_{TH}(x)}{dx} \cdot \frac{1}{qfW} \quad (7)$$

로 표현할 수 있다. 따라서 측정된 전하 펄핑 전류 곡선의 기울기와 문턱전압분포곡선의 기울기로부터 계면트랩 밀도의 공간적 분포를 직접 구할 수 있다.

### 3. SONOS 트랜지스터의 제작

0.35 μm CMOS 공정기술을 사용하여 터널링산화막, 질화막, 그리고 블로킹산화막의 두께가 각각 2.4 nm, 4.0 nm, 그리고 2.5 nm인 SONOS 트랜지스터를 제작하였으며, 단면구조를 그림 2에 나타내었다. 게이트 절연막은 실리콘 기판 위에 터널링산화막, 질화막, 그리고 블로킹산화막을 차례로 적층하였다. 먼저, 터널링산화막은 900°C에서 질소로 희석시킨 산소(O<sub>2</sub> 5%)를 사용하여 상압에서 건식 산화하였다. 성장된 터널링산화막의 두께는 분광 엘립소미터(spectroscopic ellipsometer)로 측정하였으며, 200 nm 웨이퍼의 상, 중, 하, 좌, 우의 위치에서 측정된 두께는 각각 2.4 nm, 2.5 nm, 2.4 nm, 2.3 nm, 2.3 nm이었다. 질화막은 770°C에서 SiH<sub>2</sub>Cl<sub>2</sub>와 NH<sub>3</sub>의 혼합 가스(SiH<sub>2</sub>Cl<sub>2</sub>:NH<sub>3</sub>=30 sccm:330 sccm)를 반응시켜 55 Pa의 감압로에서 터널링산화막 위에 증착하였으며, 증착율은 11.6 Å/min.이다. 실리콘 기판 위에 질화막만이 증착된 시료로부터 분광 엘립소미터를 사용하여 두께를 측정된 결과 89.6 Å이었다. 블로킹 산화막은 950°C, 상압에서 H<sub>2</sub>:O<sub>2</sub>=5 L/min.:10 L/min.인 혼합가스를 사용해서 습식 산

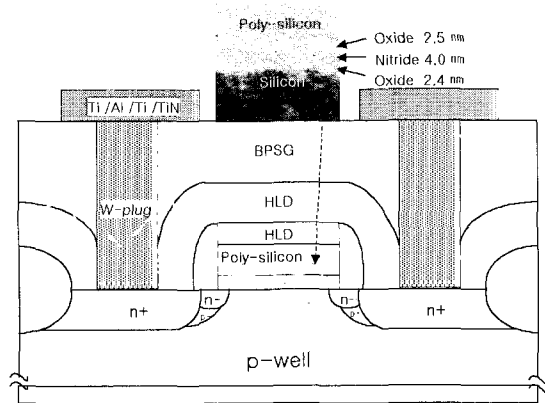


그림 2. SONOS 트랜지스터의 단면구조.

Fig. 2. Cross-sectional view of a SONOS transistor.

화방법으로 질화막 위에 성장시켰다. 블로킹 산화막의 두께와 블로킹 산화막 성장후의 최종 질화막 두께를 정확히 결정하기 위하여 영상의 중첩이 발생하지 않은 얇은 두께에서 XTEM(cross sectional transmission electron microscopy; Philips CM300)을 이용하여 측정하였다. XTEM 촬영을 위한 시료는 ONO 유전막 위에 3500 Å 두께의 다결정 실리콘이 증착된 SONOS 구조를 사용하였으며, 각 유전막의 두께는 단결정 실리콘 기판의 원자간격으로부터 결정된 길이 척도를 사용하여 측정하였고, 분해능은 0.1 nm 이었다. 블로킹산화막과 질화막의 두께는 각각 2.5 nm와 4.0 nm로 확인되었다.

### 4. 결과 및 고찰

3가지의 서로 다른 프로그램/소거 방법을 적용하여 열화가 최소화 될 수 있는 프로그램/소거 방법을 조사하였으며 그 결과를 그림 3에 나타내었다. 3가지의 프로그래밍 방법은 모두 프로그램 전압(V<sub>P</sub>)과 프로그램시간(T<sub>P</sub>)이 V<sub>P</sub>=+8.5 V, T<sub>P</sub>=50 ms이며, 소거전압(V<sub>E</sub>)과 소거시간(T<sub>E</sub>)은 V<sub>E</sub>=-8.5 V, T<sub>E</sub>=500 ms로서 프로그램과 소거전압의 크기가 같은 대칭프로그래밍(symmetric programming) 조건을 적용하였다. 프로그래밍 방법 1은 3 V를 게이트에 인가하고, 소스, 드레인, 그리고 기판에는 -5.5 V를 인가하여 프로그램하며, 게이트에 -5.5 V, 소스, 드레인, 그리고 기판에는 3 V를 인가하여 소거한다. 프로그래밍 방법 2에서 프로그램은 프로

그래밍 방법 1과 동일하며, 소기는 소스, 드레인, 그리고 기판이 접지된 상태에서 게이트에 8.5 V의 전압이 인가된다. 프로그래밍 방법 3은 기판을 플로팅한 상태에서 게이트에 3 V, 드레인과 소스에는 5.5 V를 인가하여 프로그래밍하며, 드레인과 소스를 플로팅한 상태에서 게이트와 기판에 각각 -5.5 V와 3 V를 인가하여 소거한다.

그림 3에서 알 수 있는 바와 같이 프로그래밍 방법 1과 2에서는  $1 \times 10^4$  프로그램/소거 반복 후부터 프로그램과 소거상태에서 소자의 문턱전압이 모두 증가하는 경향을 나타내고 있다. 그러나 프로그래밍 방법 3에서는  $1 \times 10^4$  프로그램/소거 반복 전과 후의 프로그램과 소거상태에서의 문턱전압은 차이가 없음을 알 수 있다. 이것은 프로그래밍 방법 1과 2에서는 프로그램과 소거동작이 모두 채널영역을 통하여 이루어지는 반면, 프로그래밍 방법 3에서는 소스와 드레인 영역만을 이용하여 프로그래밍하고, 소거할 때는 채널영역만을 사용하기 때문에 열화현상이 감소되기 때문으로 해석할 수 있다.

그림 4는 프로그램/소거 반복에 따른 열화 현상을 정량적으로 조사하기 위하여 프로그램/소거 반복 전과 3가지의 서로 다른 프로그래밍 방법을 사용하여  $1 \times 10^4$  프로그램/소거 반복 후의 계면트랩 밀도를 비교한 결과이다. SONOS 트랜지스터의 채널길이에 따른 실리콘-터널링산화막 계면트랩밀도의 공간적인 분포는 드레인과 소스에서 각각 측정된 전하 펄핑 전류곡선의 기울기와 식 (3)을

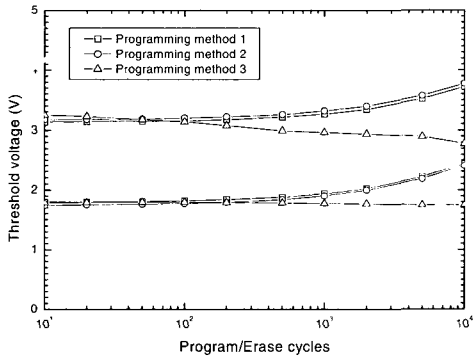


그림 3. SONOS 트랜지스터의 프로그램/소거 반복 특성.

Fig. 3. The electrical endurance (program/erase cycles) characteristics of a SONOS transistor.

이용하여 구한 문턱전압 분포의 기울기로부터 식 (7)에 의해 직접 계산할 수 있다.

그림 4에서 나타낸 바와 같이 SONOS 소자의 프로그램/소거 반복 전의 초기계면트랩은 채널 전체에 걸쳐 균일하게 분포하고 있으며, 계면트랩 밀도는  $8.73 \times 10^{10} / \text{cm}^2$ 이었다.  $1 \times 10^4$  프로그램/소거 반복 후, 프로그래밍 방법 1의 경우에는 채널영역의 계면트랩밀도가  $1.28 \times 10^{12} / \text{cm}^2$ , 프로그래밍 방법 2의 경우에는  $1.46 \times 10^{12} / \text{cm}^2$ , 프로그래밍 방법 3의 경우에는  $1.51 \times 10^{11} / \text{cm}^2$ 으로 가장 낮게 나타남으로써 그림 2의  $1 \times 10^4$  프로그램/소거 반복 후 문턱전압의 측정결과와 일치하였다. 프로그래밍 방법 2를 적용한 경우, 채널영역의 계면트랩밀도가 가장 높게 나타났는데, 이것은 MFN 터널링이 되도록 기판에 대하여 소자의 게이트에만 높은 소거 전압이 인가되기 때문으로 해석할 수 있다.

프로그램과 소거전압의 크기가 같은 대칭프로그래밍(symmetric programming) 조건과 소거전압의 크기보다 프로그램전압의 크기가 큰 비대칭프로그래밍(asymmetric programming) 조건을 프로그래밍 방법 3에 적용하여 각각  $1 \times 10^4$  프로그램/소거 반복 후 실리콘-터널링산화막 계면트랩밀도를 비교한 결과를 그림 5에 나타내었다. 비대칭프로그래밍 조건은 프로그램 전압( $V_p$ )과 프로그램시간( $T_p$ )

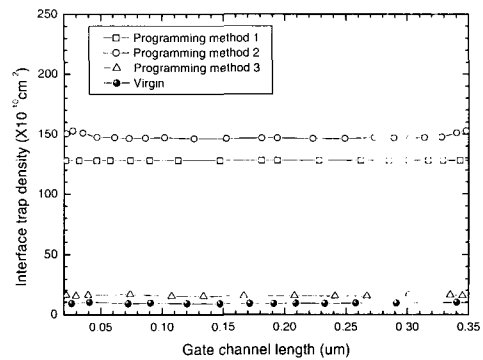


그림 4. 프로그램/소거 반복 전과 3가지의 서로 다른 프로그래밍 방법에 의한  $1 \times 10^4$  프로그램/소거 반복 후의 실리콘-터널링산화막 계면트랩밀도.

Fig. 4. The interface trap density in the silicon tunnel oxide before program/erase cycle and after  $1 \times 10^4$  program/erase cycles by the three programming methods.

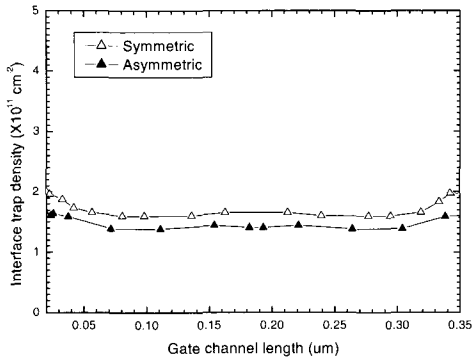


그림 5. 프로그래밍 방법 3을 적용한 대칭프로그래밍 조건과 비대칭프로그래밍 조건에 의한  $1 \times 10^5$  프로그램/소거 반복 후의 실리콘 터널링산화막 계면트랩밀도.

Fig. 5. The Si SiO<sub>2</sub> interface trap density after the symmetric and the asymmetric  $1 \times 10^5$  program/erase cycles of programming method 3.

이  $V_p = +10.0$  V,  $T_p = 500$   $\mu$ s이며, 소거전압( $V_E$ )과 소거시간( $T_E$ )은  $V_E = -8.5$  V,  $T_E = 500$  ms를 적용하였다.

그림 5에서  $1 \times 10^5$  프로그램/소거 반복 후, 대칭프로그래밍 조건(프로그램:  $V_p = +8.5$  V,  $T_p = 50$  ms, 소거:  $V_E = -8.5$  V,  $T_E = 500$  ms)을 적용한 경우에는 채널영역의 계면트랩밀도가  $1.61 \times 10^{11}$  /cm<sup>2</sup>이며, 비대칭프로그래밍 조건을 적용한 경우에는  $1.40 \times 10^{11}$  /cm<sup>2</sup>이었다. 이것은 비대칭프로그램 조건의 경우, 대칭프로그램 조건보다 프로그램 전압은 더 높지만 프로그램 시간이 훨씬 더 짧기 때문에 소자의 실리콘 터널링산화막 계면에 주어지는 스트레스가 완화되기 때문으로 해석할 수 있다. 그리고 그림 3의  $1 \times 10^5$  프로그램/소거 반복 후에 평가한 소스와 드레인 영역 근처에서의 계면트랩밀도는 채널영역의 계면트랩밀도와 차이가 없었으나,  $1 \times 10^5$  대칭과 비대칭 프로그램/소거 반복 후, 모두 소스와 드레인 영역의 계면트랩밀도가 채널영역보다 더 높았다. 이것은 소자제작공정에서 소스/드레인 이온주입과 게이트 스택 식각 공정 때문에 이미 손상되었던 소스/드레인 부근의 실리콘 터널링산화막 계면이  $1 \times 10^5$  프로그램/소거 반복 후부터 소자의 열화현상에 영향을 미치기 때문으로 해석할 수 있다.

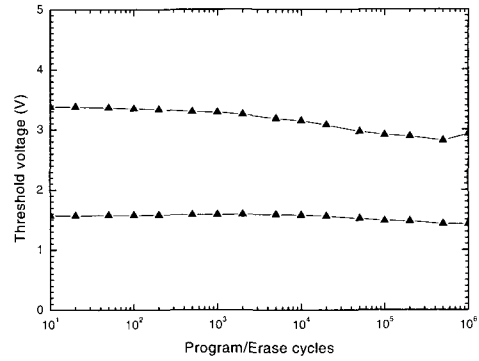


그림 6. 비대칭프로그래밍 조건을 적용한 프로그래밍 방법 3에 의한 SONOS 소자의  $1 \times 10^6$  프로그램/소거 반복 특성.

Fig. 6. The endurance characteristics of a SONOS transistor for asymmetric  $1 \times 10^6$  program/erase cycles of the programming method 3.

비대칭프로그래밍 조건을 적용한 프로그래밍 방법 3에 의한 SONOS 소자의  $1 \times 10^6$  프로그램/소거 반복 특성을 그림 6에 나타내었다.

그림 6에 나타난 바와 같이 프로그래밍 방법 3과 비대칭프로그래밍 조건에 의한  $1 \times 10^6$  프로그램/소거 반복 후에도 SONOS 트랜지스터의 문턱전압 변화가 거의 없음을 알 수 있다. 따라서 SONOS 소자의 열화현상을 최소화하기 위해서는 소스와 드레인 영역만을 이용하여 프로그램하고, 소거 할 때는 채널영역만을 이용하여 소거하며, 소거전압보다 프로그램전압의 크기가 더 큰 비대칭프로그래밍 조건을 사용하여야 한다. 동일한 크기의 메모리 윈도우에서 비대칭 프로그래밍 조건을 사용하게 되면 프로그램 속도를 향상시킬 수 있는 장점이 있다. 프로그래밍 방법 3은 기판에 대하여 소자의 게이트에 높은 프로그램/소거 전압이 인가되지 않도록 게이트에 인가되는 프로그램 전압을 감소시킴으로써 3 V 단일전원에 의한 프로그래밍이 가능하도록 하며, 프로그램 동작에서 드레인과 소스에 동일한 크기의 순방향 전압이 인가되기 때문에 소스와 드레인 사이에는 전압 차이가 발생하지 않으므로 적층형 부유게이트 구조보다 채널길이를 더 짧게 하는 것이 가능하다. 그리고, 기판을 플로팅하기 때문에 드레인과 소스에 순방향 전압이 인가되더라도 기판전류를 생성시키지 않으므로

소비전류가 낮다.

## 5. 결 론

소스와 드레인 영역만을 이용하여 프로그램하고, 소거 할 때는 채널영역만을 이용하며, 소거전압보다 프로그램전압의 크기가 더 큰 비대칭프로그래밍 조건을 사용하면 프로그램 속도를 향상시킬 수 있을 뿐만 아니라, SONOS 소자의 열화특성을 최소화하는데 효과적임을 알 수 있다.

## 참고 문헌

- [1] D. Guterman, I. Rimawi, T. Chiu, R. Halvorson, and D. McElroy, "An electrically alterable nonvolatile memory cell using a floating gate structure," IEEE Trans. Electron Devices, Vol. ED-26, p. 576, 1979.
- [2] G. Verma and N. Mielke, "Reliability of ETOX based flash memories," Proc. IRPS, p. 158, 1988.
- [3] R. Kazerounian, S. Ali, Y. Ma, and B. Eitan, "A 5 volt high density poly-poly erase flash EEPROM", IEEE IEDM'88 Tech. digest paper, p. 436, 1988.
- [4] V. N. Kynett, A. Baker, M. Fandrich, G. Hoekstra, O. Jungroth, J. Kreifels, S. Wells, and M. Winston, "An in-system re-programmable 32K×8 CMOS flash memory," IEEE J. Solid-State Circuits, Vol. SC-23, No. 10, p. 1157, 1988.
- [5] 이상배, 이상은, 서광열, "저전압 EEPROM을 위한 Scaled MONOS 비휘발성 기억소자의 제작 및 특성에 관한 연구", 전기전자재료학회 논문지, 8권, 6호, p. 727, 1995.
- [6] M. H. White, Y. Yang, A. Purwar, and M. French, " A low voltage SONOS nonvolatile semiconductor memory technology," IEEE Trans. Comp. Pack. Manu. Tech. A20, No. 2, p. 190, 1997.
- [7] I. Fujiwara, H. Aozasa, A. Nakamura, Y. Hayashi, and T. Kobayashi, "MONOS memory cell scalable to 0.1 $\mu$ m and beyond", IEEE Nonvolatile Semiconductor Memory Workshop, p. 117, 2000.
- [8] 박희정, 박승진, 남동우, 김병철, 서광열, "플래시메모리를 위한 Scaled SONOSFET NVSM의 프로그래밍 조건과 특성에 관한 연구", 전기전자재료학회논문지, 13권, 11호, p. 914, 2000.
- [9] B. C. Kim, S. E. Lee, and K. W. Seo, "Single power supply operated and highly reliable SONOS EEPROMs," J. Korean Phys. Soc. Vol. 40, No. 4, p. 642, 2002.
- [10] 김병철, 서광열, "플래시 및 바이트 소거형 EEPROM을 위한 고집적 저전압 Scaled SONOS 비휘발성 기억소자," 전기전자재료학회 논문지, 15권, 10호, p. 831, 2002.