

실리콘 기판에서 다층 메탈을 이용한 CMOS 나선형 인덕터의 Q향상에 관한 연구

論 文

52C-1-2

Study on Q Improvement of CMOS Spiral Inductor Using Multi Metal Layer for Silicon Substrate

孫周浩* · 崔碩佑** · 金東龍***
(Ju-Ho Son · Seok-Woo Choi · Dong-Yong Kim)

Abstract - The multi layer spiral inductors, which enhance the quality factor Q of an inductor fabricated on the silicon substrate, has been designed using a TSMC CMOS 0.25 μ m 1-poly 5-metal layer technology. To investigate the performance of the designed inductors, a 2.5-dimensional field simulation tool(Momentum) is used. The simulation results show that the quality factor Q of the 5-metal inductor is improved 1.8 times over that of a conventional spiral inductor at 2GHz for wireless LAN applications.

Key Words : Inductor, Multi metal, Quality factor, CMOS

1. 서 론

정보화 사회의 출현에 따라 900MHz~2.4GHz 대역의 무선 통신 기기들의 시장이 급속히 성장하고 있다. 이러한 휴대용 무선기기의 RF 시스템은 GaAs를 이용한 MMIC가 주로 이용되었으나, 최근 CMOS 집적회로 설계기술의 발달로 RF 회로를 CMOS 집적회로로 구현하기 위한 연구가 활발하다[1~3]. 그 중에서 무선통신주파수인 900MHz~2.4GHz대역에서 높은 quality factor Q값을 갖는 인덕터 제작에 관한 연구가 많이 수행되고 있다[2],[3].

일반적으로 GaAs MMIC를 이용하여 인덕터를 제작하는 경우 거의 절연체에 가까운 기판을 사용하기 때문에 기판 손실이 작은 반면에, 실리콘 공정에서는 도핑 농도가 보통 10¹⁶ cm⁻³정도로써 기판에서의 손실이 상대적으로 크므로 높은 Q값을 얻기가 힘들다. 따라서 높은 Q값을 얻기 위해서 인덕터의 구조를 변화시키거나, 재질을 바꾸거나, 혹은 기판의 저항값을 조절하여 설계하고 있다[4~6]. 그러나 이러한 방법은 복잡한 공정을 거치거나 비용이 비싸다는 단점이 있다. 본 논문에서는 다층 메탈을 이용한 나선형 인덕터를 CMOS 공정을 이용하여 무선통신 주파수인 900MHz~2.4GHz 대역에서 Q값을 높일 수 있는 방법에 관하여 연구하였다.

2. 다층 나선형 인덕터의 설계

인덕터 Q값을 향상시키는 방법은 공정개선 방법과 파라

미터 최적화 방법으로 크게 나눌 수 있다. 먼저 공정개선 방법은 최상위층 금속층의 두께를 높이거나 기판의 저항을 조절하는 방법이 있으나 이러한 공정개선의 방법은 비용이 증가하는 단점이 있다. 다음으로 파라미터 최적화 방법은 나선형 인덕터의 파라미터(폭, 간격, 권선 수, 인덕터의 내부 직경, 인덕터 형태)의 최적화를 통하여 Q값을 개선하는 방법이다[4~6]. 금속 폭은 기판과의 커패시턴스 값과 인덕터의 저항에 영향을 주고, 금속 도선간의 간격은 상호 인덕턴스에 영향을 주는 부분이다. 인덕터 내부 직경은 직경이 크면 클수록 L값과 Q값이 증가하지만 면적이 증가한다는 단점이 있다. 인덕터 형태를 보면 대부분은 정방형 모양의 평면 나선형 인덕터로 설계하지만, Q값을 증가시키기 위해서 원형나선 인덕터나 팔각형 등으로도 인덕터를 설계하고 있다. 원형에 가까울수록 Q는 증가하지만 발표 논문에 따르면 팔각형 나선 인덕터와 원형 나선 인덕터의 Q값 차이는 거의 없는데 반하여 사각형 나선 인덕터와는 10% 차이가 있는 것으로 보고되었다[4]. 그러나 원형이나 팔각형나선 인덕터는 설계의 어려움과 면적 효율이 좋지 못하므로 대부분 그림 3과 같은 정방형 나선 형태로 인덕터를 설계하고 있다.

본 논문에서 설계한 다층 나선형 인덕터의 모델은 그림 2, 3과 같고, 그림 4는 본 논문에서 사용한 인덕터의 등가회로이다. 이때 인덕터의 특성은 기판을 포함하여 시뮬레이션 하였으나 동일한 기판으로 시뮬레이션을 하는 경우 기판의 저항은 변화하지 않기 때문에 등가회로에서 기판 저항을 포함하지 않았다. 그림 4 등가회로의 각 파라미터는 다음과 같다.

* 正 會 員 : 全 北 大 學 校 電 氣 工 學 科 博 士 課 程 修 了
** 正 會 員 : 全 北 大 學 校 電 子 情 報 工 學 部 副 教 授
*** 正 會 員 : 全 北 大 學 校 電 子 情 報 工 學 部 教 授
接受日字 : 2002年 9月 5日
最終完了 : 2002年 10月 14日

• L_S : 금속 세그먼트의 자기 · 상호 인덕턴스
• R_S : 적층된 스위트 저항
• C_1, C_2 : 금속 레이어와 기판 사이의 기생 커패시턴스

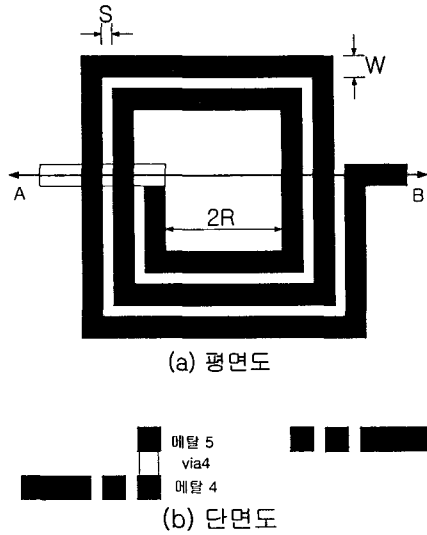


그림 1 기존의 나선형 인덕터의 평면도 및 단면도(S: 간격, W: 두께, 2R: 내경)
 Fig. 1 Plane surface and cross section of conventional spiral inductor(S: distance, W: thickness, 2R: diameter)

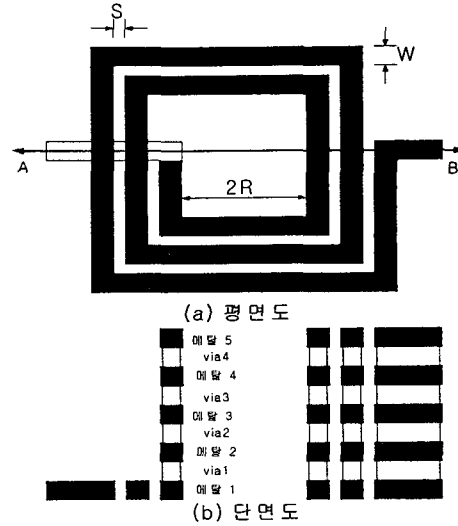


그림 3 메탈 1, 2, 3, 4, 5층을 사용한 인덕터의 평면도 및 단면도
 Fig. 3 Plane surface and cross section of inductor using the metal 1, 2, 3, 4, 5

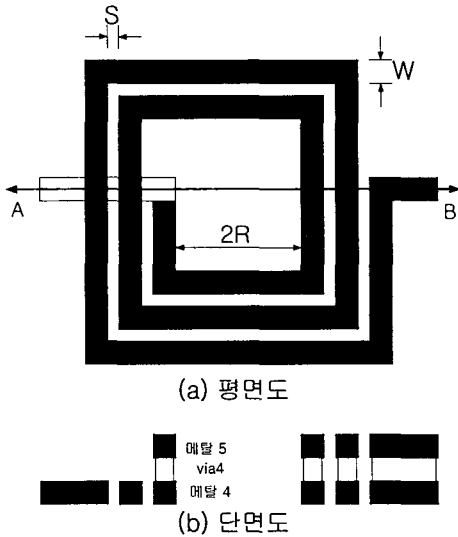


그림 2 메탈 4, 5층을 사용한 인덕터의 평면도 및 단면도
 Fig. 2 Plane surface and cross section of inductor using metal 4, 5

제안된 다층 메탈 인덕터의 비아는 그림 2, 3과 같이 하나의 개체로 하여 레이아웃을 수행하여 시뮬레이션 하였다. 비아를 설계 룰에 의하여 각각으로 레이아웃하여 시뮬레이션 한 경우 시간이 증가하였으나 각각의 비아를 하나의 개체로 레이아웃하여 시뮬레이션 한 결과 시간이 단축되고 특성도 일치하였다. 따라서 기존의 나선형 인덕터와 비교하여 메탈층의 두께가 두꺼지는 효과를 가져온다. 설계된 다층 메탈 인덕터를 레이아웃한 다음 인덕터에 실제적인 변수들을 대입해서 식 (1)~(3)으로 값의 변화에 대하여 고찰해 보자.

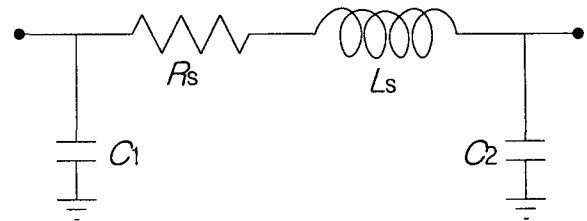


그림 4 인덕터 등가모델
 Fig. 4 Equivalent model of inductors

- $R_s = \frac{\rho}{t} \times \frac{L}{W}$ ($R = \frac{\rho}{t} = 20m\Omega/\square$) (1)
- $C_p = 0.016 \text{ fF}/\mu\text{m}^2 \times L \times W$ (2)
- $L_s = 0.0241 \times a \times n^{\frac{5}{3}} \times \log[8 \times \frac{a}{c}]$: Byran 방법 (3)

식 (3)에서 a 는 밖과 안의 직경을 4로 나눈 값, c 는 밖의 직경에서 안의 직경을 뺀 값을 2로 나눈 값, n 은 turn 수이다[7].

그림 1과 같이 기존의 나선형 인덕터에서 비아층은 메탈층에 비해 저항성분이 커서 Q값의 감소를 가져온다. 그러나 다층 메탈을 이용한 그림 2와 3과 같은 구조는 비아층이 메탈층을 연결하는 역할이 아닌 메탈층과 같은 도선 역할을 하는 것으로 설정하였을 경우 도선의 두께 증가로 인하여 식 (1)을 이용하여 계산하면 전체적으로 저항 성분 R_s 가 감소한다. 따라서 $Q = \text{Im}(Z) / \text{Re}(Z) = X / R$ 이므로 Q값이 증가한다. C_p 는 금속과 기판사이의 기생 캐패시터에 비례하며, 그림 4의 C_1, C_2 에 해당한다. 다층 메탈을 사용하게 되면 최상위층 메탈을 사용할 때보다 메탈과 기판사이의 간격이 가까워지며, 캐패시터는 간격에 반비례하므로 캐패시터 값은 커질 것으로

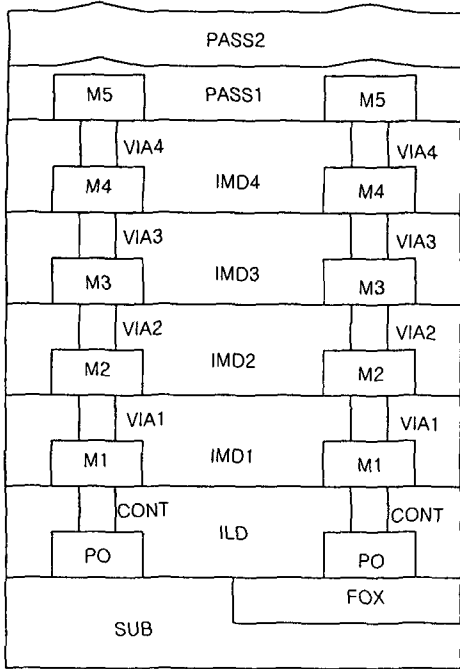


그림 5 실리콘 기판의 단면도
Fig. 5 Cross section of silicon substrate

표 1 실리콘 기판의 유전율, 두께 및 도전율
Table 1 Dielectric constant, thickness and conductivity of silicon substrate

	유전율	두께(A°)	도전율(S/m).
FOX	3.9	3450	
ILD	4.0	8000	
IMD1	4.1	15700	
IMD2	4.1	15700	
IMD3	4.1	15700	
IMD4	4.1	15700	
PASS1	4.1	15100	
PASS2	7.9	7000	
M1		5700	1.626e+7
M2		5700	2.308e+7
M3		5700	2.308e+7
M4		5700	2.308e+7
M5		15000	2.308e+7
PO		2000	
SUB		60000	
VIA 1		10000	2.5e+7
VIA 2		10000	2.5e+7
VIA 3		10000	2.5e+7
VIA 4		10000	2.5e+7
CONT		6000	

예측된다. 그러나 캐패시터 값이 매우 작으므로 전체적으로는 크게 영향을 미치지 않는다. 다음으로 Byran 방법에 의한 L_s 의 변화를 고찰해 보자. 다층 메탈을 사용하여 변화하는 변수는 두께뿐이라고 가정한다면 식 (3)에서 볼 수 있듯이 L_s 의 변화는 없다. 따라서 인덕터의 Q값을 결정짓는 R_s 와 L_s 의 변화만을 고려한다면 Q값은 증가할 수 있다.

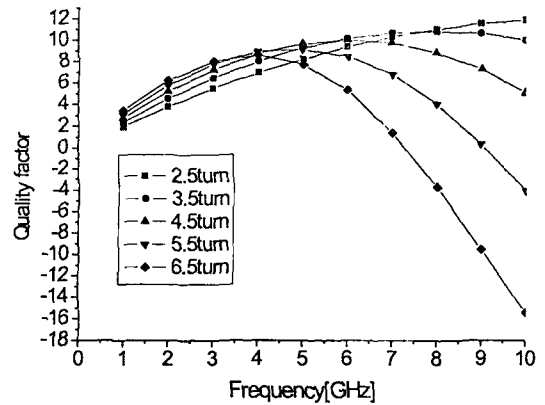
본 논문에서 사용한 공정은 TSMC 1-poly 5-metal 0.25 μ m CMOS n-well 공정으로 그림 5와 같이 5개의 메탈층이 사용 가능하다. 최상위층 메탈 5의 두께는 1.5 μ m이고, 다른 메탈은 0.57 μ m로 메탈 5는 다른 메탈에 비하여 두꺼운 메탈을 사용하였다. 각 층별 유전율, 두께 및 도전율은 표 1과 같다.

3. 시뮬레이션 결과

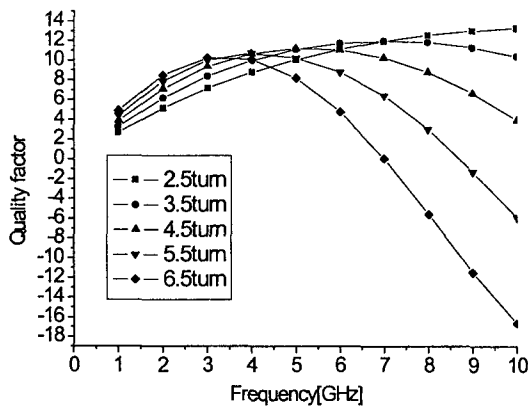
그림 1과 같은 기존의 나선형 인덕터, 그림 2와 같은 메탈 4, 5층을 사용한 인덕터와 그림 3과 같이 5개의 메탈층을 사용한 인덕터를 $S=1\mu$ m, $R=50\mu$ m, $W=2\mu$ m로 하여 2.5, 3.5, 4.5, 5.5, 6.5 turn수에 대하여 2.5D field 시뮬레이션 툴인 모멘텀을 이용하여 비교 시뮬레이션 하였다. 먼저 모멘텀을 이용하여 2포트로 레이아웃된 인덕터를 시뮬레이션하여 s-파라미터를 추출하고, 이때 추출된 s-파라미터를 이용하여 등가회로의 소자값을 구하여 Q값을 측정하였다.

또한 레이아웃 룰에 의해 CMOS 공정에서 비아의 크기는 정해져 있으나, 비아를 메탈 층과 같이 하나의 개체로 하여 시뮬레이션을 하는 경우와 비아를 다른 개체로 만들어 시뮬레이션 하는 경우에 시뮬레이션 결과는 일치하므로 시뮬레이션 시간을 단축하기 위하여 비아를 하나의 개체로 레이아웃하여 시뮬레이션하였다. 시뮬레이션 구간은 1GHz~10GHz까지로 하였고, 시뮬레이션 결과 데이터는 그림 6~9와 같이 1GHz 간격으로 정리하였다.

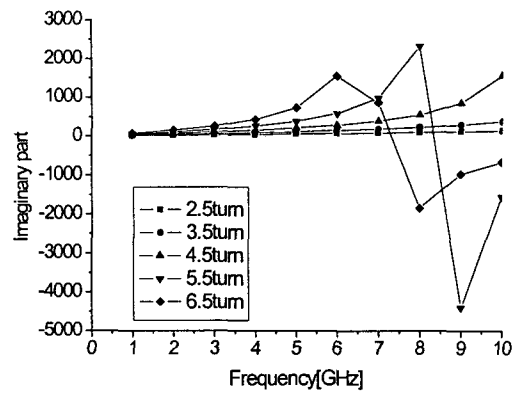
그림 6에서는 turn 수 변화에 따른 인덕터의 Q값의 변화를 나타내고 있으며, Q값은 그림 7과 8의 데이터를 사용하여 계산하였다. 그림 6(c)에서 메탈 1~5층을 사용한 5.5 turn과 6.5 turn의 4GHz 이하 영역의 Q값의 변화는 데이터의 복잡함에 의한 시뮬레이션 결과의 오차로 보여진다.



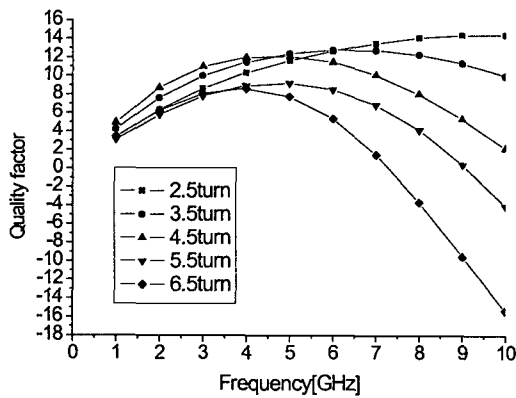
(a)



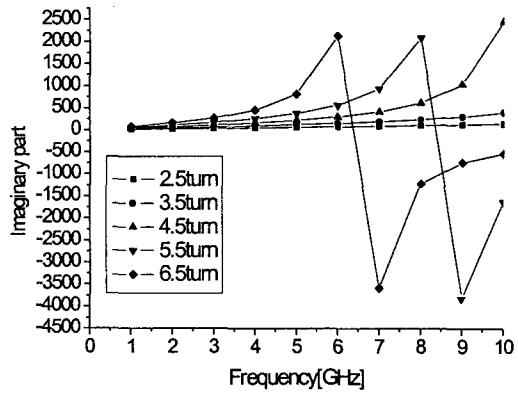
(b)



(b)



(c)



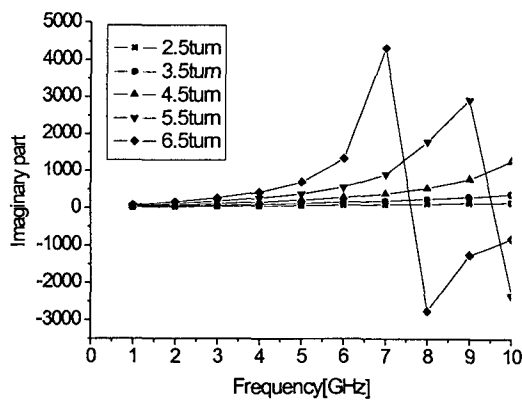
(c)

그림 6 Turn수의 변화에 대한 Quality factor (a) 기존의 나선형 인덕터, (b) 메탈 4, 5층을 사용한 인덕터, (c) 메탈 1-5층을 사용한 인덕터

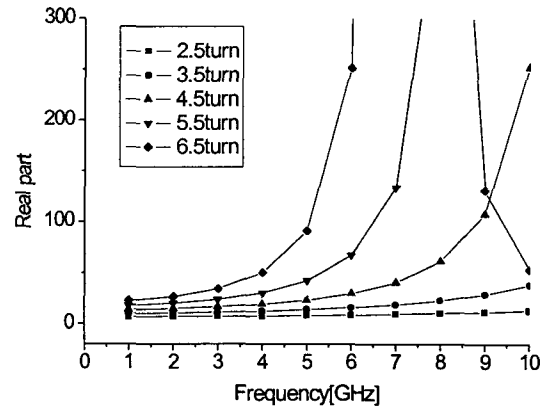
Fig. 6 Quality factor of variable turn (a) Conventional spiral inductor, (b) Inductor using metal 4, 5, (c) Inductor using metal 1-5

그림 7 Turn 수의 변화에 대한 imaginary 성분 (a) 기존의 나선형 인덕터, (b) 메탈 4, 5층을 사용한 인덕터, (c) 메탈 1-5층을 사용한 인덕터

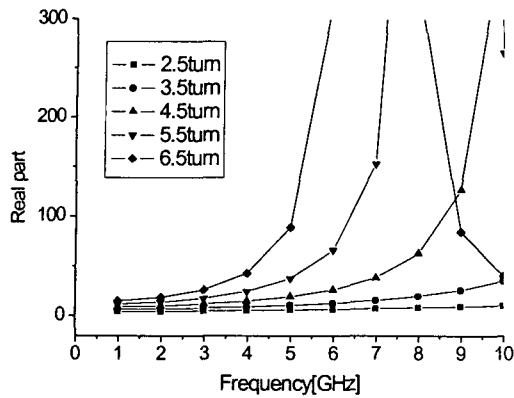
Fig. 7 Imaginary part of variable turn (a) Conventional spiral inductor, (b) Inductor using metal 4, 5, (c) Inductor using metal 1-5



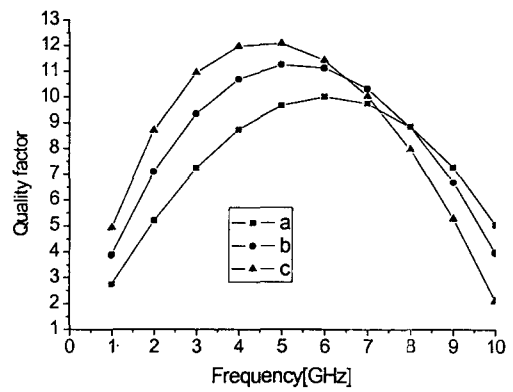
(a)



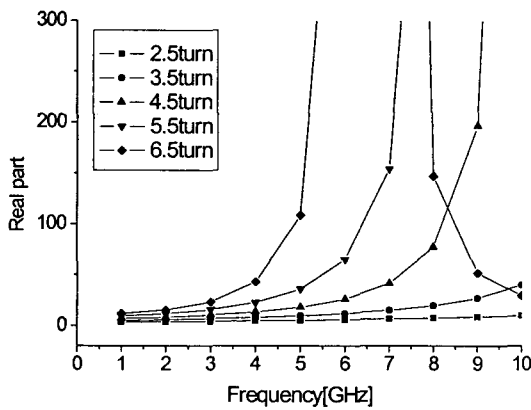
(a)



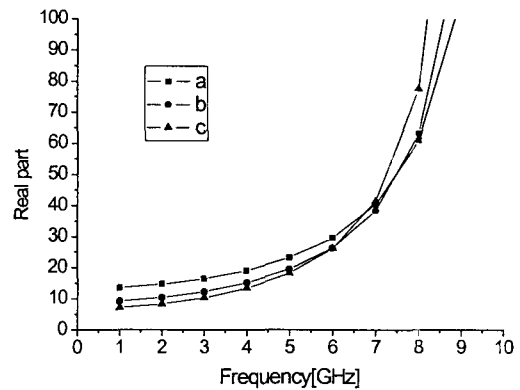
(b)



(a)



(c)

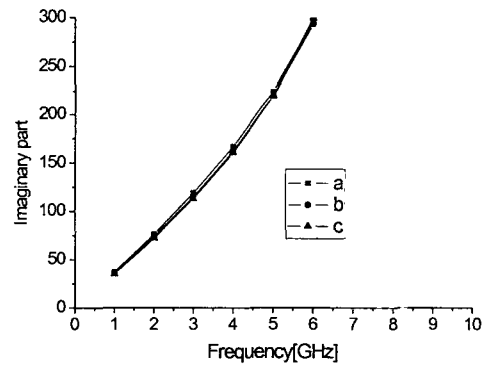


(b)

그림 8 Turn 수의 변화에 대한 real 성분 (a) 기존의 나선형 인덕터, (b) 메탈 4, 5층을 사용한 인덕터, (c) 메탈 1-5층을 사용한 인덕터

Fig. 8 Real part of variable turn (a) Conventional spiral inductor, (b) Inductor using metal 4, 5, (c) Inductor using metal 1-5

제안된 다층 인덕터의 특성 비교를 위해 그림 9와 같이 4.5 turn의 시뮬레이션 결과를 비교하였다.(a: 기존의 나선형 인덕터, b: 메탈 4, 5층을 사용한 나선형 인덕터, c: 메탈 1-5층을 사용한 인덕터) 그림 9(a)에서는 기존의 나선형 인덕터에 비하여 메탈 층을 많이 사용할수록 점차 낮은 주파수에서 최대 Q값을 갖는다. 그리고 인덕터의 인덕턴스 성분은 그림 9(b)와 같이 기존의 인덕터와 제안된 인덕터가 거의 일치함을 알 수 있었다. 이것은 식 (3)에서 계산한 것과 같이 두께의 변화가 인덕턴스의 변화에는 크게 의존하지 않는다는 것이다. 그림 9(c)는 인덕터의 저항성분의 변화를 나타내고 있으며 기존 나선형 인덕터에 비하여 메탈 층을 많이 사용할수록 무선주파수 대역에서 저항 성분이 작아지는 것을 나타내고 있다. 즉 무선주파수 대역인 900MHz~2.4GHz에서 저항 성분이 작아지므로 Q 값이 커지게 된다.



(c)

그림 9 4.5 turn일 때의 비교 (a) Quality factor의 비교, (b) Real 성분의 비교, (c) Imaginary 성분의 비교

Fig. 9 Comparison of 4.5 turn inductors (a) Comparison of quality factor, (b) Comparison of real part, (c) Comparison of imaginary part

위와 같이 시뮬레이션 결과는 수식을 사용한 예측 결과를 따르고 있음을 알 수 있다. 표 2는 서로 다른 turn수를 갖는 인덕터의 특성을 비교 시뮬레이션 결과를 나타내었다.

2 시뮬레이션 결과값

Table 2 Simulation results

		C1 [pF]	C2 [pF]	RS [Ω]	LS [nH]
2.5 turn	(a)	0.0136976	0.0151302	6.42526	2.00931
	(b)	0.0137278	0.0169879	4.51934	1.91407
	(c)	0.0146664	0.0173305	3.42402	1.84902
3.5 turn	(a)	0.0159725	0.0196976	10.0071	3.7015
	(b)	0.0162829	0.0214823	6.66906	3.5315
	(c)	0.0171028	0.0219444	4.65251	3.35767
4.5 turn	(a)	0.0184941	0.0239897	13.1529	5.85831
	(b)	0.0184124	0.0257915	9.10945	5.69542
	(c)	0.0184939	0.0274606	6.92803	5.54614
5.5 turn	(a)	0.0199827	0.0293408	17.276	8.72022
	(b)	0.0192346	0.0326142	11.6139	8.44251
	(c)	0.0228475	0.029732	9.08601	8.33373
6.5 turn	(a)	0.0246337	0.0318392	21.6424	12.1875
	(b)	0.020632	0.0454932	13.9848	11.7381
	(c)	0.0239519	0.0374695	11.4	11.6416

4. 결 론

본 논문은 900MHz~2.4GHz의 무선통신 주파수대역에서 CMOS 1-poly 5-metal n-well 0.25 μ m 공정을 이용한 나선형 인덕터의 Q값을 향상시키기 위한 방법에 관하여 연구하였다. 다층 메탈을 사용한 나선형 인덕터는 같은 크기의 나선형 인덕터에 비교하여 Q값이 향상되었으며, 최대 Q값의 주파수는 낮아지는 특성을 가지고 있다. 그러므로 본 논문의 시뮬레이션 결과는 무선통신 주파수대역에서 Q값을 향상시킬 수 있음을 보여주고 있다.

또한 차후에는 시뮬레이션을 통한 연구만이 아닌 실제 제작을 통한 결과를 확인할 필요가 있으며 크기를 변화시켜 최적의 결과를 얻을 수 있는 연구를 수행하여야 할 것이다.

감사의 글

본 연구는 정보통신부 대학기초연구지원사업의 지원으로 수행되었습니다.

참 고 문 헌

[1] John R. Long and Miles A. Copeland, "The Modeling, Characterization, and Design of Monolithic Inductors for Silicon RF IC's," IEEE Journal of Solid-State Circuits, vol. 32, no. 3, pp. 357-368, Mar. 1997.
 [2] Min Park, Seonghearn Lee, Hyun Kyu Yu, Jin Gun Koo and Kee Soo Nam, "High Q CMOS-Compatible Microwave Inductors Using Double-Metal Interconnection Silicon Technology," IEEE Microwave and Guided Wave Letters, vol. 7, no. 2, pp. 45-47, Feb. 1997.
 [3] Min Park, Seonghearn Lee, Hyun Kyu Yu and Kee Soo Nam, "Optimization of high Q CMOS-compatible microwave inductors using silicon CMOS technology,"

IEEE MTT-S Digest, pp. 129-132, 1997.

[4] Joachim N. Burghartz, Keith A. Jenkins and Mehmet Soyuer, "Multilevel-Spiral Inductors Using VLSI Interconnect Technology," IEEE Electron Device Letters, vol. 17, no. 9, pp 428-430, Sep. 1996.
 [5] M. Soyuer, J. N. Burghartz, K. A. Jenkins, S. Ponnappalli, J. F. Ewen and W. E. Pence, "Multilevel monolithic inductors in silicom technology," ELECTRONICS LETTERS, vol. 31, no. 5, pp. 359-360, Mar. 1995.
 [6] G. W. Dahlmann and E. M. Yeatman, "High Q microwave inductors on silicon by surface tension self-assembly," ELECTRONICS LETTERS, vol. 36, no. 20, pp. 1707-1708, Sep. 2000.
 [7] 조현목, "실리콘 IC에서 정사각-나선형 인덕터의 컴퓨터를 이용한 설계," 공주대학교 생산기술연구소 논문집, 제 4권, pp. 119-127, 1996.

저 자 소 개



손 주 호(孫周浩)

1994년 2월 : 전북대학교 전기공학과 졸업(공학사). 1999년 2월 : 전북대학교 전기공학과 졸업(공학석사). 1999년 3월~현재 : 전북대학교 전기공학과 박사과정. <관심분야> 무선랜, 블루투스, 인덕터



최 석 우(崔碩佑)

1994년 8월 : 전북대학교 전기공학과 공학박사. 1996년 2월~2001년 9월 : 전북대학교 전기전자회로합성연구소 전임강사, 조교수. 1999년 9월~2001년 2월 : 미국 오하이오주립대학교 방문연구. 2001년 9월~현재 : 전북대학교 전자정보공학부 부교수. 전북대학교 전자정보기술연구소 연구원. <관심분야> 회로 및 시스템, 집적회로 설계



김 동 용(金東龍)

1967년 2월 : 전북대학교 전기공학과 졸업(공학사). 1973년 2월 : 전북대학교 전기공학과 졸업(공학석사). 1985년 5월 : 캐나다 마니토바대학교 전자공학과 졸업(공학박사). 1986년 10월~현재 : 전북대학교 전기공학과 교수. <관심분야> 회로 및 시스템, VLSI 설계