

# 스캔셀의 Clock과 Reset핀에서의 스캔 설계 Rule Violations 방지를 위한 설계 변경

論 文  
52D-2-3

## A Study on Repair of Scan Design Rule Violations at Clock and Reset Pins of Scan Cells

金 吝 洙\* · 閔 炯 福\*\*  
(Insoo Kim · Hyoung Bok Min)

**Abstract** - Scan design is a structured design-for-testability technique in which flip-flops are re-designed so that the flip-flops are chained in shift registers. The scan design cannot be used in a design with scan design rule violations without modifying the design. The most important scan design rule is concerning clock and reset signals to pins of the flip-flops or scan cells. Clock and Reset pins of every scan cell must be controllable from top-level ports. We propose a new technique to re-design gated clocks and resets which violate the scan design rule concerning the clock and reset pins. This technique substitutes synchronous sequential circuits for gated clock and reset designs, which removes the clock and reset rule violations and improves fault coverage of the design. The fault coverage is improved from 90.48% to 100.00%, from 92.31% to 100.00%, from 95.45% to 100.00%, from 97.50% to 100.00% in a design with gated clocks and resets.

**Key Words** : scan design, rule violations, gated clock, gated reset, fault coverage

### 1. 서 론

ASIC 설계에서 테스트를 용이하게 하기 위한 기법으로서 스캔 설계는 가장 널리 쓰이면서, 확립된 기법으로서 자리잡고 있다. 스캔 설계를 사용하였을 때, 비교적 높은 결함 검출율을 얻을 수 있다. 그러나, 플립 플롭의 clock 및 reset 회로들에 대하여 기존의 스캔 설계 기법을 이용하여 테스트를 수행할 경우, 많은 설계물에서 clock 및 reset에 관련된 스캔 설계 규칙 위반이 확인된다. 그런데 이러한 clock 및 reset 신호와 관련된 스캔 설계 규칙 위반은 테스트 모드라는 회로 동작 모드를 설정하여, 이 모드에서 설계 규칙에 맞도록 설계함으로써 해결하였다. 이러한 스캔 설계 규칙 위반과 이를 피하기 위하여 생겨난 constraint들은 고장검출률(Fault Coverage)이 떨어지는 원인이 되고 있다. 동기회로이면서도 gated clock, gated reset 회로들을 포함한 설계는 ASIC에서 흔히 볼 수 있는 회로들이다. 이러한 회로에 스캔 설계기법을 적용하여 테스트를 수행하면 주 입력단으로 부터 clock 포트와 reset 포트를 직접적으로 조절하기 위해 회로의 구조를 변경한다. 기존의 방법은 clock 포트와 reset 포트를 직접적으로 조절 가능한 경로를 형성하기 위하여, “테스트모드” 입력을 사용하여, 플립플롭의 reset과 clock pin을 직접 조절할 수 있도록 한다. 이런 기존의 방법으로 스캔테스트를 하면, “테스트모드” 입력에 인가되는 논리값으

로 인하여, 오히려 테스트가 되지 못하는 경로가 생성된다. 본 논문에서는 이런 기존의 한계성을 극복하고자 비동기회로를 동기회로로 설계를 변경하여, 테스트를 수행할 경우 rule violation과 constraint문제를 원천적으로 막을 수 있는 의견을 제안한다. 몇가지 예제 회로를 통하여 새로운 스캔 설계 규칙 위반을 막기 위하여 회로를 수정하는 새로운 기법을 보인다. 또한, 기존의 기법과 새로운 기법의 장단점을 보이며, 실험을 통하여 고장검출률을 높일 수 있음을 확인하였다.

### 2. 스캔 설계

Gated clock 및 gated reset은 디지털시스템에서 널리 쓰이는 기법이지만 스캔테스트[1][4] 환경에서 고장검출률(fault coverage)[1][4]을 낮추는 중요한 요인 중의 하나이다. 스캔 설계 환경에서는 회로내의 모든 플립플롭의 clock pin들과 reset pin들이 회로의 주입력인 clock 포트에 의하여 제어가능 해야 하기 때문에 gated clock 회로 및 gated reset 회로를 수정하여야 한다. Gated clock[1][3]은 두 가지 유형으로 분류할 수 있는데, 하나는 플립플롭의 출력 pin이 다른 플립플롭의 clock pin에 연결되는 경우이고, 또 다른 하나는 clock 신호가 gate에 의하여 조합되어 플립플롭의 clock pin에 연결되는 경우이다. 전자의 경우 multiplexer와 테스트 모드 입력을 이용하여 설계를 변경하며[2][3], 후자의 경우 추가적인 gate와 테스트 모드 입력을 이용하여 설계를 변경하는 것이 보통이다[2][3]. Gated reset은 플립플롭의 출력 pin 또는 회로내의 신호가 다른 플립플롭의 reset pin으로 연결되는 경우이며 상황은 gated clock과 유사하다. 그러나 이러한 경우들에 있어 테스트 모드 포트의 constraint로

\* 準 會 員 : 成均館大學校 情報通信工學部 博士課程

\*\* 正 會 員 : 成均館大學校 情報通信工學部 教授 · 工博

接受日字 : 2002年 3月 14日

最終完了 : 2002年 12月 15日

인하여 시험할 수 없는 결함이 생겨나며, 경우에 따라서 이런 결함의 개수를 무시할 수 없는 경우도 있다. 본 논문은 이러한 고장검출률의 저하를 방지할 수 있는 새로운 설계 변경 기법을 보여준다. 기존의 기술을 극복함으로써 스캔 설계 기법을 적용하여 테스트를 수행하고, 높은 고장검출률을 얻는 것이다. 테스트를 고려한 설계 기법 중 가장 널리 사용되는 방법이 스캔기법[1][4][5][10]이다. 자동 테스트 패턴 생성(ATPG : Automatic Test Pattern Generation) [1][4][5][10]을 위한 여러 가지 기법들이 많이 등장하여 조합회로에 대한 테스트 패턴 생성은 비교적 쉽게 할 수 있게 되었지만, 일반적으로 순차회로에 대해서는 아직까지도 자동 테스트 패턴 생성기법이 많이 적용되고 있지는 않다. 스캔 기법은 순차회로의 기본을 이루는 기억소자(flip-flop)들을 테스트 모드에서 외부로부터 쉽게 제어할 수 있도록 한 기법이다. 다른 기법들과 마찬가지로 스캔 기법 또한 높은 고장검출률을 보여준다. 스캔 기법의 기본 개념은 회로내부의 기억소자에 쉽게 접근이 가능하도록 하여, 내부 기억소자는 테스트 패턴을 인가할 수 있는 조절 접점이 되며, 또한 테스트 응답을 관측할 수 있는 관측 접점의 기능을 할 수 있도록 하는 것이다.

2.1 스캔 설계 기법

일반적인 동기 순차회로를 예로 들어 스캔설계기법을 설명하겠다. 조합회로 부분의 입력은 주 입력신호와 플립플롭의 현재상태로 이루어지며, 출력은 주 출력신호와 다음상태로 이루어진다. 그림 1에서 알 수 있듯이 플립플롭의 현재상태 및 다음상태는 칩 외부로부터 직접적으로 조절 및 관측이 불가능하다. 주어진 회로의 모든 플립플롭을 스캔체인(scan chain)[1][6][7][8][9]으로 연결하는 완전스캔(full scan) 기법[1][4][5][6][7]에 의해 변형시킨 후의 회로도도 그림 2에 나타나 있다. 정상 모드 동작은 정상/테스트 단자에 0을 인가한 경우로서, 정상 동작을 하는 순차회로인 그림 1과 같은 동작을 하게 된다. 그림 2에서의 테스트 모드에서는 정상/테스트 단자에 1을 인가한 경우로서 모든 플립플롭들은 스캔체인으로 연결되어 시프트 레지스터와 같은 동작을 하게 되므로 원하는 테스트 패턴을 Scan\_In 단자를 통해 적절히 플립플롭에 인가할 수 있게 되며, 테스트 응답은 Scan\_Out을 통해 칩 외부로 전달된다.

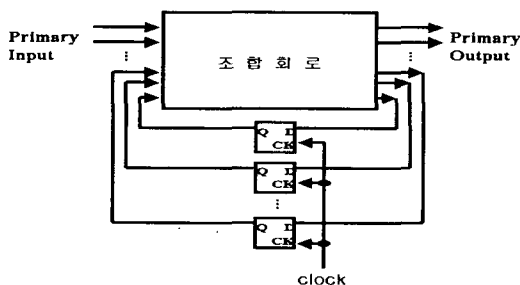


그림 1 동기화된 순차회로  
Fig. 1 Synchronized sequential circuit

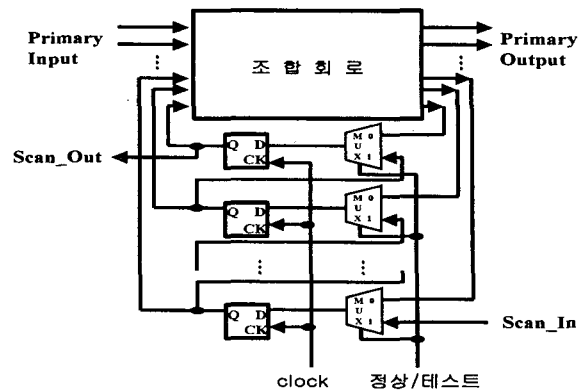


그림 2 완전스캔설계기법을 적용한 순차회로  
Fig. 2 Sequential circuit using full scan design

일반적인 스캔 설계 기법을 요약[10]하면 다음과 같다.

- (1) 정상/테스트 단자에 1을 인가한다.
- (2) 스캔체인 자체의 고장을 탐지하기 위해 1과 0이 반복되는 테스트 패턴을 인가한다. 이 테스트를 통해 스캔체인 자체의 고착 고장(stuck-at-fault)을 탐지할 수 있다.
- (3) 필요한 테스트 패턴을 스캔체인의 입력단(Scan\_In)을 통해 스캔체인에 인가한다. 단 이 경우에 회로의 주 입력신호는 임의의 값을 갖게 된다.
- (4) 정상/테스트에 0을 인가하여 정상 모드로 돌아온다. 그리고 주입력 단자에 필요한 테스트 패턴을 인가한 뒤 주 출력단자의 값을 테스트한다. 다음 상태 값을 적재시키기 위해 플립플롭에 clock을 인가한다.
- (5) 정상/테스트에 1을 인가하여 테스트 모드로 다시 돌아오고 플립플롭에 저장된 회로의 상태를 스캔체인을 통하여 외부로 전달시킨다. 이와 동시에 다음 테스트를 위한 테스트 패턴을 회로 내부로 인가시킬 수 있다.
- (6) 테스트가 더 필요한 경우 3단계부터 다시 수행한다.

2.2 스캔 설계 법칙

고장검출률을 높이기 위해, 설계된 회로가 스캔설계의 적용이 가능한지 검사하여야 한다. 스캔설계에는 기본적인 제약조건들이 존재하고, 그 제약조건을 만족하여야만 스캔설계가 적용 가능하다. 특히 설계 단계에서 gated clock [1][3][5][6][7] 및 reset의 사용은 실제 회로에 빈번히 사용되는 설계 기법이지만 테스트를 수행하기가 용이하지 않는 단점이 있다. 일반적인 테스트 툴에서는 gated clock과 gated reset에 대해 테스트를 하지 않는다. 테스트를 위해서는 multiplexer와 플립플롭을 사용하여 테스트가 가능하도록 한다. 하지만 이 경우에도 테스트를 완벽히 수행하는 것은 아니다. 그림 3회로는 연속된 플립플롭에 있어서 앞단 플립플롭의 출력이 뒷단 플립플롭의 clock으로 연결되는 경우에 해당되는 gated clock 회로이다.

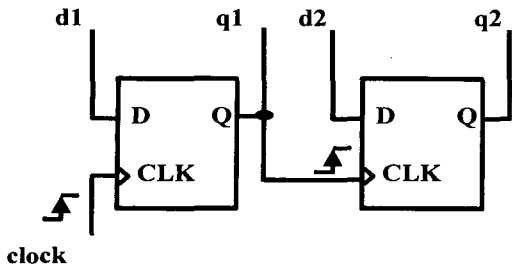


그림 3 앞단 플립플롭의 출력이 뒷단 플립플롭의 clock으로 연결된 gated clock 회로

Fig. 3 Gated clock circuit in which output of a flipflop is fed to clock of another flipflop

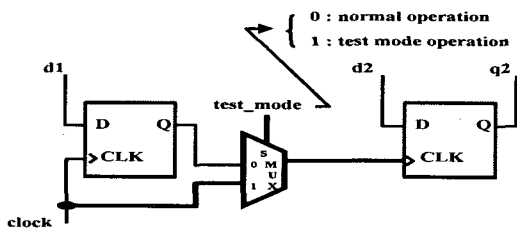
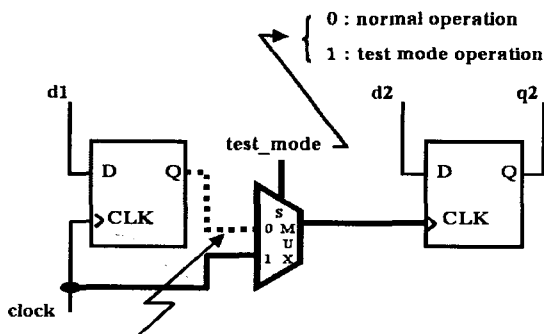


그림 4 그림 3회로를 기존의 스캔 설계 기법을 이용하여 테스트를 수행

Fig. 4 Testing by classical scan design for Fig.3 circuit

그림 4에서 보여주는 기존의 테스트기법은 multiplexer를 사용하여 일반 동작과 테스트 시의 동작을 구분하여 조절하는 기법[2][8][9]이다. 이 기법은 일반 동작 시에서의 Q로부터 뒷단 플립플롭의 입력 clock인 CLK로의 경로를 차단하고 앞단 플립플롭에 들어오는 clock신호를 뒷단 플립플롭의 clock으로 직접 연결시킴으로서 동기적인 동작을 수행하는 clock으로 회로의 변경을 꾀하는 방법이다. 이 방법은 효율적인 것이기는 하지만 단점이 존재한다. 이 단점을 그림 5에서 표현하였다.



이 부분이 테스트가 되지 않는다 : 기존 방법의 결점  
=> 고장검출률 감소의 원인으로 작용

그림 6 그림 3회로를 기존의 방법으로 테스트 수행시 발생하는 문제점

Fig. 5 Problems of classical scan design for Fig. 3 circuit

기존 방법에서의 단점은 테스트 모드를 통한 테스트를 수행할 수 없는 경로가 생긴다는 것이다 (그림 5의 점선부분). 일반적인 동작 시에는 점선부분의 경로까지도 사용하여 동작을 수행하지만 테스트 수행 시에는 이 경로가 생략되므로 회로에서 테스트를 수행하지 못하는 부분이 자연스럽게 발생하게 된다. 즉, 테스트를 수행하기 위해 테스트모드로 전환하여 구조적인 변경을 꾀하지만 그것이 원인이 되어 도리어 테스트를 수행할 수 없는 부분이 생겨버리는 단점이 존재한다는 것이다.

다음은 또 다른 경우의 gated clock에 대한 기존의 테스트 기법을 그림 6과 그림 7을 통해 설명을 하겠다.

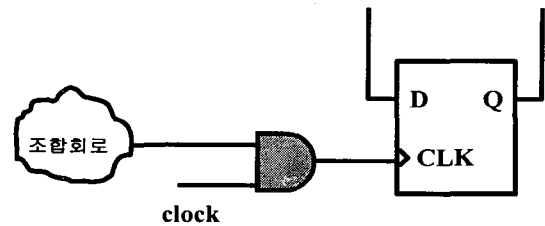


그림 6 조합회로의 출력신호와 주 입력 clock이 gate에 의하여 조합되어 clock으로 연결된 회로

Fig. 6 Clock path via a combinational circuit block

그림 6은 조합회로의 출력신호와 주 입력 clock이 gate에 의하여 조합되어 논리적인 변화를 겪은 후, 플립플롭의 clock으로 사용되는 경우이다. 이런 경우 기존의 테스트 기법은 그림 7과 같은 방법을 사용하지만 이 방법에서도 역시 단점은 존재하고 있다.

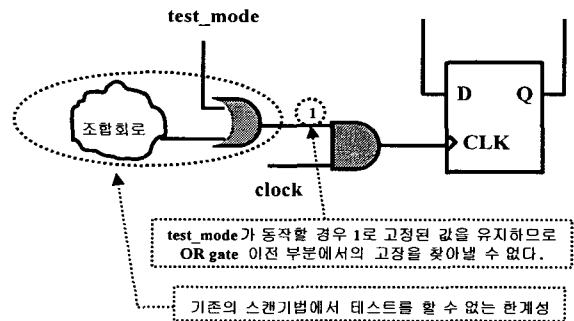


그림 7 그림 6회로를 기존의 방법을 이용한 테스트 수행 및 그로 인해 발생하는 문제점

Fig. 7 Testing by classical scan design for Fig. 6 circuit and its related problems

Gated clock이 입력 clock으로 사용되는 경우에 기존의 방법[2]은 앞부분에 OR gate를 설치하여 테스트 전의 회로의 정상 입력과 테스트 모드로의 변경 시 사용할 포트를 연결한다.

이 방법의 단점은 테스트를 위해 테스트 모드 입력포트에 1을 입력시킬 경우에 OR gate의 출력부가 1로 고정되어 버리는 결과를 초래하게 되고 결국 OR gate의 입력으로 판단

되는 회로 전체의 고장진단 자체가 불가능하게 되는 상황이 된다.

**2. 테스트를 적용할 기본 구조 및 제안하는 설계 변경 방안**

VLSI회로의 설계 중 일부의 gated clock, reset 회로 또는 비동기회로가 원인이 되어 고장검출률을 낮게 하고 크게는 고장의 원인이 되기도 한다.

제시하는 그림 8은 비동기 clock에 의해 동작하는 gated clock D-플립플롭 회로이다. 이 회로의 특징은 앞단 플립플롭의 출력값 q1이 뒷단 플립플롭의 동작을 위한 입력 clock으로 사용된다는 것이다. 이와 같은 회로의 경우 일부 경로가 테스트를 위한 동작을 취할 시 그로 인해 오히려 테스트가 이루어지지 않는 부분이 생겨난다는 단점이 있다.

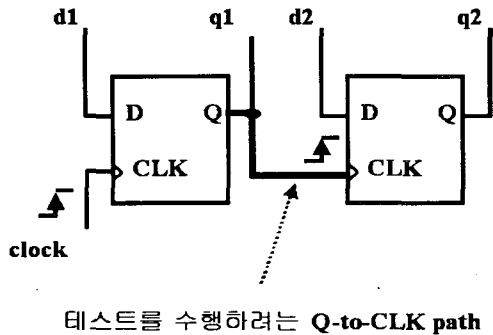


그림 8 테스트를 적용할 기본 구조  
Fig. 8 Circuit structure under test

이러한 회로를 테스트하기 위해 스캔설계기법을 적용하려 하지만 그림 8과 같은 구조에서 스캔설계기법의 적용은 용이하지 않기 때문에, 구조를 변경하여 스캔설계기법을 적용할 수 있는 회로로의 변환을 피하려 한다.

변환전과 후의 회로가 동일기능을 담고 있는 것은 시뮬레이션 과정을 통하여 확인을 하였다. 더 나아가 그림 8의 회로에서 앞단 플립플롭과 뒷단 플립플롭 사이에 논리적인 조합 또는 조합회로가 있으며 이 부분이 또 다른 clock에 의해 조절됨과 동시에, 그 출력부분이 AND gate로 구성되어 있는 그림 9와 같은 경우를 고려하여 그 해결 방안도 찾으려 한다.

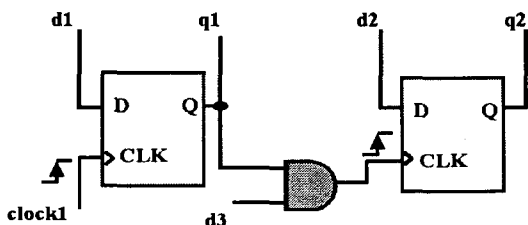


그림 9 연속적인 플립플롭 사이에 추가적인 회로가 존재하는 경우  
Fig. 9 Combinational circuit block between two flipflops

또한 gated reset 부분 역시 기존의 스캔설계기법을 적용하기 쉽지 않다. 이러한 reset 분야에 대해서도 본 논문에서는 제안하는 설계변경기술을 통하여 테스트가 용이하도록 설계변경을 피하려 한다.

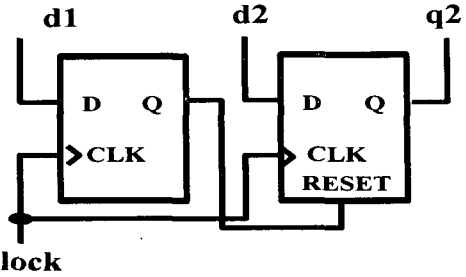


그림 10 앞단 플립플롭의 출력단이 뒷단 플립플롭의 reset pin 과 연결된 경우-1  
Fig. 10 Output of a flipflop is fed to reset pin of another flipflop, case-1

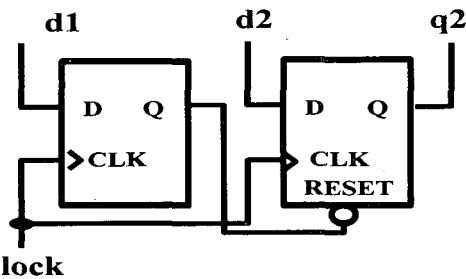


그림 11 앞단 플립플롭의 출력단이 뒷단 플립플롭의 reset pin 과 연결된 경우-2  
Fig. 11 Output pin of a flipflop is fed to reset pin of another flipflop, case-2

그림 10의 회로의 경우 reset pin을 외부로부터 직접적으로 조절이 어렵기 때문에 스캔설계기술을 적용할 수 없다. 그림 11역시 reset pin을 조절하기 용이하지 않기 때문에 본 논문에서 제안하는 설계변경기술을 적용하여 스캔설계기술이 가능하도록 하려한다.

**4. 새로운 설계 변경 기술**

표 1 그림 8회로의 q1에 관한 카르노맵  
Table 1 Karnaugh map for q1 of Fig. 8

	d1d2	00	01	11	10
q1q2	00	0	0	1	1
	01	0	0	1	1
	11	0	0	1	1
	10	0	0	1	1

표 2 그림 8회로의 q2에 관한 카르노맵  
Table 2 Karnaugh map for q2 of Fig. 8

d1d2	00	01	11	10
q1q2				
00	0	0	1	0
01	1	1	1	0
11	1	1	1	1
10	0	0	0	0

위의 카르노맵(karnaugh map)들은 그림 8회로를 그림 13 회로로 설계변경기술을 적용함에 있어 사용된 것이다. 그림 8의 상태도(state diagram), 진리표 및 카르노 맵을 통하여 비동기적인 회로인 그림 8의 동작적인 특성을 파악하여 동기회로로 변환하였다. 그 후 다시 회로의 동작 상태를 검사하는 단계를 거쳤다.

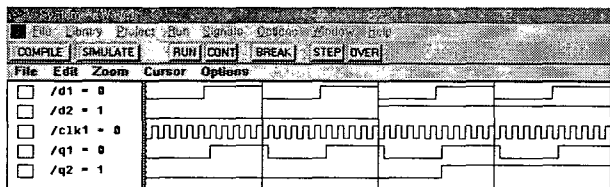


그림 12 그림 8회로와 그림 13회로의 동작검증을 위한 파형  
Fig. 12 Simulation waveforms for Fig. 8 and Fig. 13

그림 12는 그림 8회로와 그림 13회로의 동작을 검증한 파형의 모습이다. 두 회로의 동작 파형이 동일함을 확인하였다. 이로써 비동기회로의 동작적인 특성에 있어서의 변화 없이 테스트가 용이하도록 동기회로로 설계를 변경하였다. 이와 유사한 방법으로 다음에 다루게 되는 회로들 또한 설계변경기술을 적용하였다.

그림 8의 회로를 동일한 기능을 담고 있는 동기회로로 설계 변경한 회로를 그림 13에서 보여준다. 설계 변경된 회로는 칩 면적 관점에서는 약간 증가하는 경향이 있지만 현재와 같이 VLSI의 집적도가 수백만 gate급인 수준에서 미미한 칩 면적의 증가가 단점으로 작용하지는 않을 것으로 판단한다. 또한 칩 전체 중 일부에서 비동기회로 또는 gated clock, reset 회로가 발생하므로 면적증가로 인한 부담은 고려의 대상에서 제외하여도 될 듯하다.

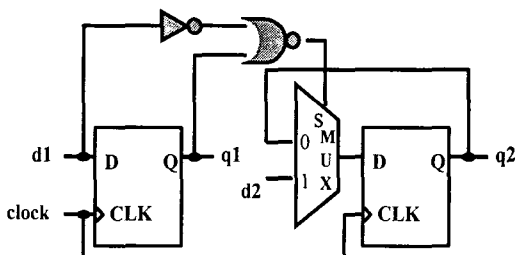


그림 13 그림 8회로를 동기회로로 변경한 회로  
Fig. 13 Modified sequential circuit from Fig. 8 circuit

그림 9를 동기회로로 설계 변경한 회로는 그림 14에 담았다.

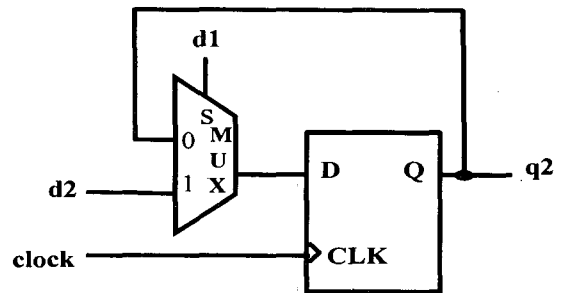


그림 14 그림 9회로를 동기회로로 변경한 회로  
Fig. 14 Modified sequential circuit from Fig. 9 circuit

그림 14회로는 그림 9회로에서의 앞단 플립플롭을 표현에서 제외하였다. 이유는 앞단의 플립플롭이 D플립플롭이기 때문에 입력 d1의 값이 q1으로 동일하게 출력되기 때문이다. 그림 14회로의 동작을 살펴보면 d1이 논리값 0 일 때 플립플롭의 논리값을 유지(hold)하고, d1이 논리값 1 일 때는 d2의 논리값을 q2로 전달한다. 이는 그림 9회로의 동작적인 특성을 그대로 유지하는 모습이다.

Gated reset 회로 또한 설계변경을 통하여 기존의 단점을 보완하였다. 뒷단 플립플롭의 입력단에 앞단 플립플롭의 입력데이터인 d1, 출력 데이터인 q1을 다음과 같이 값을 변경하여 재입력을 한다.

$$d2 \leq d1' \text{ and } d2 \text{ and } q1' \quad (1)$$

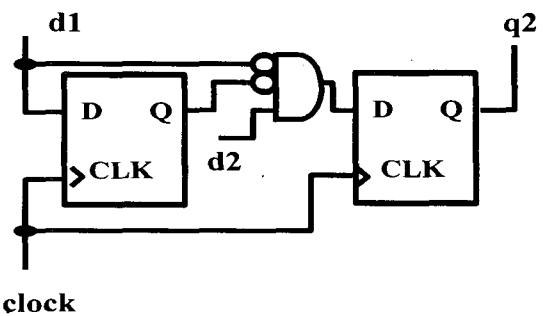


그림 15 그림 10회로를 동기회로로 변경한 회로  
Fig. 15 Modified sequential circuit from Fig. 10 circuit

그림 16의 회로 역시 뒷단 플립플롭의 입력단에 앞단 플립플롭의 입력데이터인 d1, 출력 데이터인 q1을 다음과 같이 값을 변경하여 재입력을 한다.

$$d2 \leq d1 \text{ and } d2 \text{ and } q1 \quad (2)$$

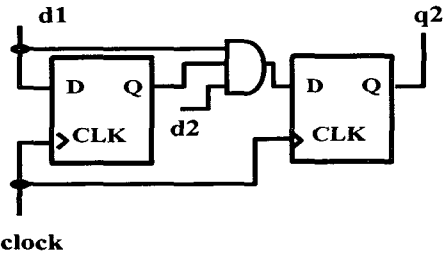


그림 16 그림 11회로를 동기회로로 변경한 회로  
Fig. 16 Modified sequential circuit from Fig. 11 circuit

이로써 기존의 단점들을 모두 보완하였다.

### 5. 실험

본 논문을 통하여 다루어지는 모든 회로는 Modeltech™의 V-System을 통하여 동작적인 검증을 하였으며, 논리합성을 위해서는 Synopsys™의 Design Compiler를 사용하였다. 테스트를 수행하기 위해 VeraTest™의 ScanT를 이용하였으며 사용한 라이브러리는 Lsi-10K이다.

이 모든 연구는 UltraSPARC-II 360MHz의 CPU와 1024MB의 memory가 장착된 SUN microsystems™의 Ultra-60 Workstation에서 하였다. 그림 8회로를 본 논문에서 제안하는 설계변경기술을 적용한 결과가 그림 13회로이다. 또한 그림 9회로에 역시 설계변경기술을 적용한 결과가 그림 14이다.

이 4가지의 회로만을 직접적으로 비교한 데이터는 표 3과 표 4에 담았다.

표 3과 표 4를 통하여 기존의 회로와 설계변경기술을 적용한 회로간의 정보를 담았다. 본 논문에서 제안하는 설계변경기술을 적용할 경우, 각각 1:1.38 과 1:1 의 회로면적의 증가율을 보이고 있다. 또한 전력 소모 면에서의 결과도 1:2.35 와 1:1.01 의 비율로 증가하는 모습을 보여주고 있으나, 이는 플립플롭만으로 구성된 간단한 회로에 게이트의 추가로 인한 결과이다. 하지만 이러한 증가들은 전체 VLSI 회로 중 gated clock으로 구동되는 회로가 일부분임을 감안할 경우 그리 큰 지장을 초래하지는 않을 것으로 생각된다. 무엇보다 기존의 테스트기법을 이용하여 얻은 고장검출률과 본 논문에서 제안하는 설계변경기술을 적용한 이후의 고장검출률을 살펴볼 때 각각 90.48%에서 100%로, 92.31%에서 100%로 높은 수치를 나타내고 있다.

이는 본 논문에서 제안하는 설계변경기술이 기존의 테스트의 한계성을 극복할 수 있는 방안임을 입증한다.

다음은 회로간에 있어서 이러한 직접적인 비교에서 벗어나 좀 더 다양한 데이터를 논문에 실었다.

실질적으로 HDL(Hardware Description Language)을 이용한 RTL(Register Transfer Level) 수준의 설계 속에서 본 논문에서 다루고 있는 회로와 동일한 경우에 있어서의 검증 절차를 거쳤다.

보편적인 설계회로를 통하여 나타낼 수 있는 그림 8회로가 삽입된 예를 통하여 설계변경기술의 타당성을 검증하였다.

표 3 그림 8회로와 그림 13회로의 연구결과

Table 3 Experimental results for the circuits in Fig. 8 and Fig. 13

	그림 8회로	그림 13회로
Total Gate #	13	18
Total Gate # (비율)	1	1.3846
Total Dynamic Power	84.4536 nW	198.9830 nW
Total Dynamic Power (비율)	1	2.3561
고장검출률	90.48 %	100 %

표 4 그림 9회로와 그림 14회로의 연구결과

Table 4 Experimental results about Fig. 9 circuit and Fig. 14 circuit

	그림 9회로	그림 14회로
Total Gate #	9	9
Total Gate # (비율)	1	1
Total Dynamic Power	99.8978 nW	101.3168 nW
Total Dynamic Power (비율)	1	1.0142
고장검출률	92.31 %	100 %

표 5의 Clock Generator 회로는 HDL 언어를 이용하여 RTL 수준으로 설계한 경우이다. 보편적인 Clock Generator 설계 속에는 gated clock이 사용되며 이 점을 고려하여 검증회로로 선택하였다.

그림 17회로는 4개의 플립플롭으로 구성되어 있으며, 설계변경기술을 적용하기 이전의 기존의 스캔설계기법으로 테스트를 수행한 결과 고장검출률이 88.16%인데 반해, 본 논문에서 제안하는 설계변경기술을 적용한 경우에 있어서는 100%의 고장검출률을 확인하였다. 물론 설계변경기술의 적용 전후에 있어서의 기능적 차이가 없음 또한 확인하였다. 다음의 그림 18과 그림 19는 VeraTest™의 ScanT를 이용하여 테스트를 수행하는 과정에서 얻은 log file의 일부이다.

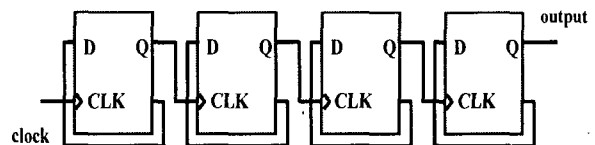


그림 17 그림 8회로가 삽입되어 있는 보편적인 Clock Generator의 경우

Fig. 17 Clock generator in which the circuit in Fig. 8 is included

표 5 보편적인 Clock Generator를 통한 설계변경기술의 검증

Table 5 Verification of proposed design method from general clock generator

	그림 17회로	기존 스캔설계기술 적용	설계변경기술 적용
Total Gate #	20	30	38
Total Gate # (비율)	1	1.5	1.9
Total Dynamic Power	5.8224 nW	6.0198 nW	15.7064 nW
Total Dynamic Power (비율)	1	1.0339	2.6977
# of Rule Violations	3	0	0
고장검출률		88.16 %	100 %

```

Checking Capture Clocks ...
FYI: Clock pins of 1 flipflops are reachable from clock port 'clock'.
FYI: Clock pins of 3 flipflops are not reachable from clock ports.
ERROR : SCRC-3: there is no path from capture clocks to clock pin of flipflop '/div4_reg'.
ERROR : SCRC-3: there is no path from capture clocks to clock pin of flipflop '/div16_reg'.
ERROR : SCRC-3: there is no path from capture clocks to clock pin of flipflop '/div8_reg'.
    
```

그림 18 그림 17회로를 기존의 스캔설계기법을 이용하여 테스트를 수행시의 log file

Fig. 18 Log file generated during test using classical scan design method for Fig 17

```

Checking Capture Clocks ...
FYI: Clock pins of 4 flipflops are reachable from clock port 'clock'.
FYI: All clock pins of flipflops and latches are reachable from clock ports.
    
```

그림 19 그림 17회로를 설계변경기술을 적용하여 테스트를 수행시의 log file

Fig. 19 Log file generated during test using proposed design method for Fig. 17

그림 18에서는 그림 17회로가 스캔설계기법의 기본적인 조건인 주 입력 clock의 신호가 각 플립플롭의 clock에 직접적으로 도달해야 한다는 조건을 충족하지 못하고 있음을 보여준다. 이것이 고장검출률이 떨어지는 요인으로 작용하고 있는 것이다.

반면에 그림 19는 설계변경기술의 적용을 통하여 주 입력 clock 단자로부터 각 플립플롭의 입력 clock단자와의 직접적인 경로가 형성됨을 확인시켜준다. 이로 인해 테스트의 효율이 높아지게 되어 높은 고장검출률을 얻을 수 있다.

다음은 본 논문에서 제안하는 경우에 해당하는 회로를 더욱 큰 회로 속에서 찾고 이 또한 설계변경기술의 타당성을 입증해 보이도록 한다. 이 회로는 38개의 플립플롭과 12개의 래치로 구성되어 있다.

본 회로 역시 RTL 수준에서 HDL 언어를 이용하여 설계된 회로이다.

표 6 RTL 수준으로 설계한 일반적인 회로를 통한 설계변경기술의 검증

Table 6 Verification of proposed design method for a circuit designed in RTL level

	회로	기존 스캔설계기술 적용	설계변경기술 적용
Total Gate #	412	435	484
Total Gate # (비율)	1	1.0558	1.1748
Total Dynamic Power	96.3506 uW	205.2124 uW	202.5163 uW
Total Dynamic Power (비율)	1	2.1299	2.1019
고장검출률		94.68 %	97.99 %

```

Checking Capture Clocks ...
FYI: Clock pins of 21 flipflops are reachable from clock port 'clk'.
FYI: Clock pins of 17 flipflops and 12 latches are not reachable from clock ports.
ERROR : SCRC-3: there is no path from capture clocks to clock pin of flipflop '/clk_4_reg'.
ERROR : SCRC-3: there is no path from capture clocks to clock pin of flipflop '^data_3_reg[2]'.
ERROR : SCRC-3: there is no path from capture clocks to clock pin of flipflop '^data_3_reg[1]'.

FYI: The number of flipflops controlled by gated clocks reported above is 0.
FYI: The number of flipflops, of which there is no path from capture clocks to clock pins, are 17.
    
```

그림 20 기존 스캔설계기술을 적용한 테스트 수행의 log file  
Fig. 20 Log file generated in test using classical scan design method

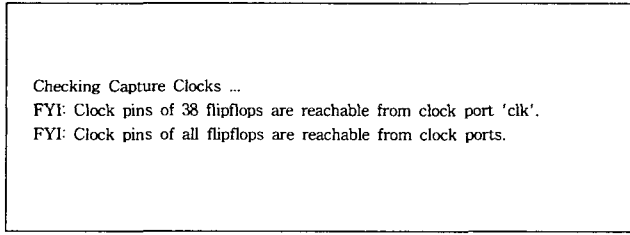


그림 21 설계변경 기술을 적용 후 테스트 수행의 log file  
 Fig. 21 Log file generated during test by using proposed design method

기존 스캔설계기술을 적용한 테스트 수행의 log file에서 보는 바와 같이 스캔설계기술의 조건을 위배한 모습 즉, Rule Violations의 확인이 가능하다.

본 논문에서 제안하는 설계변경기술을 적용한 결과에서는 스캔설계기술에 있어서의 조건을 위배한 모습을 찾을 수 없다. 즉, 회로내의 모든 플립플롭의 clock 단자에 주 입력 clock 단자로부터 직접적인 신호의 전달이 가능한 환경 설정이 이루어졌음을 확인 가능하며, 효율적인 테스트를 통해 얻은 고장검출률 또한 높은 수치를 얻을 수 있었다.

실험결과를 보면 고장검출률이 94.68%에서 97.99%로 증가를 하였으나 100%가 되지 않은 것은 회로내에 존재하는 12개의 래치에 대해서는 논문에서 제안하는 설계변경기술을 적용하지 않았기 때문이다. 본 논문에서 제안하는 설계변경 기술은 플립플롭만을 고려한 제안이다.

다음은 gated reset의 실험결과이다. reset의 경우 역시 등가회로로 회로를 변경하는 설계변경기술을 적용하여 실험을 하였다. 실험결과를 통하여 기존의 방식으로 테스트를 수행한 것과의 비교를 보면 95.45%에서 100%로, 97.50%에서 역시 100%로 증가된 고장검출률을 얻을 수 있었다.

표 7 그림 10회로와 그림 15회로의 연구결과  
 Table 7 Experimental results for circuits in Fig. 10 and Fig. 15

	그림 10회로	그림 15회로
Total Gate #	12	15
Total Gate # (비율)	1	1.25
Total dynamic power	2.7964 nW	4.4424 nW
Total dynamic power (비율)	1	1.5886
고장검출률	95.45 %	100 %

표 8 그림 11회로와 그림 16회로의 연구결과  
 Table 8 Experimental results for circuits in Fig. 11 and Fig. 16

	그림 11회로	그림 16회로
Total Gate #	14	16
Total Gate # (비율)	1	1.14
Total Dynamic Power	2.7964 nW	3.8201 nW
Total Dynamic Power (비율)	1	1.3660
고장검출률	97.50 %	100 %

## 6. 결 론

본 논문에서 다루고자 한 것은 기존의 스캔설계기술에서의 결함 시험도의 한계를 극복할 수 있는 방안을 제시하고자 하는 것이다. 기존의 스캔설계기술에 있어서 gated clock 및 reset의 테스트 수행의 한계에 대한 대안을 마련하고 진보된 테스트 기술을 통한 더욱 정확하고 효율적인 테스트를 수행하고자 함에 논문의 목표를 두었다.

날로 증가되는 회로의 집적도 및 설계 속에서 gated clock 및 reset의 사용은 매우 빈번히 사용되는 설계기술 중 하나이다. 또한 설계된 회로를 검증하는 테스트 기법에 있어서 스캔설계기술이 가장 보편적으로 사용되고 있다. 하지만 이런 gated clock 및 reset 부류에 속하는 경우의 회로들은 스캔설계기술을 적용하여 테스트를 수행하기에 용이하지 않다는 단점을 안고 있다.

주 입력 clock으로부터 회로내의 모든 플립플롭의 clock 단자로의 직접적인 경로가 형성되어 있어 그 경로를 통한 신호의 전달이 용이하여야 스캔설계기술의 적용이 가능하다. 하지만 gated clock 및 reset이 포함된 회로는 스캔설계 기술의 적용유무를 체크 시 Rule Violations를 일으키게 되고 결국 이는 고장검출률을 낮추는 원인으로 작용한다.

본 논문에서는 gated clock과 reset에 대한 테스트에 있어서 기존의 스캔설계기술에서의 한계성을 극복하는 방안으로 설계변경기술을 제안하였으며 이는 Rule Violations를 일으키는 원인을 제거하고 고장검출률을 높이는 효과를 가져왔다.

이러한 설계변경기술을 응용한 회로설계가 이루어진다면 좀 더 정확한 동작을 하는 회로의 설계 및 테스트가 이루어 지리라 생각한다.

### 감사의 글

본 연구는 한국과학재단 (과제번호:R01-2000-000-00247-0)의 지원에 의하여 이루어진 연구로서, 관계 부처에 감사 드립니다.

### 참 고 문 헌

- [1] M. Abramovici, M. A. Breuer and D. Friedman, "Digital Systems Testing and Testable Design", Computer Science Press, 1990
- [2] "Synopsys manual-Synopsys DFT Compiler Scan Synthesis User Guide chapter 9", Synopsys, pp. 8-11, 2000.
- [3] "SynTest User's Guide chapter 6 (Using Pyramid-Test Logic Synthesis and Verification Tools)", SynTest, pp. 31-32, 1998.
- [4] Alexander Miczo, "Digital Logic Testing and Simulation", John Wiley & Sons, 1986.
- [5] Eichelberger, E. B., T. W. Williams, "A Logic Design Structure for LSI Testability", Proc.14th



- Design Automation Conf., pp. 462-468, June 1977.
- [6] Maling, K., and E.L. Allen, "A Computer Organization and Programming system for Automated Maintenance", IEEE Trans. Electron Comput., Vol. EC-12, pp. 887-895, December 1963.
- [7] Carter, W. C., et al., "Design of Serviceability Features for the IBM system/360", IBM J. Res. Dev., Vol. 8, pp. 115-126, April 1964.
- [8] Williams, M. J. Y., and J. B. Angell, "Enhancing Testability of Large-Scale Integrated Circuits via Test Points and Additional Logic", IEEE Trans. Comput., Vol. C-22, No. 1, pp. 46-60, January 1973.
- [9] M. S. Abadir, M. A. Breuer, "A Knowledge Based System for Designing Testable VLSI Chips", IEEE Design & Test of Computers, Vol. 2, No. 4, pp. 56-68, August 1985.
- [10] 홍성제, 박은세, "테스팅 및 테스팅을 고려한 설계", 홍릉과학출판사, 1998.

## 저 자 소 개



### 김 인 수 (金 沆 洙)

1974년 11월 25일생. 2000년 성균관대학교 전기전자 및 컴퓨터공학부 졸업. 2002년 동 대학원 전기전자 및 컴퓨터공학과 졸업(석사). 2003년 현재 동 대학원 박사 과정.

Tel : 031-290-7162, Fax : 031-290-7162

E-mail : iskim@stella.skku.ac.kr



### 민 형 복 (閔 炯 福)

1958년 2월 22일생. 1980년 서울대학교 전자공학과 졸업. 1982년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1990년 The University of Texas at Austin 전기 및 컴퓨터공학과 졸업(공학박사). 1982년~1985년 금성통신(주) 연구소 주임연구원.

1985년~1986년 미국 Columbia 대학교 연구원. 1991년~현재 성균관대학교 정보통신공학부 교수.

Tel : 031-290-7119, Fax : 031-290-7162

E-mail : min@ece.skku.ac.kr