

기술 특 집

# 플라즈마 디스플레이 시스템 성능 향상 기술 동향

정 주 영 (수원대학교 전자공학과)

## I. 서 론

플라즈마 디스플레이는 고화질, 대화면 디스플레이로서 각광받고 있는데 주요한 장점으로서는 대형 디스플레이 중 프로젝션 시스템이나 음극관 시스템에 비해 부피가 작고 해상도가 뛰어나며 액정 디스플레이 시스템(LCD), 전계방출 소자(FED), 유기 EL 디스플레이 등 보다 대화면 구현이 용이한 점 등을 꼽을 수 있다. 최근에 액정 디스플레이를 이용한 40인치 디스플레이가 소개되어 액정을 이용한 대화면 벽걸이 TV의 가능성이 조심스럽게 타진되고 있지만 플라즈마 디스플레이 패널의 상대적으로 간단한 구조가 60인치 이상의 디스플레이 시스템 구현을 용이하게 하는 반면 LCD의 구조와 복잡한 제조공정은 40인치 디스플레이 제작에서 가격 경쟁력을 확보하는데 장애가 될 것으로 예상되고 있다.

플라즈마 디스플레이 시스템이 갖는 여러 장점에도 불구하고 20인치 미만의 디스플레이 시스템에서 LCD 시스템이 만들어낸 규모의 시장을 형성하기 위해서는 패널의 구조, 방전가스의 조성, 형광체의 개선, 발광 효율 개선, 전력 소모량 절감을 위한 재료 및 제조 방법, 구동방법, 화질 개선 등에 대한 지속적인 연구 개발이 필요하다.

본 고에서는 재료나 제조 공정과 관련된 연구동향을 제외한 구동 방법, 화질 개선 등 주어진 패널 구조에서 PDP 시스템의 성능을 향상시키기 위한 연구, 개발 동향에 대해 소개하고자 한다.

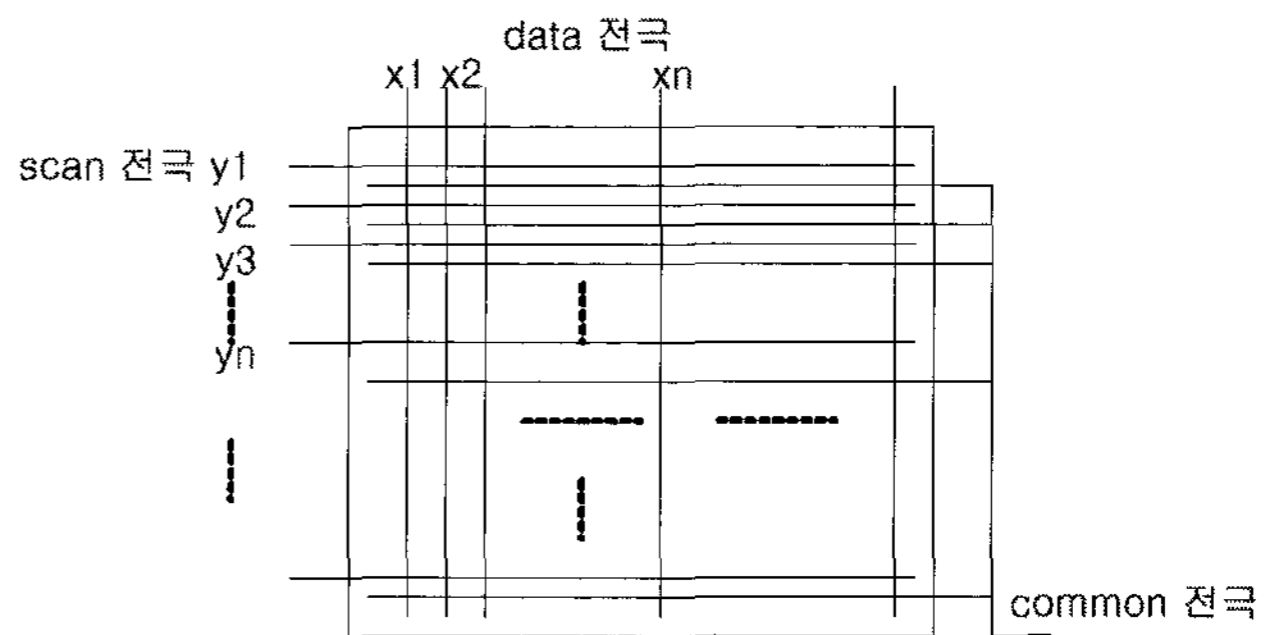
## II. 본 론

### 1. PDP 구동 기술 동향

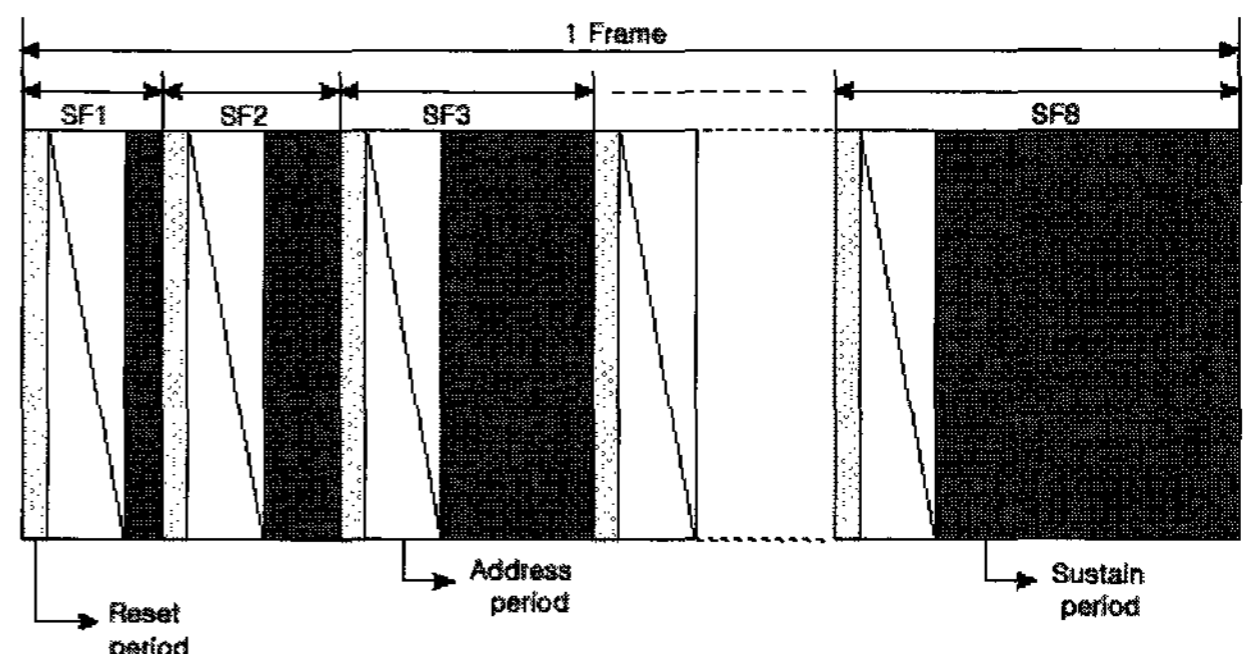
개발 초기에 PDP 연구는 마주보는 2개의 전극을 갖는 직류형에 대해 집중적으로 이루어졌으나 방전전류 제어가 어렵고 전력소모가 많아 벽전하를 이용하여 구동전압 및 소모 전력을 줄일 수 있는 교류형 PDP가 사용되고 있으며 그 중에서도 세 개의 전극을 갖는 면방전형 ac PDP<sup>[1]</sup>가 주류를

이루고 있다[그림 1].

[그림 1]에서 data 전극과 scan 전극은 교차점에 있는 화소를 선택하여 방전을 할 것인가의 여부를 결정하게 되는데 이런 과정을 어드레스 기간이라고 한다. 모든 화소에 대한 어드레스가 완료되면 scan 전극은 모두 하나로 묶여 common 전극과의 전위차가 음, 양으로 반복되는 표시 방전 펄스를 PDP에 인가하게 되는데 이 기간을 표시방전 기간 또는 유지방전기간이라고 부른다. PDP는 유지방전기간 동안 일어난 방전의 회수로 계조를 구현하는 펄스 수 변조 방식을 이용한다. 대표적인 PDP 구동 방법은 [그림 2]의 ADS(Address Display Separated)<sup>[2]</sup> 방식으로 8개의 서브필드로 한 picture frame을 구성한다. 임의의 서브필드 SFn(1≤n≤8)은 리셋기간, 어드레스 기간과 유지방전 기간



[그림 1] 일반적인 3전극 ac PDP의 전극 배치도



[그림 2] 8개의 서브필드로 구성된 ADS 구동방식

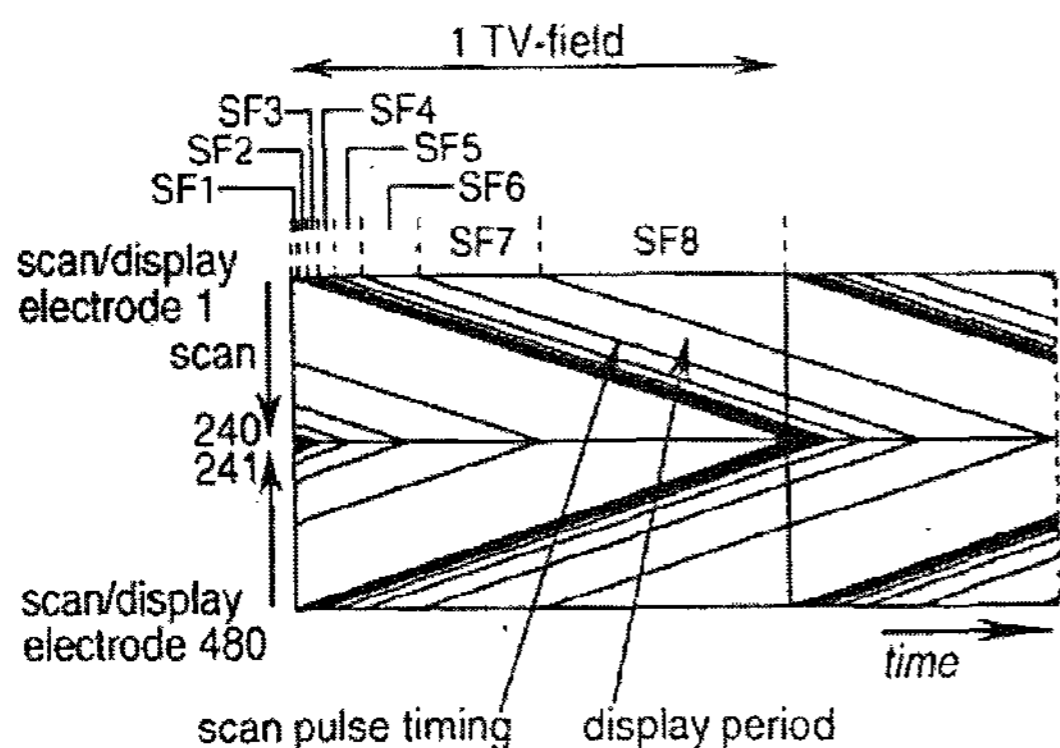
을 포함하는데 유지방전기간 동안에는  $2^{n-1}$ 개의 유지방전 펄스를 PDP에 인가한다. 한 화소의 계조는 8개의 서브필드 중 방전을 일으킨 서브필드들의 유지방전 펄스 수의 총합으로 표시된다.

ADS 구동방법에서 한 picture frame 동안 화상정보를 표시하는 시간은 유지방전기간동안이며 picture frame의 30% 정도이다. 나머지 70%의 시간은 어드레스 기간이 소모하게 되어 휘도와 암실 contrast를 개선하는데 한계를 드러내게 되었다. 아울러 어드레스 시간은 해상도가 증가하면 같이 증가하게 되어  $1920 \times 1280$ 의 해상도를 갖는 HDTV에 적용할 때 최소한의 휘도를 확보할 수 없는 문제가 생기게 되었다.

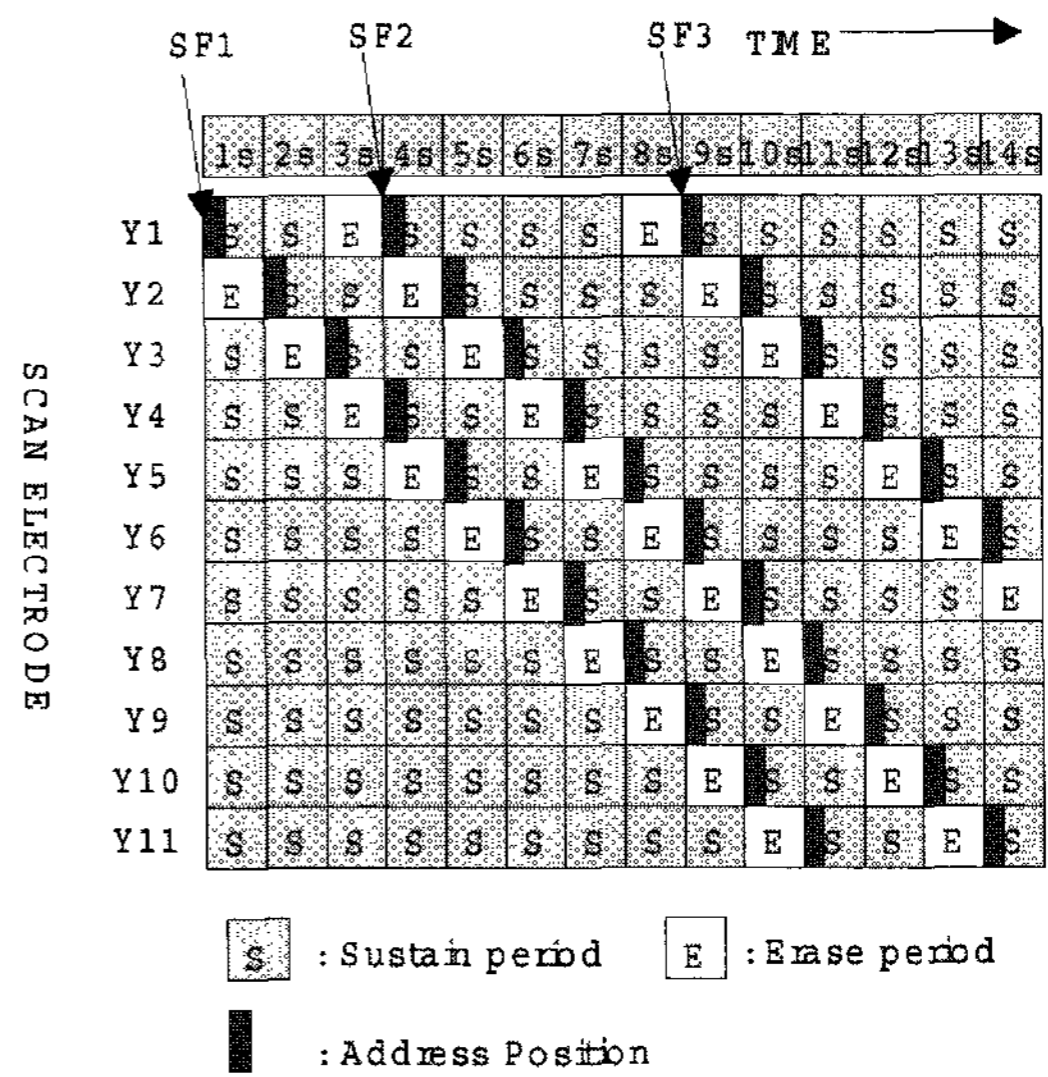
ADS 구동방법에 기초한 대표적인 기술로는 패널의 단위 면적당 방전셀의 수를 증가시킨 ALiS(Alternating Light Surfaces) 방법<sup>[10]</sup>, 구동전압 및 부품 수를 줄일 수 있는 TERES(TEchnology of REciprocal Sustainer) 방법<sup>[11]</sup>, 최대 휘도를 높일 수 있는 Plasma AI(Adaptive brightness Intensification)<sup>[12]</sup> 등이 있다.

ADS 구동방법의 긴 어드레스 기간으로 인한 단점을 극복하고자 개발된 것이 어드레스 기간과 유지방전 기간을 구분하지 않는 [그림 3]의 AwD(Address while Display) 구동방법<sup>[3]</sup>이다. [그림 3]은 dual scan 방식이며 가로축은 시간이고 세로축은 scan 전극이다. 특정시간에서 관찰하면 위치에 따라 scan 전극은 다른 서브필드에 의해 구동되고 있고 어떤 전극은 유지방전을, 다른 전극은 어드레스를 하고 있는 경우도 있다. 이 구동방법은 각 scan 전극에 대해 어드레스 및 유지방전 기간의 제어를 독립적으로 해줘야 하므로 구동 파형의 설계 및 제어가 복잡한 단점이 있다. 그러나 이런 단점에도 불구하고 picture frame의 90% 이상을 표시방전에 사용할 수 있는 결정적인 장점이 있어 다양한 형태의 개선 방안<sup>[4,5]</sup>이 제시되고 있으며 이른 시일 내에 실용화에 성공할 수 있을 것으로 전망된다.

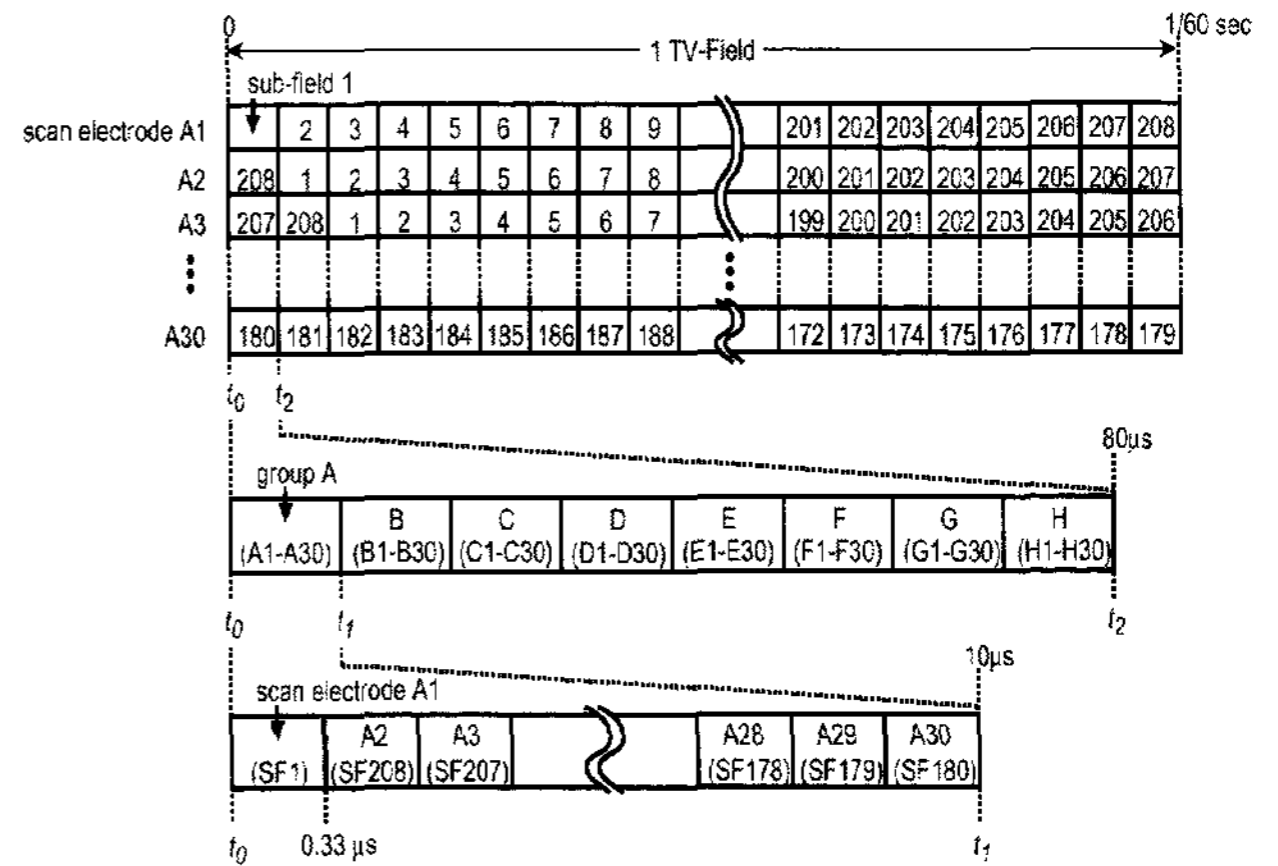
[그림 4]는 AwD 방식의 하나인 MAoD II<sup>[4]</sup> 방식의 picture frame 구성도이다. 256계조의 구현을 위해 14개의 서브필드를 이용하였으며 각 서브필드는 다른 수의 sustain slot(s로 표시)을 가짐으로서 가중치를 갖는다. 어드레스는 각 서브필드가 시작될 때에만 하고 유지방전의 끝에는 소거기간(erase period)를 둔다.



[그림 3] AwD 구동방법의 picture frame 구성<sup>[3]</sup>



[그림 4] MAoD II 구동방법의 picture frame 구성<sup>[4]</sup>

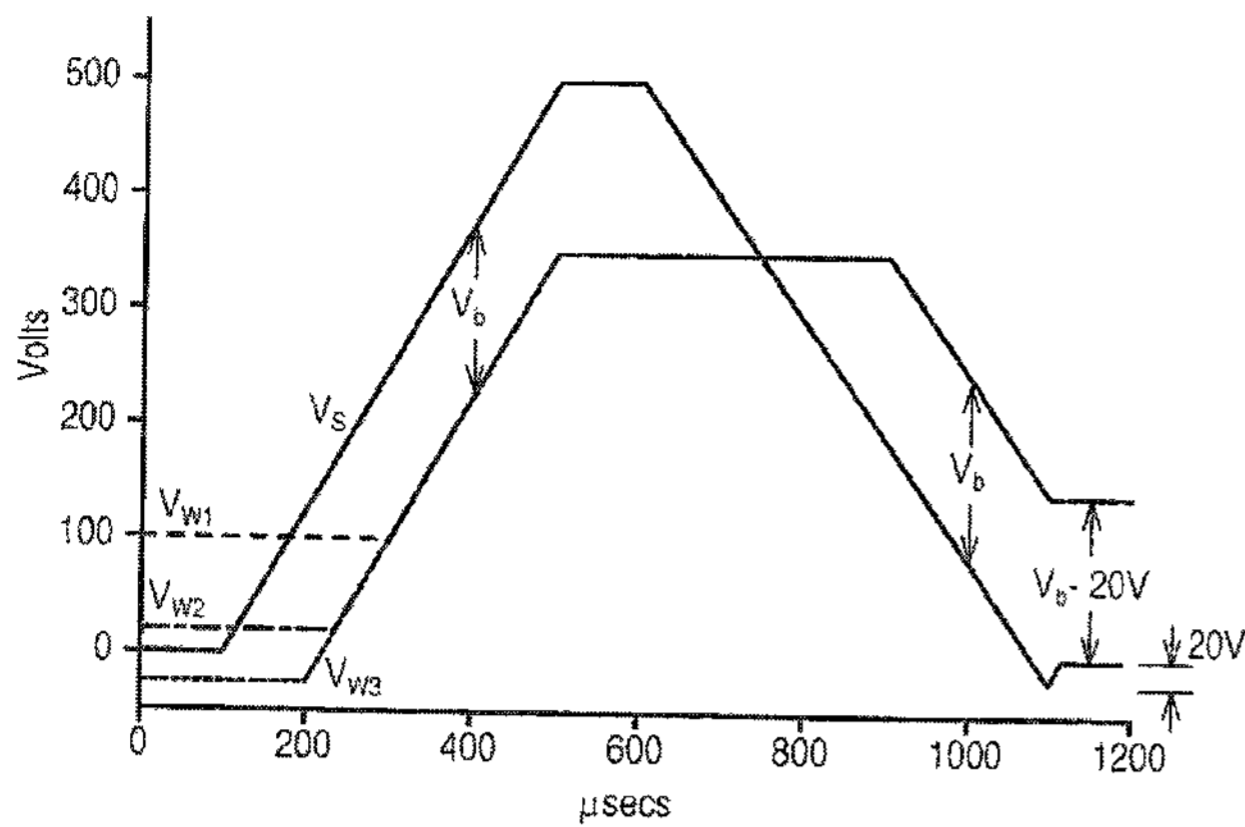


[그림 5] grouped AwD 구동방법의 picture frame 구성<sup>[5]</sup>

[그림 5]는 AwD 구동방법의 하나인 grouped AwD<sup>[5]</sup> 방식의 picture frame 구성도이다. 이 방법에서는 240개의 scan 전극을 30개씩 묶어 A부터 H까지 8개의 group으로 정의하였으며 한 picture frame은 80usec 너비의 서브필드 208개로 구성되고 209계조를 구현한다. 모든 서브필드는 10usec 너비의 8개 구간으로 다시 나누어지고 각 그룹은 이 중 하나의 구간을 어드레스 구간으로 사용한다. 즉, group A는 첫 10usec 동안 30개의 scan 전극에 0.33usec 너비의 펄스를 순차적으로 인가하여 어드레스를 마치고 나머지 70usec 동안에는 유지방전을 한다.

PDP 시스템의 좋지 못한 contrast는 화질을 나쁘게 하는 주요 원인 중의 하나인데 그 이유는 대부분의 구동방법이 이전 서브필드에서의 화소 상태가 다음 서브필드에 영향을 주지 않도록 벽전하를 소거하는 리셋 기간을 포함하기 때문이다. 즉, 이 리셋 구간에서 발생하는 방전은 패널 전체에서 동시에 일어나므로 white noise의 성격을 띠고 신호 대 잡음비의 일종인 contrast를 나쁘게 한다.

contrast를 향상시키기 위해 리셋 펄스의 모양을 최적화할 필요가 있다. 종래에는 좁은 폭의 펄스를 사용하거나 전



[그림 6] 리셋 구간의 ramp 파형과 유도된 벽전압<sup>[6]</sup>  
Vs: 리셋 펄스, Vw: 벽전압

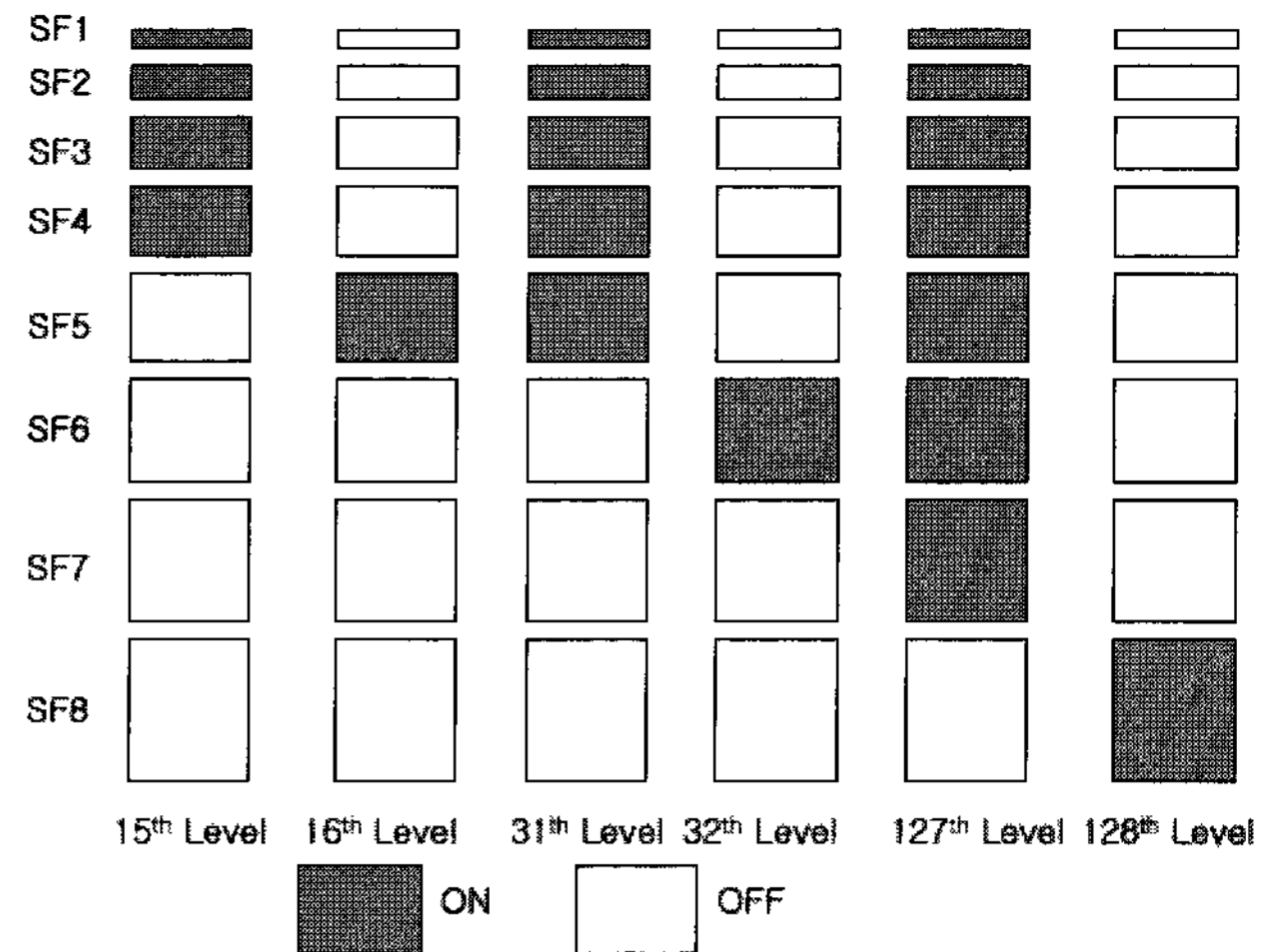
압을 낮추는 방법을 사용하였으나 방전의 세기가 펄스의 기울기에 비례하는 특징이 있어 강한 방전이 생성되었다. 이를 개선하여 [그림 6]에 보인 것과 같은 ramp 펄스<sup>[6]</sup>를 사용하면 벽전압의 초기상태 및 각 방전셀간 방전개시전압(Vb)의 차이에 상관없이 일정한 벽전압 값을 갖도록 할 수 있을 뿐 아니라 약한 방전이 rising edge에 넓게 분포되어 일어나게 되어 contrast 개선에 도움이 되므로 널리 사용되고 있다. 단, 이 방법은 시간이 많이 필요한 단점 때문에 AwD 방식에 적용하는 데에는 어려움이 있다.

기존의 PDP는 한 picture frame 내의 유지방전 펄스 수로 계조를 표현하였다. 그러나 최근에는 벽전하의 양이 다르면 같은 유지방전 펄스를 인가하여도 방전의 강도가 달라진다는 사실을 이용하여 계조를 구현하는 구동방법<sup>[7,8]</sup>이 연구되고 있다. 이 방법은 계조표현을 위해 유지방전 펄스 수와 벽전하의 양을 이용하기 때문에 기존 방법보다 적은 수의 서브필드를 이용하여 계조를 구현할 수 있다<sup>[9]</sup>.

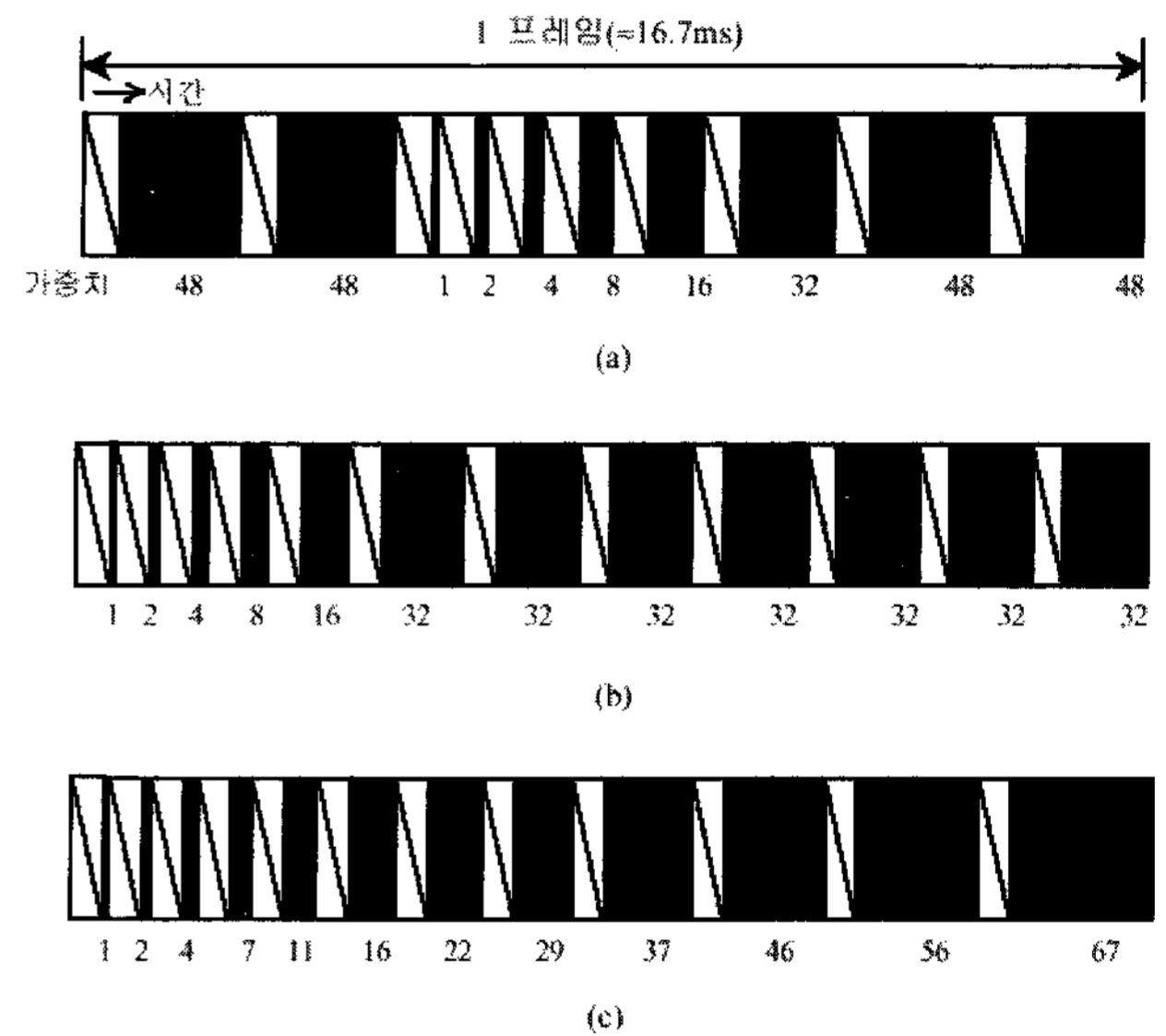
## 2. PDP 화질 개선 기술 동향

기존에 상품화된 PDP 시스템은 모두 ADS 구동방법을 이용하였으며 계조를 유지방전 펄스 수 변조 방식으로 표현하였다. 이 방식으로 8개의 서브필드를 사용하여 256계조를 구현할 때, [그림 7]에 보인 것처럼 두 개의 인접계조가 사용하는 서브필드의 조합이 크게 다른 경우가 발생한다. 그림에서 127번째 계조는 서브필드 1부터 7까지 사용하는 반면 128번째 계조는 서브필드 8만 사용한다. 움직이는 화상의 인접한 화소에서 이런 계조 변화를 보이면 움직임의 방향에 따라 특정 위치의 화소는 두 계조의 합이나 차에 해당하는 계조를 보이는 것으로 관찰되고 이를 동영상 의사윤곽이라고 부른다.

동영상 의사윤곽을 줄이는 방법으로는 인접 계조간 서브필드 조합 차이를 줄이는 방법이 쓰이는데 이를 위해 8개의 서브필드를 사용할 때와는 달리 [그림 8]에 보인 것과 같이 작은 가중치의 MSB를 여러 개 사용하여 계조를 구현한다. 이러한 접근방법은 서브필드의 수가 증가하고 따라서 어드레스에 사용하는 시간이 그만큼 길어지므로 화상정보를 표



[그림 7] ADS 구동방법의 계조표현을 위한 서브필드 조합 예



[그림 8] 동영상 의사윤곽을 저감하기 위한 서브필드 구성 방법<sup>[10]</sup>  
(a) Ref. [13], (b) Ref. [14], (c) Ref. [15]

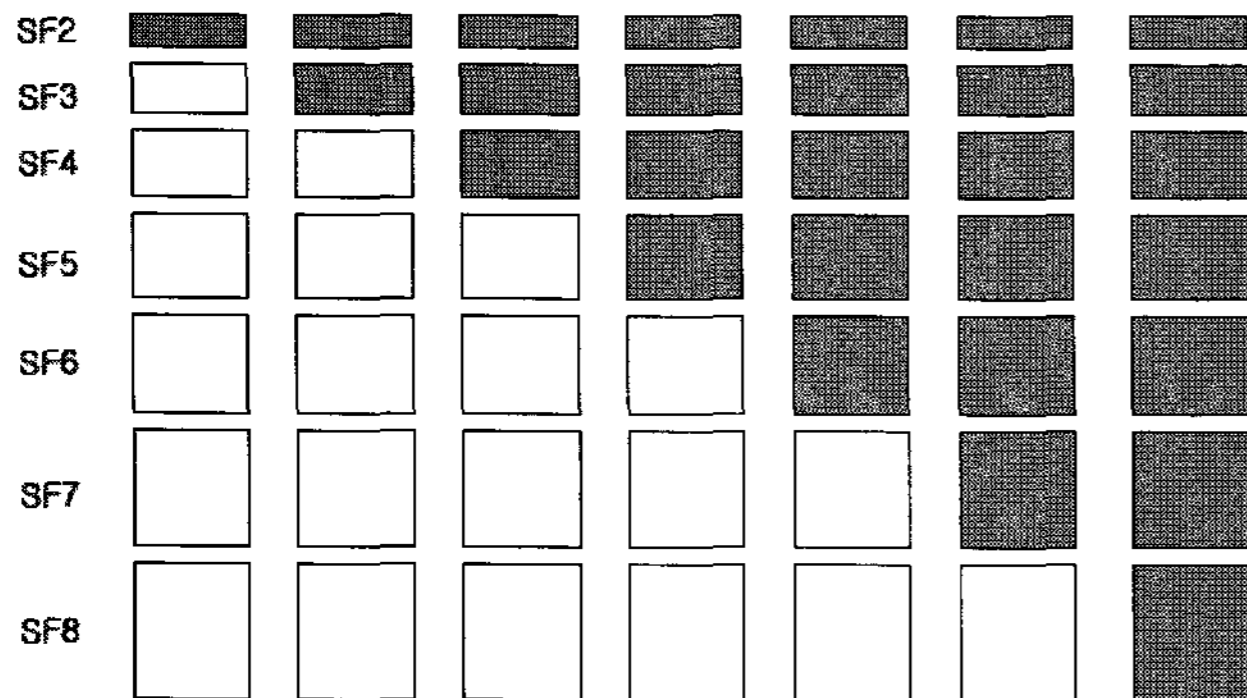
현하는 유지방전시간이 줄어들게 되어 휘도가 낮아지는 단점이 있다.

많은 수의 서브필드를 이용하여 계조를 구현하면 서브필드의 배열에 의해서도 의사윤곽의 발생량이 달라진다. 최근 국내 연구진은 종래 경험적인 방법으로 서브필드의 배열을 결정하던 것을 개선하여 유전 알고리즘을 이용한 서브필드 배열 결정방법을 발표하였다<sup>[17]</sup>. 한편 서브필드의 배열이 결정되었다 하더라도 가중치가 가장 높은(MSB) 서브필드가 여러 개인 [그림 8]의 (a)와 (b) 같은 경우에는 특정 계조를 표현할 수 있는 서브필드의 조합이 여러 개 생기게 되고 각각에 대해 의사윤곽의 정도가 달라진다. Zhu 등<sup>[18]</sup>은 인접 계조간 서브필드 조합의 차이를 최소화하는 조합을 찾는 방법에 대한 연구를 수행하였다.

동영상 의사윤곽을 저감시키는 다른 방법으로 등화펄스(equalizing pulse)를 이용하는 것이 있다. 앞서 설명한 것과 같이 동영상 의사윤곽은 특정 화소에서 이전 picture

frame의 계조와 다음 picture frame의 계조가 더해지거나 차감되어 관찰되는 현상이다. 따라서 의사윤곽이 발생할 소지가 있는 화소를 미리 파악하여 더해질 양만큼을 빼거나 차감될 양만큼을 더해주는 펄스를 인가하는 것이 등화펄스 방법의 핵심이다. 초기의 등화펄스 방법<sup>[19]</sup>은 동영상의 움직임과 관계없이 등화펄스를 인가하였으나 개선된 방법<sup>[20]</sup>에서는 화상이 움직이는 속도와 방향을 고려하여 등화펄스의 크기를 결정하였다. 그러나 이 방법은 계산량이 많을 뿐아니라 동화상의 속도를 평가하는 정확도가 떨어지는 문제가 있어 개선의 여지가 남아 있다.

의사윤곽은 인접계조간의 서브필드 조합이 급격히 다른 계조 표현 방법 때문에 발생된다. 따라서 모든 계조를 표현하는데 있어 [그림 9]와 같은 패턴을 사용한다면 의사윤곽이 없어지게 된다. [그림 9]의 서브필드 조합 패턴은 [1 2 4 8 16 32 64 128]의 가중치를 갖는 8개의 서브필드를 사용해서는 구현할 수가 없고 특수한 서브필드 가중치를 설정하는 stretched-out 코딩을 이용해야 한다. [그림 10]<sup>[21]</sup>은 stretched-out 코딩을 이용하여 52계조를 구현한 것으로 [1 2 4 4 8 8 12 12]의 가중치를 갖는 8개의 서브필드 배열을 이용하였다. 그림에서 볼 수 있듯이 높은 계조로 이동할수록 사용하는 최종 서브필드가 오른쪽으로 이동하며 인접



[그림 9] 의사윤곽이 없는 계조표현 방법

subfield 배열	
계조	1 2 4 4 8 8 12 12
0	0 0 0 0 0 0 0 0
1	1 0 0 0 0 0 0 0
2	0 1 0 0 0 0 0 0
3	1 1 0 0 0 0 0 0
4	0 0 1 0 0 0 0 0
5	1 0 1 0 0 0 0 0
6	0 1 1 0 0 0 0 0
7	1 1 1 0 0 0 0 0
8	0 0 1 1 0 0 0 0
9	1 1 1 1 0 0 0 0
10	0 1 1 1 0 0 0 0
11	1 1 1 1 0 0 0 0
12	0 0 1 0 1 0 0 0
13	1 0 1 0 1 0 0 0
14	0 1 1 0 1 0 0 0
15	1 1 1 0 1 0 0 0
16	0 0 1 1 1 0 0 0
17	1 0 1 1 1 0 0 0
18	0 1 1 1 1 0 0 0
19	1 1 1 1 1 0 0 0
20	0 0 1 0 1 1 0 0
21	1 0 1 0 1 1 0 0
22	0 1 1 0 1 1 0 0
23	1 1 1 0 1 1 0 0
24	0 0 1 1 1 1 0 0
25	1 0 1 1 1 1 0 0

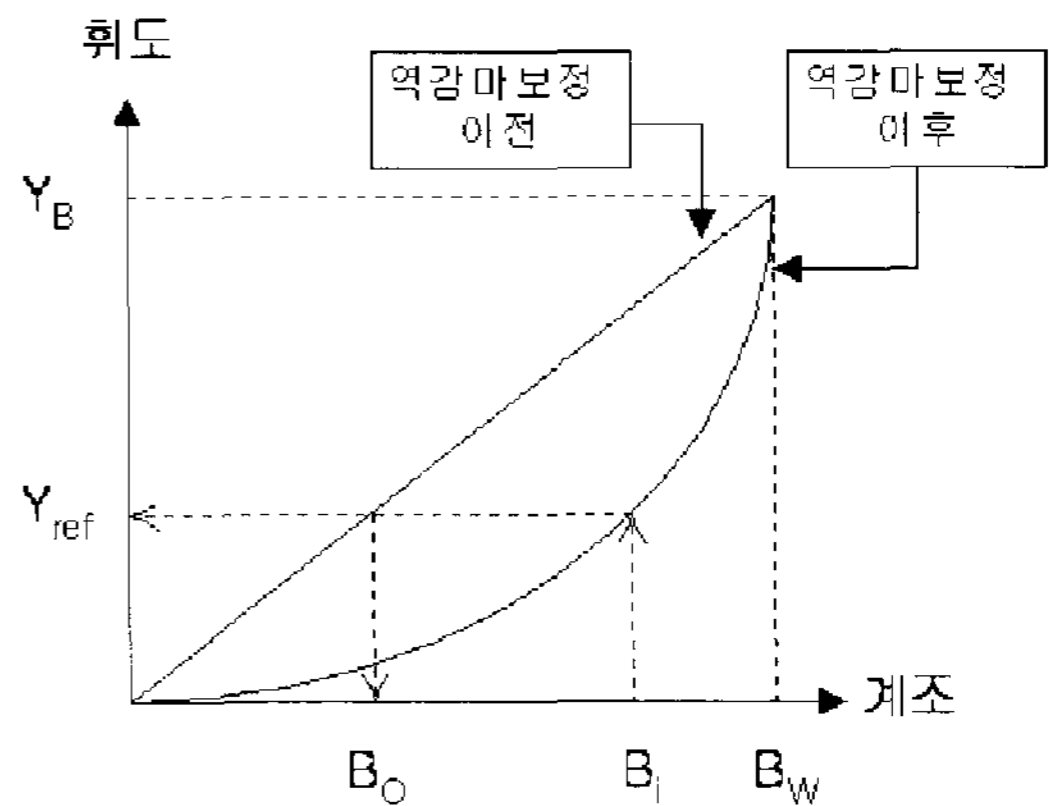
subfield 배열	
계조	1 2 4 4 8 8 12 12
26	0 1 1 1 1 1 0 0
27	1 1 1 1 1 1 0 0
28	0 0 1 1 1 0 1 0
29	1 0 1 1 1 0 1 0
30	0 1 1 1 1 0 1 0
31	1 1 1 1 1 0 1 0
32	0 0 1 0 1 1 1 0
33	1 0 1 0 1 1 1 0
34	0 1 1 0 1 1 0 0
35	1 1 1 0 1 1 1 0
36	0 0 1 1 1 1 1 0
37	1 0 1 1 1 1 1 0
38	0 1 1 1 1 1 1 0
39	1 1 1 1 1 1 1 0
40	0 0 1 1 1 0 1 1
41	1 0 1 1 1 0 1 1
42	0 1 1 1 1 0 1 1
43	1 1 1 1 1 0 1 1
44	0 0 1 0 1 1 1 1
45	1 0 1 0 1 1 1 1
46	0 1 1 0 1 1 1 1
47	1 1 1 0 1 1 1 1
48	0 0 1 1 1 1 1 1
49	1 0 1 1 1 1 1 1
50	0 1 1 1 1 1 1 1
51	1 1 1 1 1 1 1 1

[그림 10] Stretched-out 코딩을 적용한 계조표현<sup>[16]</sup>

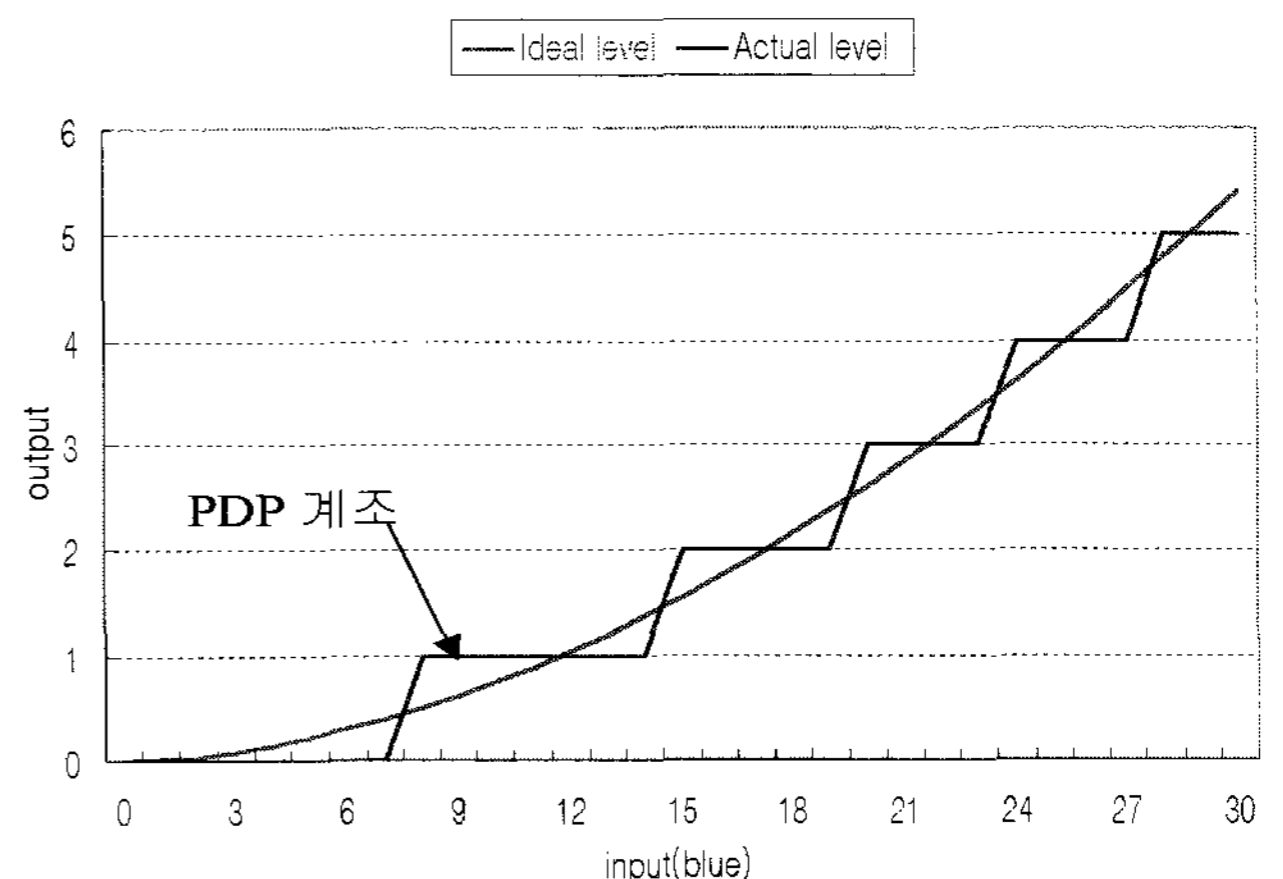
한 두 개의 계조가 사용하는 최종 서브필드는 거의 같아 의사윤곽이 제거됨을 알 수 있다. Kawahara 등<sup>[22]</sup>은 10개의 서브필드를 이용한 stretched-out 코딩방법으로 256계조를 구현하기도 하였다.

PDP 시스템은 휘도가 계조에 선형적으로 비례하는 특성을 갖는다. 그러나 인간의 시각 시스템은 비선형적이어서 PDP의 계조 표현을 그대로 사용할 수가 없고 인간 시각에 맞도록 [그림 11]과 같이 역감마 보정을 해주어야 한다. 그러나 역감마 보정 후의 휘도는 낮은 계조에서 매우 천천히 변화하기 때문에 [그림 12]에서 보는 것과 같이 여러 계조가 뭉쳐서 표현된다. 즉, [그림 12]에서 계조 9와 12는 같은 휘도로 표현되어 어두운 부분의 계조 표현이 불가능해진다.

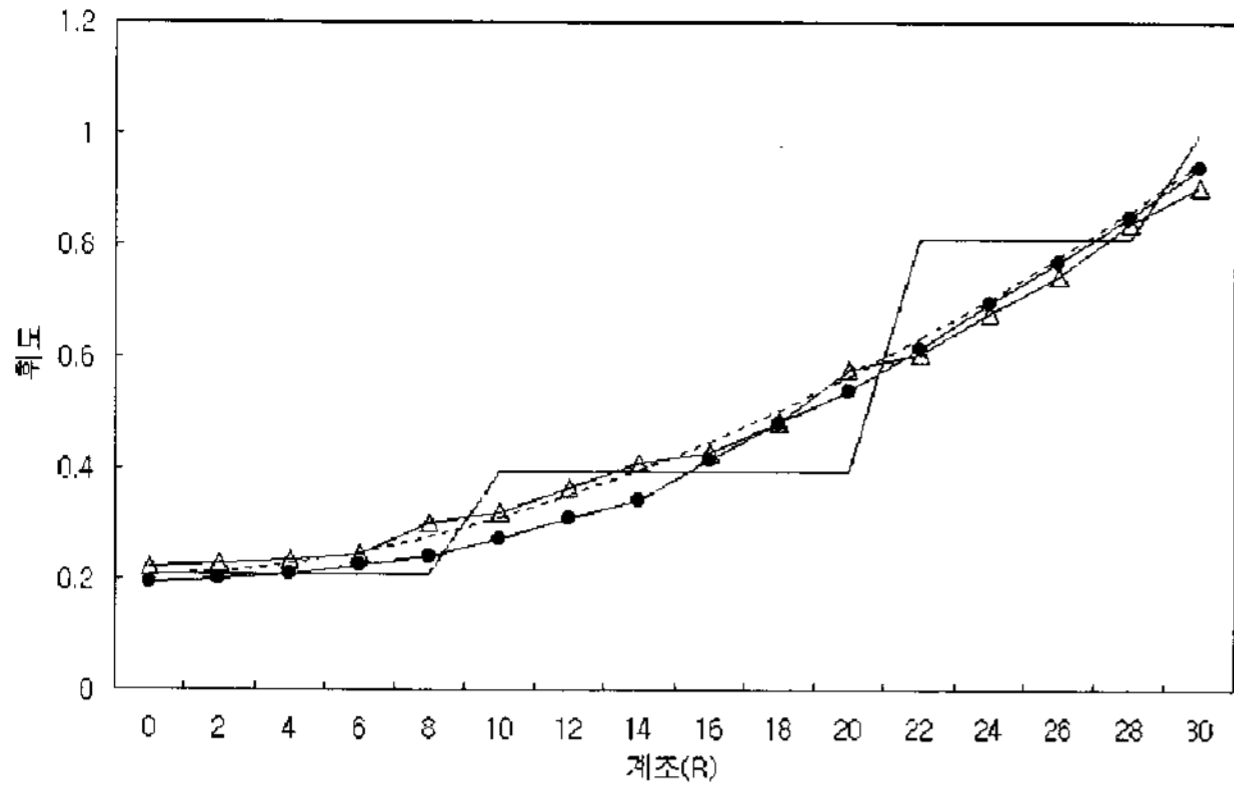
어두운 영역의 계조를 잘 표현하기 위해서는 소수점 이하의 계조를 표현해야 하는데 PDP 시스템은 정수의 계조만 표현할 수 있다. 이를 해결하기 위해 표현하고자 하는 소수점 이하까지 포함한 정확한 계조와 정수 계조 사이의 오차를 계산하고 이 오차를 주변의 화소에 유포시켜 여러 화소가 표현하는 계조의 평균치가 정확한 계조가 되도록 하는 오차 확산 방법을 사용한다. 주변 화소로 오차를 확산할 때에는 위치에 따른 가중치를 먼저 정해 놓고 그에 맞게 되는데 이 가중치를 오차확산 계수라고 하며 Floyd-Steinberg 계수<sup>[23]</sup>가 대표적이다. [그림 13]은 오차확산을 실시한 후에



[그림 11] 역감마보정 전, 후의 PDP 휘도 특성<sup>[16]</sup>



[그림 12] 역감마보정 후의 목표 휘도와 PDP 휘도



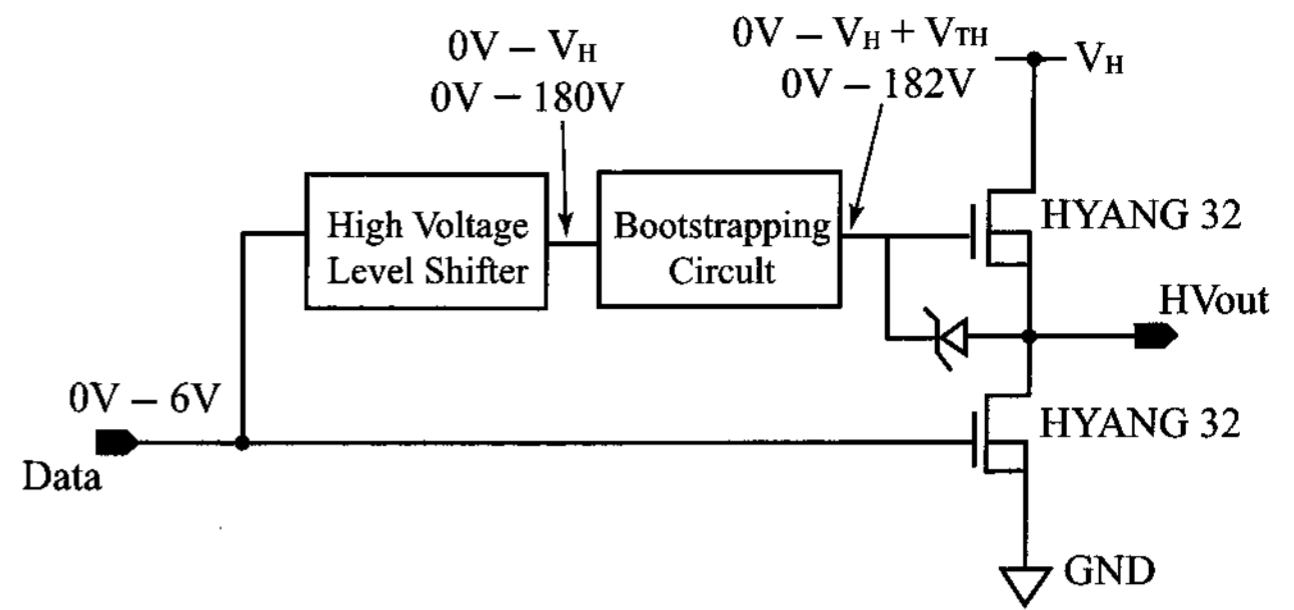
[그림 13] 오차확산을 실시한 후의 PDP 휘도  
(실선: 오차확산 전, 점선: 목표 휘도,  
△, ●: 오차 확산을 실시한 후의 휘도)<sup>[16]</sup>

측정한 PDP 계조 대 휘도 특성<sup>[16]</sup>인데 실시 이전보다 역감마 보정된 목표휘도 특성을 잘 실현하고 있음을 알 수 있다.

### 3. PDP 구동 회로 관련 기술 동향

PDP는 다른 경쟁 평판 디스플레이에 비해 구동전압이 200 볼트이상으로 매우 높은 특징이 있어 이를 구동하기 위한 회로 부품이 원가에서 차지하는 비중이 매우 높다. PDP의 구동에 필요한 회로는 크게 어드레스 전극을 구동하는 scan driver 부분과 데이터 전극을 구동하는 data driver 부분, 그리고 common 전극을 구동하는 부분으로 나눌 수 있는데 scan 및 data driver는 각각 300 볼트와 150 볼트 내외의 높은 항복전압을 갖는 고전압 MOSFET을 최종단으로 하는 집적회로의 형태로 사용되고 있다. 즉, 각각의 scan 및 data 전극은 CMOS 구조로 구성된 고전압 MOSFET 쌍에 의해 구동되며 scan driver에서는 nMOSFET과 pMOSFET의 소오스와 드레인 사이에 생기는 기생 다이오드를 이용하여 유지방전 펄스를 모든 scan 전극에 동시에 인가한다.

driver IC의 성능을 향상시키는 연구는 고전압 MOSFET의 성능을 향상시켜 달성할 수 있는데 종래의 DMOSFET (Double diffusion MOSFET)에서 발전된 LDMOSFET (Lateral Double diffused MOSFET) 구조 등이 사용되고 있다. 새로운 소자 구조는 종래의 소자에 비해 on-저항이 작아 스위칭 속도를 개선한다. 한편, driver IC의 가격을 낮추기 위해 칩 크기를 작게 만들 필요가 있는데 최근에는 driver의 최종단을 nMOSFET만으로 구성한 집적회로가 개발되기도 하였다. 이 driver는 고전압 nMOSFET보다 몇 배의 면적을 갖는 고전압 pMOSFET을 사용하지 않고 [그림 14]와 같이 bootstrapping 기술을 적용하여 nMOSFET으로 고전압 pull-up을 달성하고 칩 면적을 획기적으로 줄였다<sup>[24]</sup>. 이 회로에서 bootstrapping 회로는 nMOSFET으로 pull-up할 때 출력전압의 최대값이  $V_H$ 보다 nMOSFET의 문턱전압 만큼 낮아지는 것을 방지하며 제너 다이오드는 pull-up 초기에 nMOSFET의 게이트와 소오스 사이에 발생하는 큰 전위차에 의해 항복이 일어나는



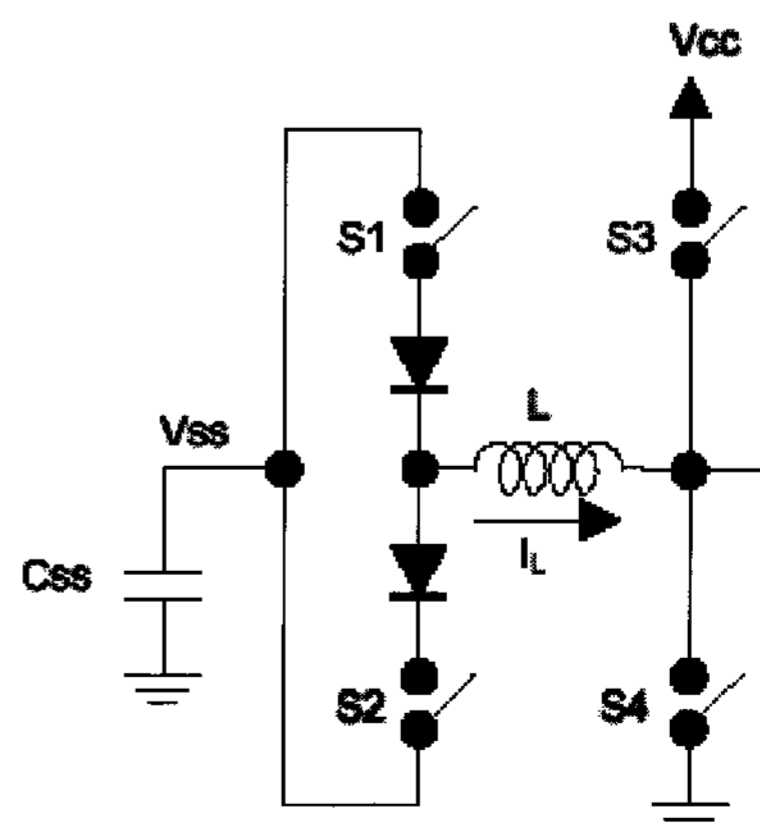
[그림 14] nMOSFET만을 이용한 driver IC 최종단<sup>[24]</sup>

것을 방지해준다.

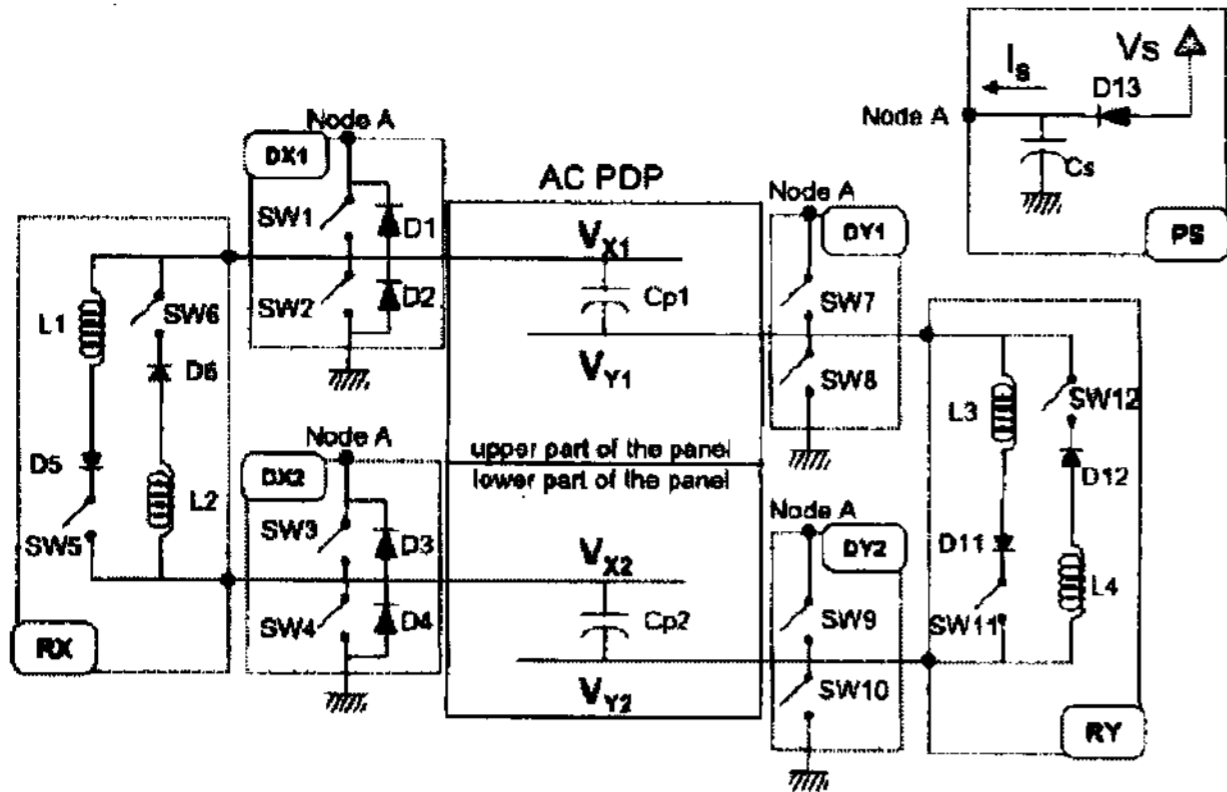
구동 IC의 가격은 항복전압이 커질수록 급격히 증가한다. Ishii 등<sup>[3]</sup>은 AwD 구동방법을 연구하면서 데이터 전극에 방전이 벽전압의 도움을 받아 일어나도록 타이밍을 설계함으로써 data 전극 구동에 필요한 전압을 20 볼트로 낮춘 결과를 발표하였다. 이외에도 data 전극을 구동하는데 사용하는 직류 고전압 전원을 에너지 회수회로의 개념을 사용한 교류형 전원으로 대체한 연구결과도 발표되었다<sup>[25]</sup>. 또, Sano 등<sup>[27]</sup>과 Choi 등<sup>[28]</sup>은 data 전극 구동에서 에너지 회수를 할 수 있는 방법을 발표하였다.

PDP에서 화상정보를 디스플레이하는 유지방전 기간에는 scan 전극과 common 전극사이에 전위차를 발생시키는 유지방전 펄스가 사용되며 모든 scan 전극을 동시에 구동한다. 유지방전 기간이 소모하는 전력은 패널에서 소모되는 전력의 80% 이상을 차지하므로<sup>[26]</sup> 시스템의 전력소모를 줄이기 위해 Weber가 처음 제안한 에너지 회수회로 [그림 15]를 사용한다. 이 회로는 LC 공진회로에서 부하에 인가되는 최대 전압값은 전원 전압의 두배가 된다는 점을 이용하여 전원은 정전용량이 매우 큰 축전기를 사용한다. 이 회로의 에너지 회수율은 약 85%로 알려져 있는데 최근에 이를 개선하여 92%의 회수율을 갖는 회로가 발표되었다<sup>[29]</sup>. 이 방법은 전체 패널을 상, 하의 두 부분으로 나누고 윗 부분을 구동하기 위해 사용된 전하량을 CLC 공진회로를 통해 아래 부분으로 전달하여 재활용하는 것을 원리로 한다.

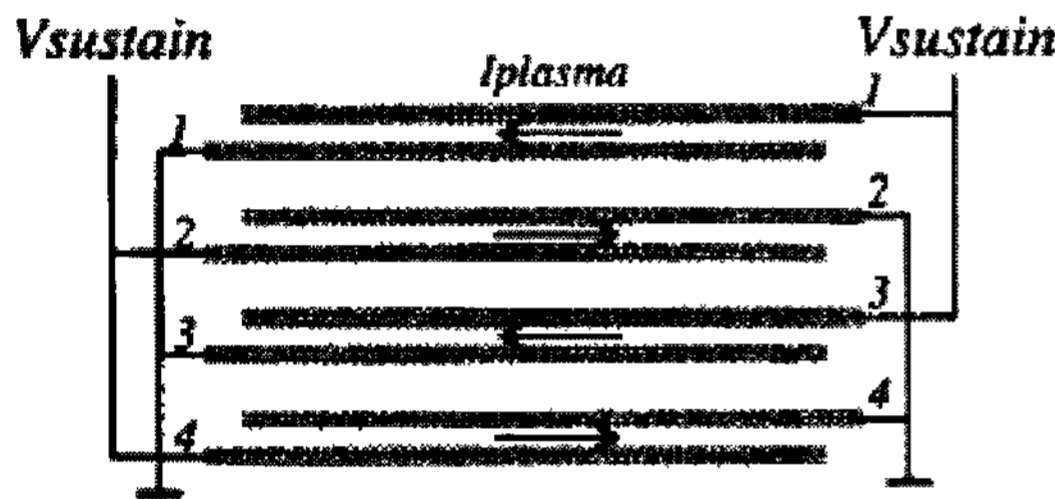
PDP 시스템은 고전압, 고전류 스위칭에 의해 구동하게 되므로 전자파 간섭(EMI) 문제가 대두된다. PDP 시스템



[그림 15] Weber의 에너지 회수회로



[그림 16] 새로운 에너지 회수회로<sup>[29]</sup>



[그림 17] EMI를 줄이는 대칭 구동방식<sup>[31]</sup>

에서 발생하는 전자파는 플라즈마 방전과 관련된 것과 구동 회로에서 발생하는 것으로 대별될 수 있는데 현재 개발된 PDP 시스템에서는 패널에서 발생한 전자파가 외부로 방출되지 않도록 EMI 마스크를 사용하고 있어 원가 상승 요인이 되고 있다. EMI 문제에 접근하기 위해서는 구동에 의해 발생하는 전자파의 양을 예측하는 것이 중요하다. 이와 관련하여 PDP의 방전셀 회로 모델을 설정하고 그로부터 발생된 전류로 인해 생기는 전자파를 dipole 안테나 모델을 이용하여 예측한 연구결과가 발표되었다<sup>[30]</sup>. 같은 시기에 Vossen 등<sup>[31]</sup>은 [그림 17]에 보인 것과 같이 패널에 흐르는 전류의 방향을 번갈아 바꿔주는 대칭적 구동방법을 사용하면 전류에 의해 발생하는 자장이 서로 상쇄되어 전자파 간섭을 최소화한다는 연구 결과를 발표하였다.

### III. 결 론

지금까지 PDP 시스템에 관한 구동 기술, 화질 개선 기술, 주변회로 기술의 연구동향에 대해 살펴보았다. 향후 구동기술은 AwD 방식의 상용화와 ADS 방식을 이용한 HDTV 급 고속구동 연구가 결실을 맺을 것으로 예상되며 화질 개선 기술에서는 어두운 계조 표현 능력과 화상의 움직임 속도와 방향에 따른 의사윤곽 제거 기술이 상용화될 것으로 기대된다. 주변회로 기술은 전자파 간섭에 대한 대책이 시급하고 구동전압을 낮추거나 회로 부품 수를 줄여 원가를 낮추는 노력이 계속될 것으로 예상된다.

PDP가 다른 디스플레이 소자의 추격을 따돌리고 대화면,

고화질 디스플레이로서 자리잡기 위해서는 1000 cd/m<sup>2</sup> 수준의 휘도, 100 : 1 수준의 명실 contrast, 5 lm/watt의 발광효율, 인치당 10만원 미만의 가격 등의 조건을 모두 만족시켜야 한다. 이를 위해서는 앞서 언급된 기술이외에 보호막 기술, 방전가스 조성 최적화 기술, 형광체 기술 등의 재료 기술과 방전효율을 높이는 셀 구조 설계 기술, 생산성을 향상시키는 제조기술 등의 개선이 이루어져야 한다.

### 참 고 문 헌

- [1] K. Takahashi et al., *US Patents*, pat no. 5410219, 1995
- [2] K. Yoshikawa et al., *Proc. Japan Display '92*, pp. 606, 1992.
- [3] M. Ishii et al., *SID'99 Digest*, pp.162, 1999.
- [4] Kang et al., *SID'01 Digest*, pp.1130, 2001.
- [5] M. Ishii et al., *SID'01 Digest*, pp.1134, 2001.
- [6] W. Nagorny et al., *SID'00 Digest*, pp.114, 2000.
- [7] J. Y. Jeong et al., *IDW'00*, pp.158, 2000.
- [8] E. Mizobata et al., *SID'02 Digest*.
- [9] J. Y. Jeong et al., *IDW'01*, pp.1005, 2001.
- [10] Y. Kanazawa et al., *SID'99 Digest*, pp.154, 1999.
- [11] T. Kishi et al., *SID'01 Digest*, pp.1236, 2001.
- [12] M. Kasahara et al., *SID'99 Digest*, pp.158, 1999.
- [13] K. Toda et al., *Asia Display 95*, pp.947, 1995.
- [14] T. Yoshimichi et al., *Japan Patent*, Appl. No.7 (1995)-178583, 1997.
- [15] S. Weitbruch et al., *IDW 00*, pp.699, 2000.
- [16] 박승호, *인하대학교 박사학위논문*, 2002.
- [17] S.-H. Park, *IDW'99*, pp.673, 1999.
- [18] D.Q. Zhu et al., *United States Patent*, Pat. No. 5,841,413, Nov. 1998.
- [19] K. Toda et al., *Euro Display 96*, pp.39, 1996.
- [20] Y.-W. Zhu et al., *SID'97 Digest*, pp.221, 1997.
- [21] Y. Otobe et al., *United States Patent*, Pat. No. 6,144,364, Nov. 2000.
- [22] I. Kawahara et al., *SID'99 Digest*, pp.166, 1999.
- [23] H. R. Kang, *Digital color halftoning*, SPIE/IEEE Press, 1999.
- [24] H.-J. Shin et al., *IDW'01*, pp.821, 2001.
- [25] C. Mas et al., *SID'00 Digest*, pp.216, 2000.
- [26] 정주영, *구동기술개발에 관한 연구 최종보고서*, pp. 167, 2001.
- [27] Y. Sano et al., *SID'01 Digest*, pp.1228, 2001.
- [28] J. P. Choi et al., *SID'01 Digest*, pp.1232, 2001.
- [29] J. H. Yang, *IDW'01*, pp.813, 2001.
- [30] Y. Eo et al., *IDW'01*, pp.989, 2001.
- [31] F. Vossen et al., *IDW'01*, pp.993, 2001.