

기술 특 집

# 평판 디스플레이용 고속 인터페이스 기술 동향 및 전망

임병찬, 권오경 (한양대학교 전자전기컴퓨터공학부)

## 요 약

FPD(Flat Panel Display; 평판 디스플레이) 시스템에서의 고속 인터페이스 기술은 적용 범주에 따라 호스트 모듈과 디스플레이 모듈간의 인터페이스와 타이밍 제어기와 구동 LSI 간의 인터페이스로 구분된다. 현재까지 발표된 FPD용 인터페이스 기술에는 호스트 모듈과 디스플레이 모듈간의 인터페이스 기술로서 LVDS와 TMDS가 있으며, 타이밍 제어기와 구동 LSI 간의 인터페이스로서 RSDS, Mini-LVDS, CMADS, WhisperBus가 있다. 본 고에서는 이러한 기술들의 특징 및 장단점에 대해 논하고, 고속 인터페이스 기술의 향후 전망 및 과제를 제시한다.

## I. 서 론

최근 노트북 및 개인 휴대 통신 장치와 같은 휴대용 전자 장치의 보급 증가와 더불어 디지털 가전 기기 및 개인용 컴퓨터의 시장 증가는 꾸준히 지속되고 있다. 이러한 장치들과 사용자간의 최종 연결 매체인 디스플레이 시스템은 경량화 및 저전력화 기술을 요구하고, 이에 따라 기존의 CRT(Cathode Ray Tube)가 아닌 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), OLED(Organic Electro-Luminescence Display)와 같은 FPD 장치들이 일반화되는 추세이다.

기존의 CRT 등이 아날로그 인터페이스 방식을 채택하고 있는데 반해 FPD 장치에서 영상 신호의 송신 및 수신 방법은 주로 디지털 인터페이스 방식을 채택하고 있다. 디지털 인터페이스 방식은 아날로그 인터페이스에 비해 잡음에 강해 송수신 데이터 오류의 가능성이 낮고, 이에 따라 표시 영상의 화질이 뛰어나다. 기존의 디지털 인터페이스 방식에서는 디지털 값의 전기적 신호로서 CMOS/TTL 로직 호환 레벨을 채택하였다. 그러나 CMOS/TTL 신호는 디지털 회로의 접지 전압과 공급 전원 전압 간의 전압차를 신호의 전

압 스윙 폭으로 구분 짓는 것이 일반적이며 이로 인해 여러 가지 문제점이 발생한다. CMOS/TTL 신호가 VGA급 이하의 해상도 영상 신호를 인터페이스 하기엔 적당하나, 표시 영상의 해상도가 그 이상으로 증가함에 따라 1 프레임당 전송해야 할 데이터량은 급격하게 증가하고, 따라서 화소 클럭 주파수 또한 증가하게 된다. [표 1]에 각 해상도별 화소 클럭 주파수를 정리한 바와 같이, SXGA급 해상도를 갖고 60 Hz 프레임 갱신률을 갖는 영상의 화소 클럭 주파수는 100 MHz를 넘어가게 된다. 이와 같은 100 MHz 이상의 고속 신호를 CMOS/TTL 인터페이스를 사용해 PCB trace나 케이블 등을 통해 전송하는 경우 전송로는 전송선(transmission line)으로 해석되어야 하고, 이 경우 반사잡음 및 누화 잡음(cross-talk noise)과 같은 잡음원에 의해 신호의 순결도(integrity)가 낮아지게 된다. 더욱이 CMOS/TTL 신호의 경우 송신부 및 수신부에 별도의 임피던스 정합을 하지 않으므로 신호의 순결도는 더욱 낮아지게 된다. 이와 더불어 전압 신호의 큰 스윙폭으로 인해 소비 전력이 증가하게 되고, EMI(Electro-Magnetic Interference)/EMC(Electro-Magnetic Compatibility) 문제가 심각해진다<sup>[1]</sup>. EMI에서 기인한 전송 데이터 간의 신호 간섭 현상을 최소화 하기 위해, PCB trace간 선 간격을 넓히는 경우 시스템의 면적 증가로 인해 시스템 단가가 증가한다. 한 예로 256 제조를 갖는 디지털 영상 신호를 CMOS/TTL 인터페이스를 사용해 병렬 전송하는 경우 RGB 각 8비트와 4개의 제

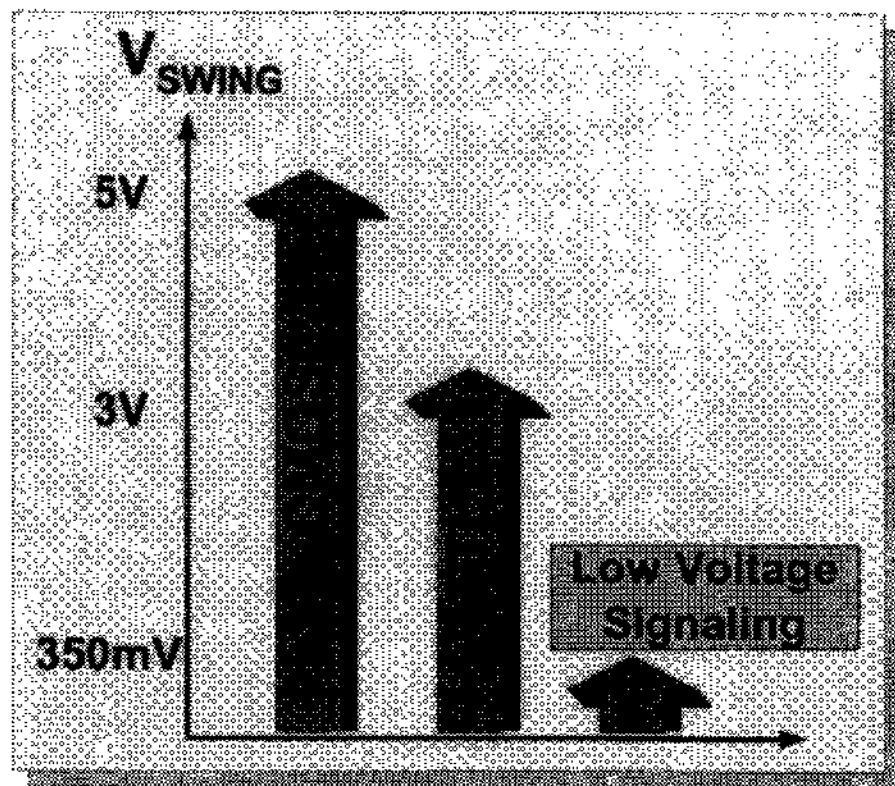
[표 1] FPD의 각 해상도 별 화소 클럭 주파수

Image Resolution	Number of Pixels	Pixel clock frequency [MHz] (Frame Rate [Hz])
VGA	640×RGB×480	25.2 (60)
SVGA	800×RGB×600	40 (60)
XGA	1024×RGB×768	65 (60)
SXGA	1280×RGB×1024	109.3 (60)
UXGA	1600×RGB×1200	160.1 (60)
QXGA	2048×RGB×1536	262.3 (60)

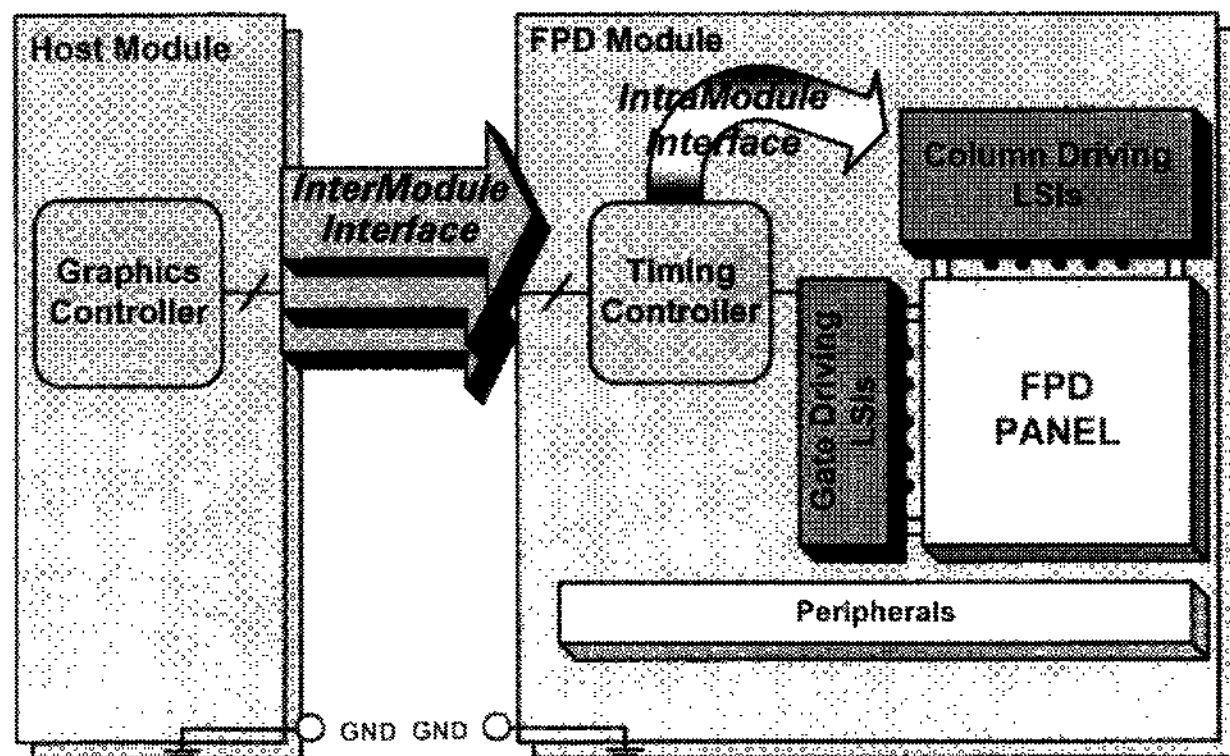
어 신호로 최소 28비트의 전송로가 필요하고 이러한 전송선로 개수의 증가는 시스템 단가의 증가로 직결된다.

이러한 종래 CMOS/TTL 인터페이스를 사용한 데이터 송수신 기술이 갖는 높은 소비 전력, 높은 EMI, 높은 단가 및 낮은 데이터 송수신률등의 단점을 극복하기 위한 기술들이 1990년대 초반 이후 backplane 인터페이스를 중심으로 꾸준히 발표되어 왔고, 새로운 고속 인터페이스 기술들의 주요 핵심은 [그림 1]과 같이 종래의 CMOS/TTL 신호가 수 V 이상의 전압 스윙폭을 갖는데 반해 수백 mV의 저전압 스윙폭을 갖는 신호를 송수신하는 것이다<sup>[2-3]</sup>. 이러한 고속 인터페이스의 저전압 신호 전송 기술을 FPD 시스템에 적용한 사례 및 제품이 다양한 형태의 전송 방식의 형태로 발표되어 왔다<sup>[4-14]</sup>.

[그림 2]에 FPD 시스템의 구성을 나타내었다. 호스트 모듈 내에 위치한 그래픽 제어기는 디스플레이 장치에서 표현될 영상의 처리를 담당한다. FPD 모듈에는 영상을 최종적으로 표시하는 디스플레이 패널과 그 구동을 위한 구동 LSI 들 그리고 구동 LSI들의 제어 신호 및 그래픽 제어기로부터 받은 영상 신호를 제어신호에 동기하여 구동 LSI에 신호를 제공하는 타이밍 제어기가 위치한다. 이러한 시스템 구성에서 고속 인터페이스 기술이 적용될 수 있는 구간은 크게 두 부분으로 나눌 수 있다. 먼저 모듈간 인터페이스는 호스트 모듈의 그래픽 제어기와 FPD 모듈의 타이밍 제어기간 신호



[그림 1] CMOS/TTL 인터페이스 및 저전압 인터페이스간의 전압 스윙폭 대조

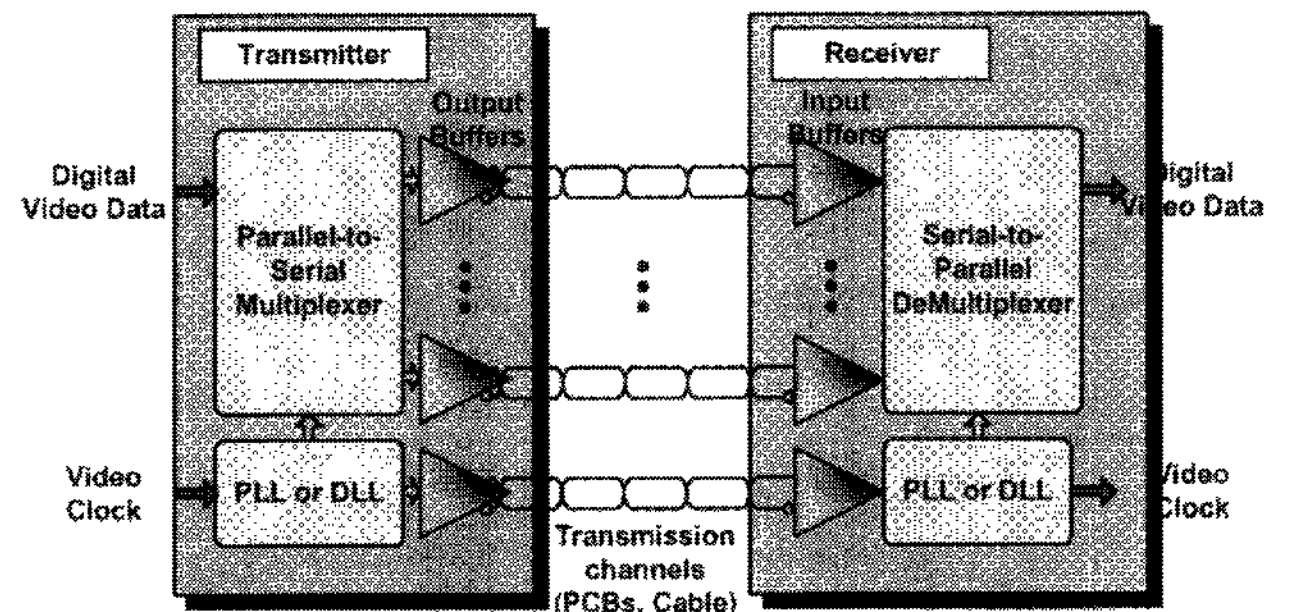


[그림 2] 간략화된 FPD 시스템의 구성

송수신 기술으로 이 기술에는 LVDS(Low Voltage Differential Signaling)와 TMDS(Transition Minimized Differential Signaling)가 있다. 그리고 FPD 모듈 내에서 타이밍 제어기와 컬럼 구동 LSI들 간 인터페이스가 있으며, 이에 는 RSDS(Reduced Swing Differential Signaling), Mini-LVDS, WhisperBus, CMADS(Current-Mode Advanced Differential Signaling) 등의 기술이 있다. 적용 범주에 따른 이 두 가지 종류의 인터페이스는 그 구성 및 신호 전송 체계에 있어 많은 차이점을 지니고, 또한 같은 범주의 인터페이스 기술에 있어서도 각 기술마다 개별적인 특성을 지니고 있다. 이에 본 고에서는 II절 이후로 각 기술에 대한 특징을 구체적으로 살펴보기로 한다.

## II. 모듈간 인터페이스 기술

호스트 모듈의 그래픽 제어기와 FPD 모듈 내 타이밍 제어기 간의 고속 인터페이스 기술은 현재 크게 TIA/EIA의 LVDS 표준과 Silicon Image사의 TMDS에 의해 양분화 되어 있고, 이 두 기술은 SXGA급 이상의 고해상도 디스플레이용 인터페이스 장치에서는 각각 National Semiconductor사의 OpenLDI specification과 DDWG(Digital Display Working Group)에서 주도하고 있는 DVI(Digital Visual Interface) specification으로 구체화 되었다<sup>[4-9]</sup>. LVDS 및 TMDS와 같은 모듈간 인터페이스에서 송수신부의 기본적인 구성은 [그림 3]과 같다. 송신부의 PLL(Phase Locked Loop, 위상동조회로)은 전송 클럭 신호와 데이터 신호간 동기화 기능을 수행하고, 수신부의 PLL은 데이터의 표본화(sampling) 기능을 담당한다. Physical layer의 핵심 기술인 출력 버퍼 및 입력 버퍼는 각각 CMOS/TTL 신호를 저전압 스윙 신호로 변환하는 기능과 저전압 스윙신호로부터 CMOS/TTL 신호를 복원하는 기능을 한다. 송신부와 수신부간 physical layer의 연결은 출력 버퍼와 입력 버퍼가 1:1로 연결되는 point-to-point 구조를 취한다. 이러한 point-to-point 인터페이스 구조에서는 multi-drop 구조에 비해 신호의 순결도가 높아 수백 Mbps에서 수 Gbps의 저전압 스윙 신호의 송수신을 가능케 하므로 다수 비트의 병렬 데이터를 직렬화한 후 1채널의 physical layer를 통해 송신하고, 수신부에서는 이를 다시 병렬화하게 된다. 예를 들어 LVDS의 경우 시스템 클럭의



[그림 3] FPD 시스템에서 모듈간 인터페이스의 구성

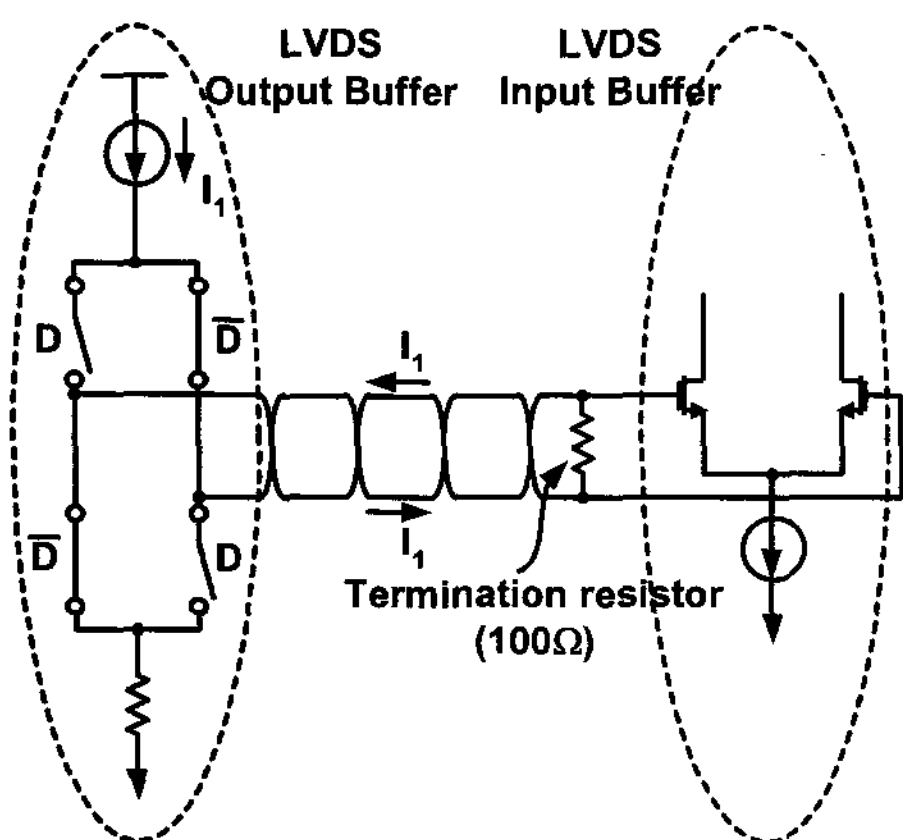
한 주기 동안 7비트의 직렬화된 데이터를 송수신하는게 일반적이다. RGB 각 8비트의 영상 신호 및 4비트의 제어 신호는 총 28비트라 하면 LVDS의 physical layer에는 총 4개의 데이터 채널이 필요하다. 초당 60 Hz의 프레임 갱신을 갖는 XGA급의 영상 신호는 화소 클럭 주파수가 65 MHz이고 이를 LVDS 인터페이스를 통해 송수신하는 경우를 보면, 클럭 채널은 65 MHz의 클럭 정보를 담은 LVDS 신호를 송수신하게 되고 각 데이터 채널은 최대 455 Mbps의 데이터를 송수신하게 된다. 따라서 LVDS 및 TMDS와 같은 모듈 간 인터페이스는 physical layer의 구성에 있어 point-to-point 방식을 채택함으로써 I/O 핀 개수를 줄여 시스템 단가를 낮춘다. 또한 저전압 스윙 인터페이스 기술을 통해 전송 신호의 주파수 대역폭의 증가와 더불어 EMI 문제 및 전력 소모를 완화시키는 장점을 가지게 된다.

이러한 LVDS나 TMDS 제품군은 생산 초기에는 송신칩과 수신칩이 각각 단일 제품으로 출시되었으나, 최근에는 송신부는 호스트 모듈 내 그래픽 제어기 칩과, 수신부는 FPD 모듈 내 타이밍 제어기 칩에 집적하는 제품이 주류를 이루고 있다<sup>[15]</sup>.

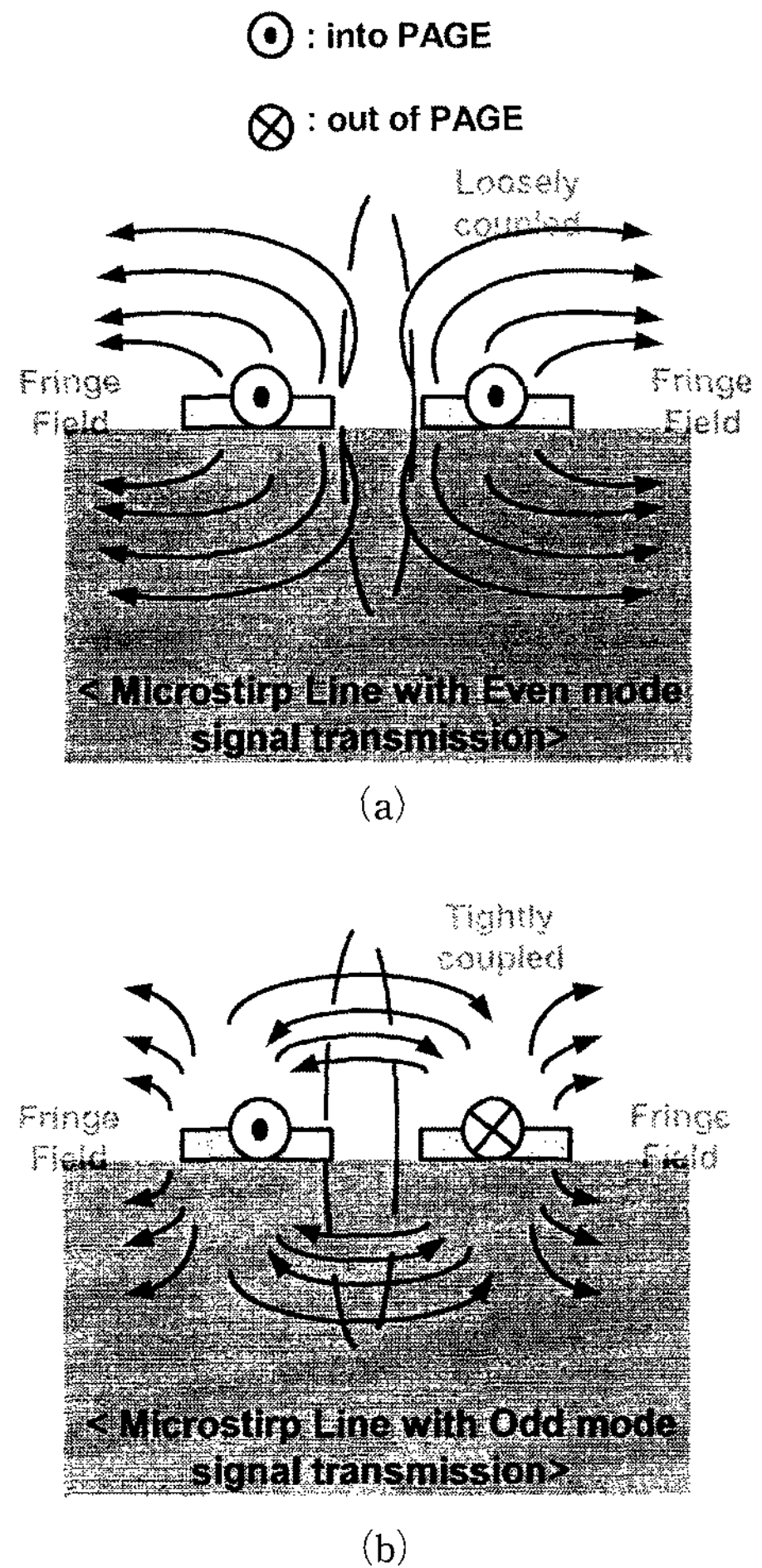
### 1. LVDS<sup>[4-7]</sup>

LVDS는 본래 ANSI TIA/EIA 및 IEEE에서 규정한 고속 디지털 데이터 인터페이스의 표준이다. 이 표준에서는 CMOS/TTL 신호를 LVDS 신호로 변환하는 출력 버퍼 및 LVDS 신호를 CMOS/TTL 신호로 복원하는 입력 버퍼의 전기적 특성만을 규정하고 있다.

[그림 4]는 LVDS 인터페이스의 동작 원리를 설명하기 위한 개념도이다. 출력 버퍼는 3.5mA의 전류원을 push/pull 형태로 스위치에 의해서 전송 매체로 출력하고 ground로 회귀시킨다. 출력 및 회귀되는 전류에 의해 입력 버퍼 앞의 종단 저항(100Ω)에서는 3.5mA의 전류 신호가 350mV의 전압 신호로 변환되고, 입력 버퍼에서는 전압 신호의 극성 및 크기를 비교하여 디지털 신호를 복원하게 된다. 이러한 정전류원을 통한 차동 전류 신호 전송(differential current-mode signaling)은 EMI/EMC 특성을 향상시킨다.



[그림 4] 간략화된 LVDS 입력 버퍼 및 출력 버퍼의 구성 및 동작 원리<sup>[4]</sup>



[그림 5] 공통 모드(Even-mode) 및 차동 모드(Odd-mode) 신호 전달에서의 전계 분포 (a) 공통 모드에서의 전계 분포 (b) 차동 모드에서의 전계 분포

다. <그림 5>에서 보는 바와 같이 신호의 전송 모드가 차동 모드(differential mode 또는 odd mode)인 경우 전계의 외부 방출 정도가 공통 모드(even mode)인 경우 보다 적기 때문이다. 또한 이러한 특성은 외부 잡음으로부터 전송 신호의 순결도를 유지하는 측면에서도 우수하다. 또한 PCB trace 간격을 좁힐 수 있어 시스템 면적을 줄일 수 있다.

FPD 시스템에서의 LVDS 인터페이스는 이미 설명한 바와 같이 [그림 3]과 같은 구조를 갖는다. 데이터 프로토콜 및 신호 복원 알고리즘이 단순하여 송수신칩의 단가가 이후 설명할 TMDS에 비해 낮다. OpenLDI 규격에서는 데이터 프로토콜에 DC balance 기능이 추가되었지만, 초기의 데이터 프로토콜은 별도의 인코딩(encoding) 및 디코딩(decoding)이 없이 7비트의 병렬 데이터를 직렬화한다. 또한 수신부에서의 데이터 복원은 PLL에서의 표본화 클럭을 사용해 데이터 채널의 각 데이터를 1비트당 한 번 표본화하여 데이터를 복원하는 단순한 과정을 통해 이루어진다.

이와 같은 LVDS 인터페이스 기술은 해상도가 SXGA급 이상인 영상 신호를 송수신하는 경우 문제점을 가진다. 가장 심각한 문제점은 데이터 채널을 통한 전송 신호의 전송률이 1Gbps에 근접하거나 그 이상이 되면서, 전송 채널인 PCB



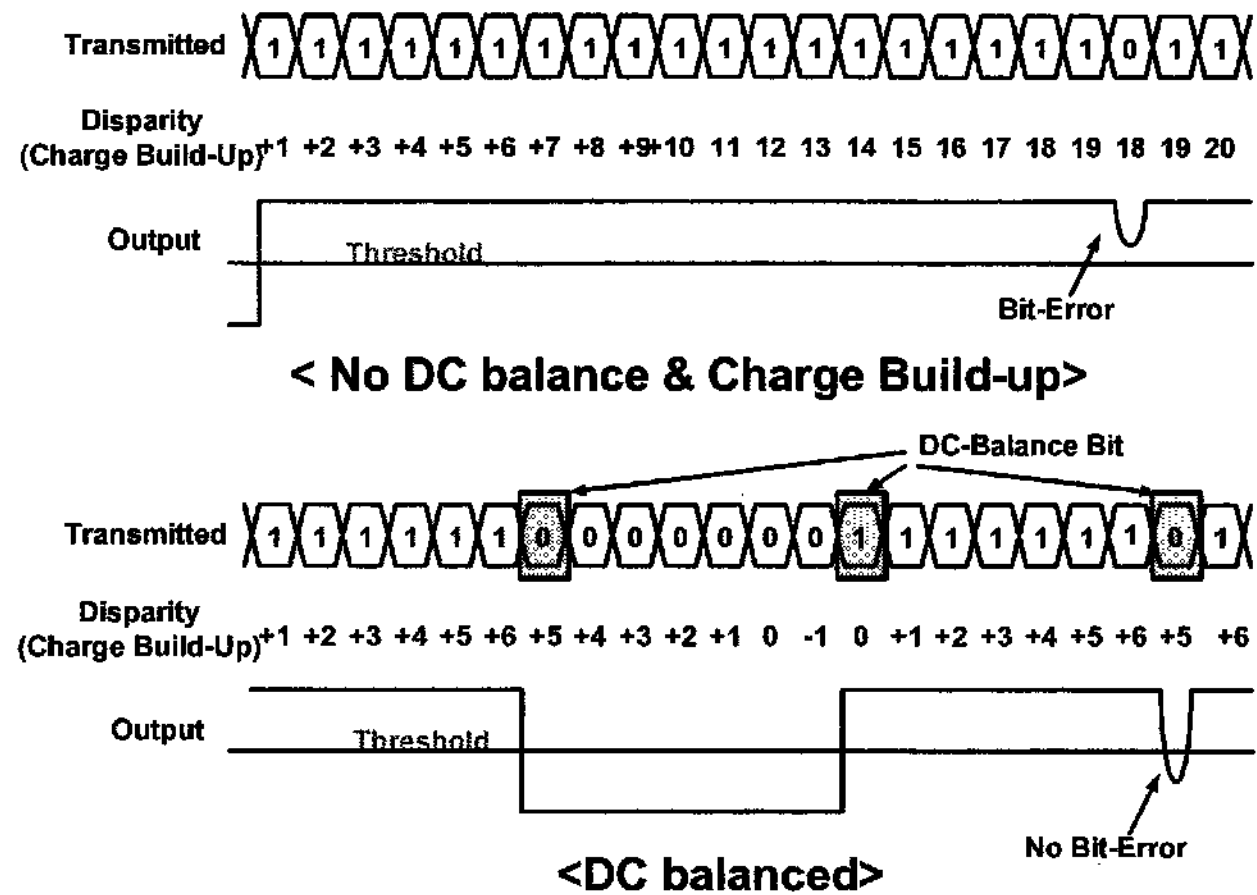
trace 및 케이블 등의 주파수 영역 제한으로 인해 신호의 순결도가 낮아지는 것이다. 이러한 전송 채널의 문제점은 기존의 backplane 인터페이스에서도 공통적으로 안고 있는 문제이며, 이를 극복하기 위한 방법의 하나인 DC balancing 기능과 pre-emphasis 기능을 FPD 시스템에서의 LVDS에도 적용하게 된다<sup>[7]</sup>.

[그림 6]은 DC balance coding의 개념도를 나타낸다. 그림에서 보는 바와 같이 지속적으로 같은 상태의 디지털 값만이 전송 채널을 통해 전달될 경우 케이블 등의 전송 채널에는 전하가 누적된다. 이러한 상태에서 급작스런 영상 신호의 변화는 전송 채널에 누적된 전하를 방전해야 한다. 그러나 LVDS 신호 채널에 흐르는 3.5mA의 정전류만으로 주어진 시간 내에 방전할 수 없는 경우 충분한 신호 값의 천이가 이루어질 수 없고, 수신부에서는 올바른 데이터를 복원할 수 없다. 이를 해결하기 위해 DC balance coding을 적용한다. 기존의 LVDS 채널 당 7비트의 영상 신호를 전달하는 것과는 달리 7비트의 심볼 중 6비트만을 영상 신호의 전달에 할당하고 마지막 비트는 DC balance 비트로서 6비트 영상 신호에서 "1"과 "0" 중 빈도가 낮은 신호 값을 출력하게 된다. 이와 같이 간단한 인코딩을 통해 전송 채널에서 발생 가능한 전하 누적을 최소화하여 BER(Bit Error Rate) 특성을 향상시킨다.

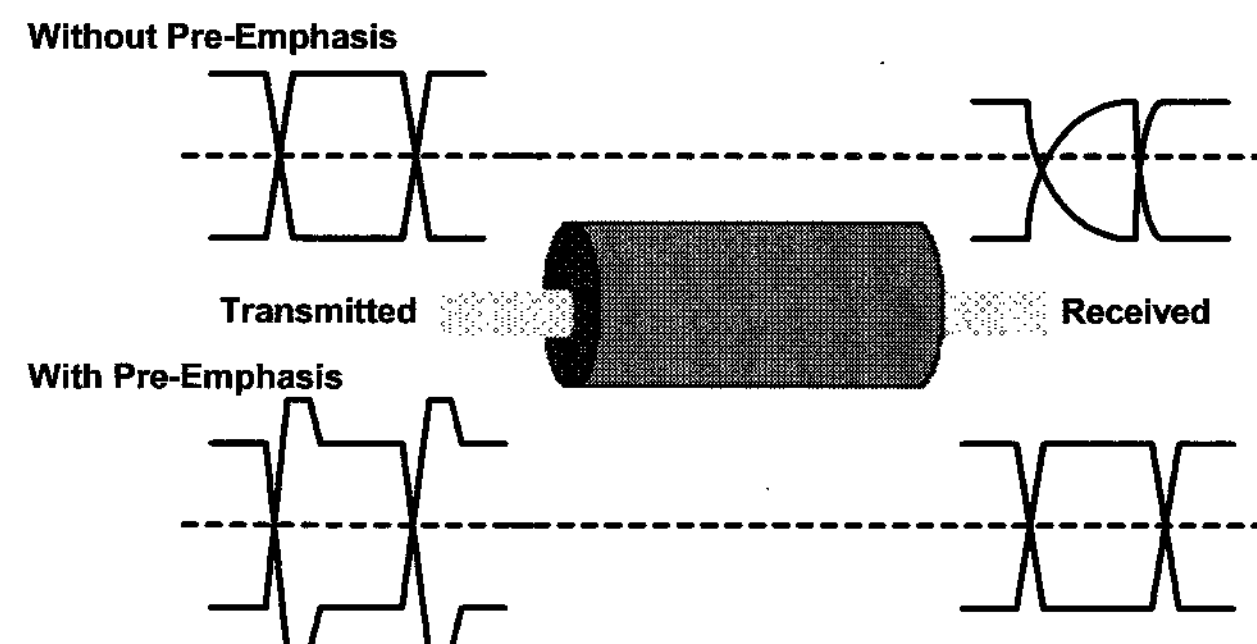
[그림 7]은 pre-emphasis의 개념도를 나타낸다. 전송 신호의 주파수 대역폭이 1GHz 대역에 근접 또는 그 이상으

로 증가함에 따라 전송 채널에서의 저주파 필터 효과로 인해 신호의 순결도가 저하된다. 그림에서 보는 바와 같이 케이블의 저주파 필터 효과로 인해 케이블을 통과한 신호의 상승 천이 시간 또는 하강 천이 시간은 현격히 증가하게 되어 수신부에서 표본화 하기 위한 데이터의 유효 시간 구간은 좁아지게 되어 BER이 증가하게 된다. 이런 문제점을 해결하기 위해 송신부의 출력 버퍼에서는 전송 신호의 상승 천이 시간 및 하강 천이 시간에 정전류원의 크기 보다 많은 량의 전류를 출력하여 신호의 고주파 성분을 강조하는 신호를 전송하게 되므로, 전송 채널의 저주파 필터 효과 이후에도 수신부에서 복원할 신호는 상승 천이 시간 및 하강 천이 시간이 저하되지 않아 데이터 복원이 용이하게 된다.

이와 같이 LVDS는 간단한 데이터 프로토콜 및 회로 구성으로 현재 National Semiconductor사의 제품의 경우 채널 당 최대 0.7Gbps 전송 신호를 케이블을 통해 송신 및 수신 가능하다. 따라서 8개의 LVDS 데이터 채널을 통해 UXGA 해상도의 영상 신호를 인터페이스 할 수 있다<sup>[7]</sup>. 그러나 FPD 시스템에서의 LVDS 인터페이스는 수신 데이터 복원에 있어 특별한 복원 알고리즘 없이 단순한 표본화 작업에만 의존하는 것으로 인해 전송 채널에서의 잡음 마진 및 타이밍 마진이 낮다. 이 때문에 LVDS는 채널 당 1Gbps 이상이 필요한 UXGA급 이상의 고해상도 디스플레이의 장거리 데이터 인터페이스로는 부적합하고, 주로 노트북 등의 단거리 인터페이스용으로 사용되는 것이 일반적이다.



[그림 6] 전송선의 전하 누적 현상과 DC balance coding<sup>[7]</sup>

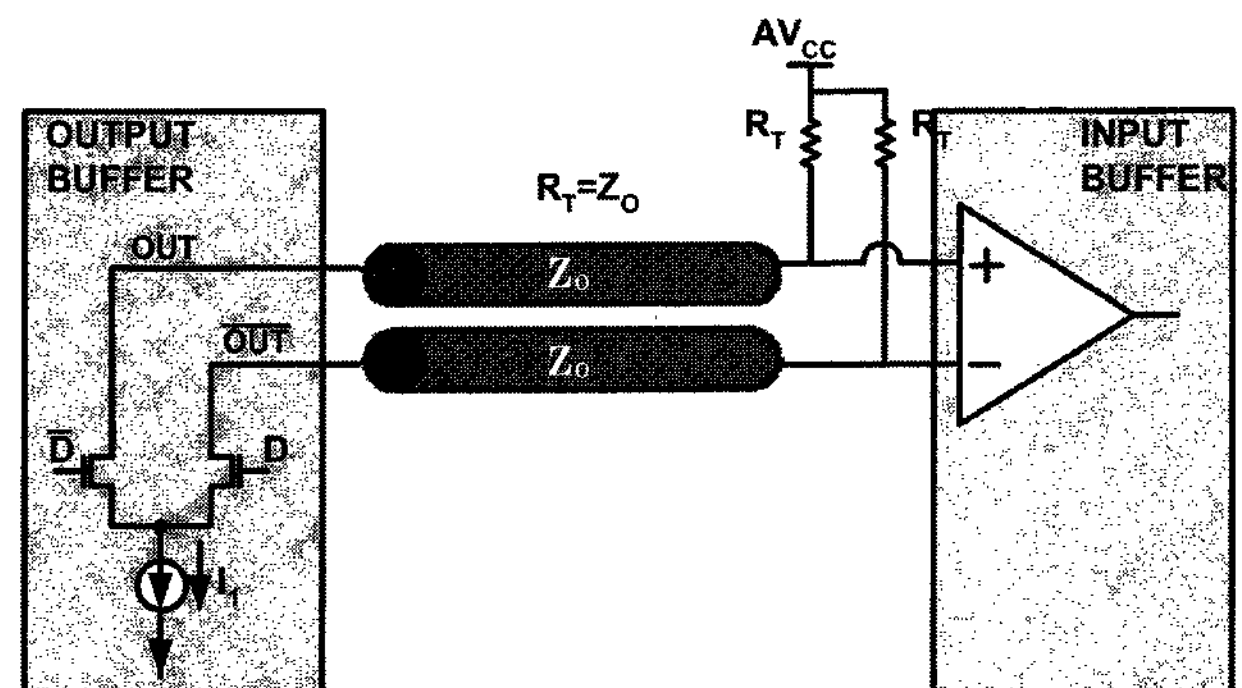


[그림 7] Pre-emphasis의 개념도<sup>[7]</sup>

## 2. TMDS<sup>[8-9]</sup>

TMDS는 디지털 인터페이스 규격인 DVI에서 사용하는 데이터 프로토콜 및 physical layer를 구성하는 고속 인터페이스 기술이다. 이 기술은 초기 Silicon Image사에서 개발한 것으로 LVDS와 마찬가지로 모듈 간 고속의 디지털 영상 신호를 송수신한다. 앞에서 언급한 바와 같이 LVDS는 수신단에서의 데이터 복원 기술이 단순하여 대략 3m 이하의 케이블을 통해 전송하는게 일반적이다. 그러나 이 TMDS는 과표본화를 통한 신호 복원 기술로 인해 약 10m 길이의 케이블 까지도 송수신이 가능한 기술이다.

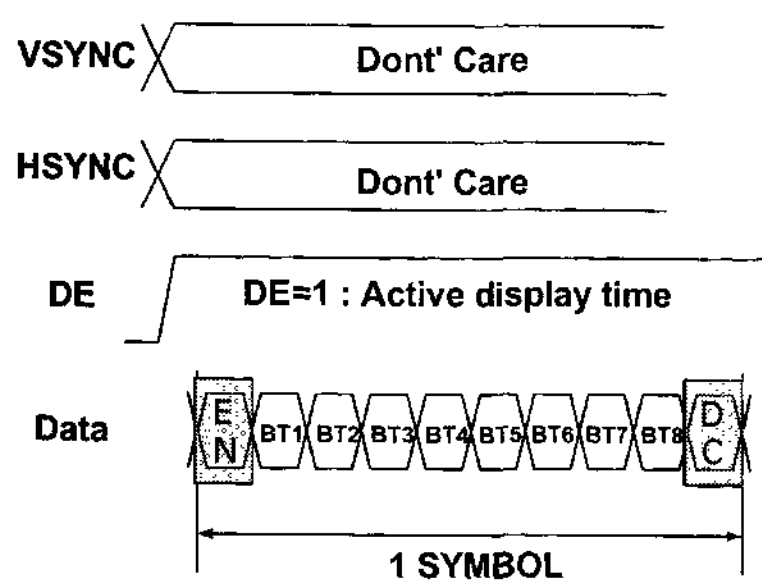
[그림 8]은 TMDS에서 physical layer의 구성을 나타내고 있는데, LVDS와 마찬가지로 차동 전류 전송 모드를 취



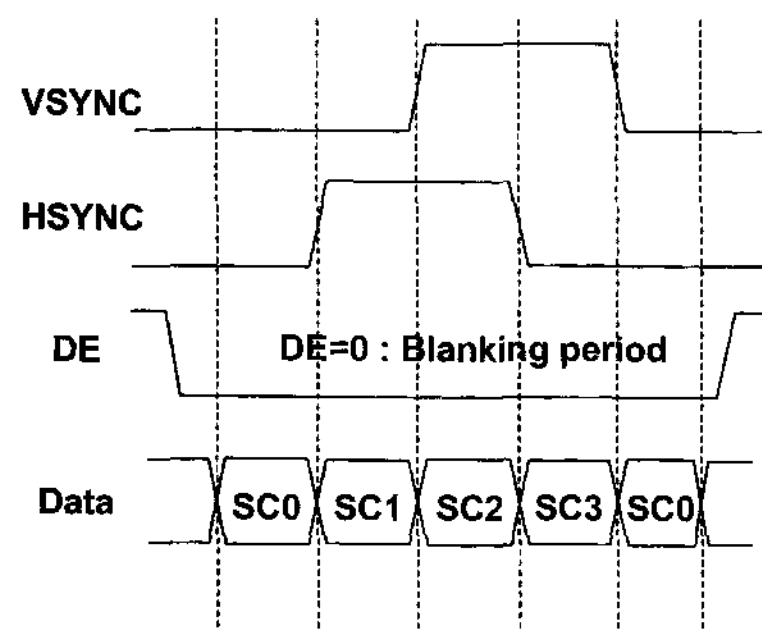
[그림 8] TMDS physical layer의 구성도

함을 알 수 있다. 그림에서 출력 버퍼는 RAMBUS DRAM의 출력 버퍼와 유사한 차동 전류 버퍼 구조를 취한다. 디지털 데이터 값에 의해 스위치가 제어되고, 전류(I<sub>1</sub>)는 두 개의 차동 전송로 중 어느 하나로 흐르게 되고, 수신부의 종단 저항인 R<sub>T</sub>에 의해 400mV~600mV의 스윙폭을 갖는 전압 신호로 변환된다. 수신부의 입력 버퍼는 두 전송로 사이의 전압차를 CMOS/TTL 레벨로 복원하게 된다. 이러한 TMDS physical layer에서의 종단 저항 R<sub>T</sub>는 LVDS의 physical layer에서의 종단 저항 크기에 비해 약 1/2배 정도로 작다. 이 때문에 TMDS와 LVDS의 전송 신호가 같은 전압 스윙폭을 갖는 경우 출력 버퍼에서 전류원의 크기는 TMDS가 LVDS에 비해 2배 정도 크다. 따라서 TMDS는 LVDS에 비해 physical layer에서의 전력 소모가 크게 된다.

앞에서도 언급한 바와 같이 TMDS의 가장 두드러진 특징은 데이터 프로토콜 및 데이터 복원에 있다. [그림 9] 및 [표 2]는 TMDS의 데이터 프로토콜을 나타내고 있다. TMDS에서는 8비트의 데이터 스트림을 10비트 데이터 스트림으로 인코딩(encoding) 및 디코딩(decoding)한다. 그리고 DVI 규격의 데이터 형식은 VESA 표준을 따른다.



(a)



(b)

[그림 9] TMDS의 데이터 프로토콜  
(a) 천이 최소 인코딩 (b) 천이 최대 인코딩<sup>[8]</sup>

[표 2] 블랭킹 시간 동안의 TMDS 데이터 프로토콜<sup>[8]</sup>

	DE	HSYNC	VSYNC	Protocol
SC0	0	0	0	0010101011
SC1	0	1	0	1101010100
SC2	0	1	1	1101010101
SC3	0	0	1	0010101010

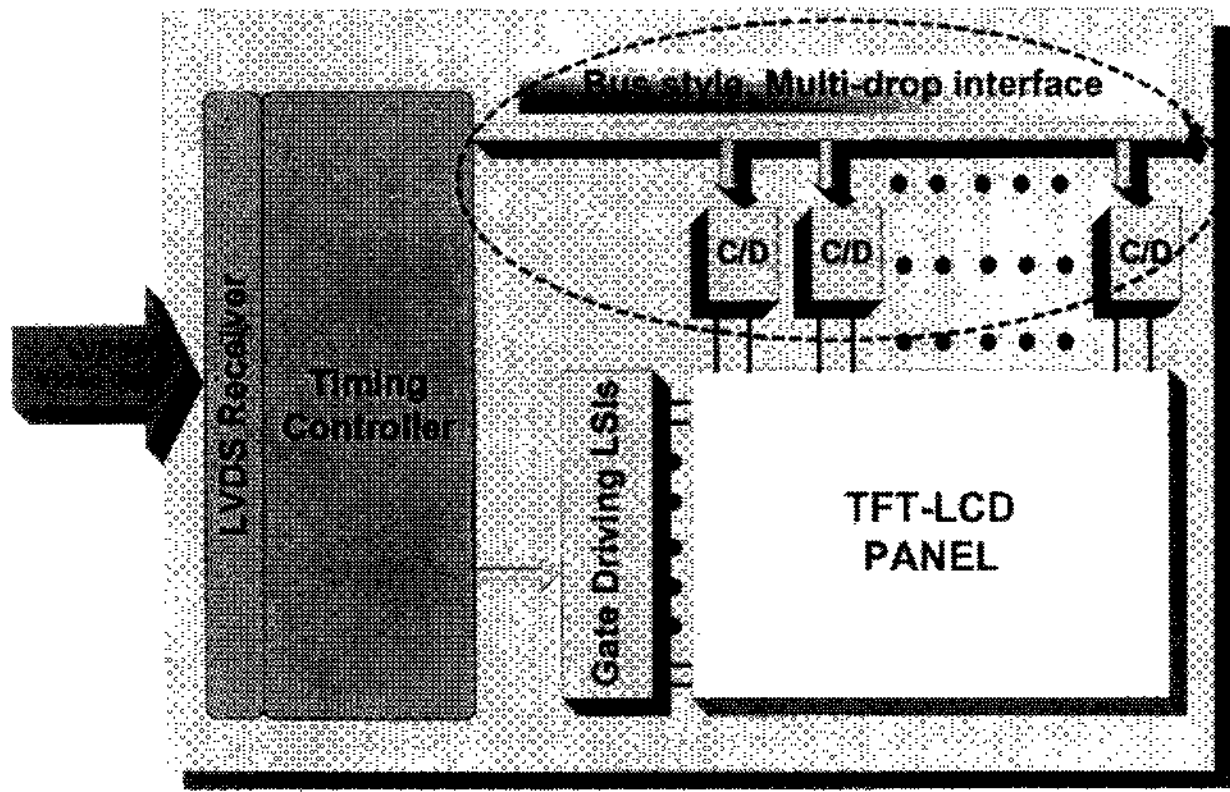
VESA 표준에 따르면 1 프레임 구간은 실제 영상 신호가 송신 및 수신되는 액티브 데이터 시간과 블랭킹(blanking) 시간으로 나뉘어진다. 이 액티브 데이터 시간과 블랭킹 시간은 그래픽 제어기로부터 전송되는 “DE” 신호에 의해 결정된다. TMDS에서는 “DE” 값이 “1”인 액티브 데이터 시간 동안에는 영상 신호 스트림의 데이터 천이가 최소화 되도록 송신부에서 인코딩하고, 수신부에서는 이를 디코딩한다. 또한 “DE” 값이 “0”인 블랭킹 시간 동안에는 데이터 천이가 최대화 되도록 [표 2]와 같은 데이터 프로토콜을 구성한다. 데이터 스트림의 천이를 최소화함과 동시에 DC balance 기능을 추가한 데이터 프로토콜을 사용함으로써 전력 소모를 줄이고 동시에 DC balance 문제를 해결한다. 블랭킹 시간 동안 데이터 프로토콜의 천이를 최대화하는 이유는 다음과 같다. 앞의 [그림 3]과 같이 클럭과 데이터 채널 간 동기화된 구성에서 각 데이터 채널 간 또는 데이터 채널들과 클럭 채널 간에는 타이밍 스큐(timing skew)가 발생할 수 있다. 각 채널의 전송로 길이를 일정하게 설계함으로써 어느 정도 타이밍 스큐를 줄일 수 있으나, PCB trace, 케이블, 커넥터 상에서 공정상 발생 가능한 스큐에 의해 수신부에서는 복원 가능한 타이밍 마진(timing margin)이 감소한다. 따라서 수신부에서는 각 데이터 채널마다 타이밍 스큐를 최소화 하기 위한 별도의 스큐 보상 회로가 필요하다. 이러한 스큐 보상 회로는 입력 데이터 신호의 충분한 천이가 이루어져야 그 기능이 가능하고 이를 위해 TMDS는 블랭킹 시간 동안 데이터 스트림의 천이를 최대화하여 스큐 보상 기능을 수행하게 된다.

또한 스큐 보상을 위해 TMDS는 3배의 과표본화를 통한 데이터의 복원을 수행하게 된다. 각 비트 신호마다 3번의 과표본화 작업을 수행하고 3개의 데이터 표본에서 스큐 보상 회로에 의해 올바른 데이터 1비트를 추출한다. 물론 과표본화 및 스큐 보상 회로는 전력 소모를 증가시키나 BER 특성을 향상시킬 수 있다. 이에 따라 TMDS는 LVDS에 비해 장거리 전송 및 고속 동작이 가능한 장점을 지니게 된다. 반면 TMDS는 LVDS에 비해 상대적으로 단가가 높아 주로 호스트 컴퓨터와 모니터 간 인터페이스에 응용되고 있다.

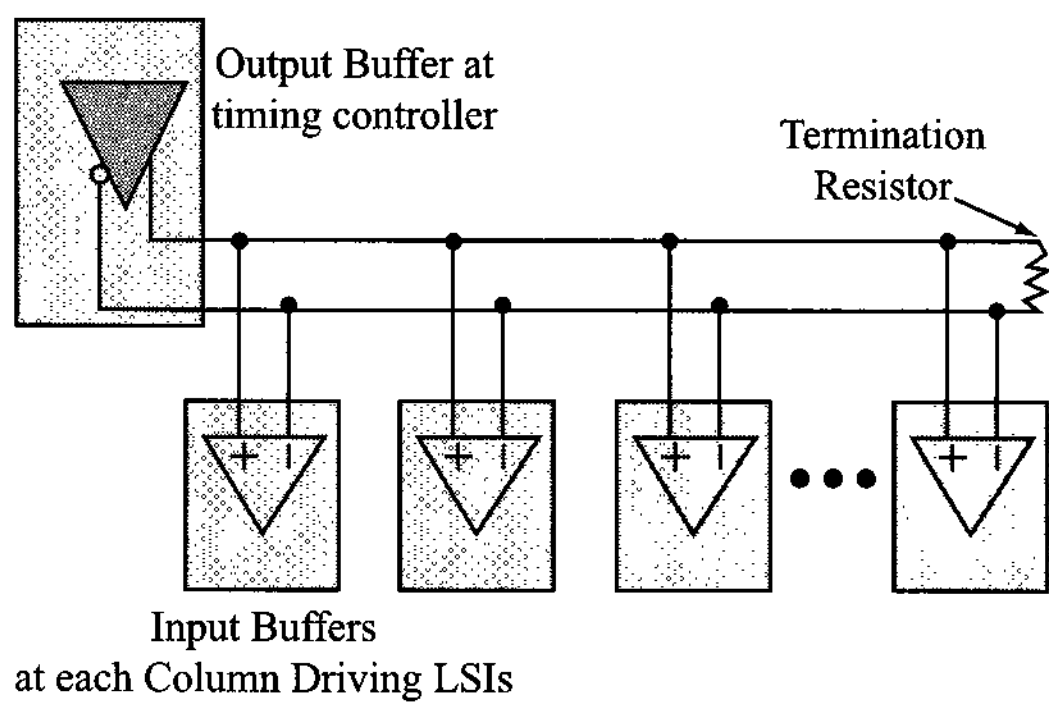
TMDS는 정교한 수신 복원 알고리즘 및 채널 코딩으로 인해 현재 채널 당 최대 1.65 Gbps의 고속 신호를 송수신할 수 있고, 3채널의 TMDS 데이터 채널을 통해 UXGA 해상도의 영상 신호를 인터페이스 할 수 있다.

### III. 타이밍 제어기와 컬럼 구동 LSI 간 인터페이스 기술

FPD 모듈 내에서 타이밍 제어기와 컬럼 구동 LSI들 간 인터페이스 기술은 앞의 II절에서 설명한 모듈간 인터페이스와는 그 구성면에 있어 차이점을 보인다. [그림 10]에서 보는 바와 같이 FPD 패널을 구동하기 위해 다수개의 컬럼 구동 LSI가 필요하고, 타이밍 제어기에서는 이 각각의 컬럼 구동 LSI에 선택적으로 디지털 영상 신호 및 제어 신호를



[그림 10] 타이밍 제어기와 컬럼 구동 LSI들 간의 인터페이스 구성도



[그림 11] Multi-drop style의 고속 인터페이스 구성도

전송하여야 한다. 따라서 앞의 II절에서의 LVDS나 TMDS가 point-to-point 인터페이스인데 반해 타이밍제어기와 컬럼 구동 LSI들 간의 연결은 [그림 11]에서 보는 바와 같이 한 개의 출력 버퍼 신호를 다수개의 입력 버퍼에서 선택적으로 받아들이는 multi-drop 인터페이스 구조를 갖는다. 이러한 multi-drop 인터페이스는 point-to-point 인터페이스에 비해 상대적으로 임피던스 부정합 등으로 인해 신호의 순결도가 크게 낮아져 보통은 최대 400 Mbps의 전송률을 갖는다.

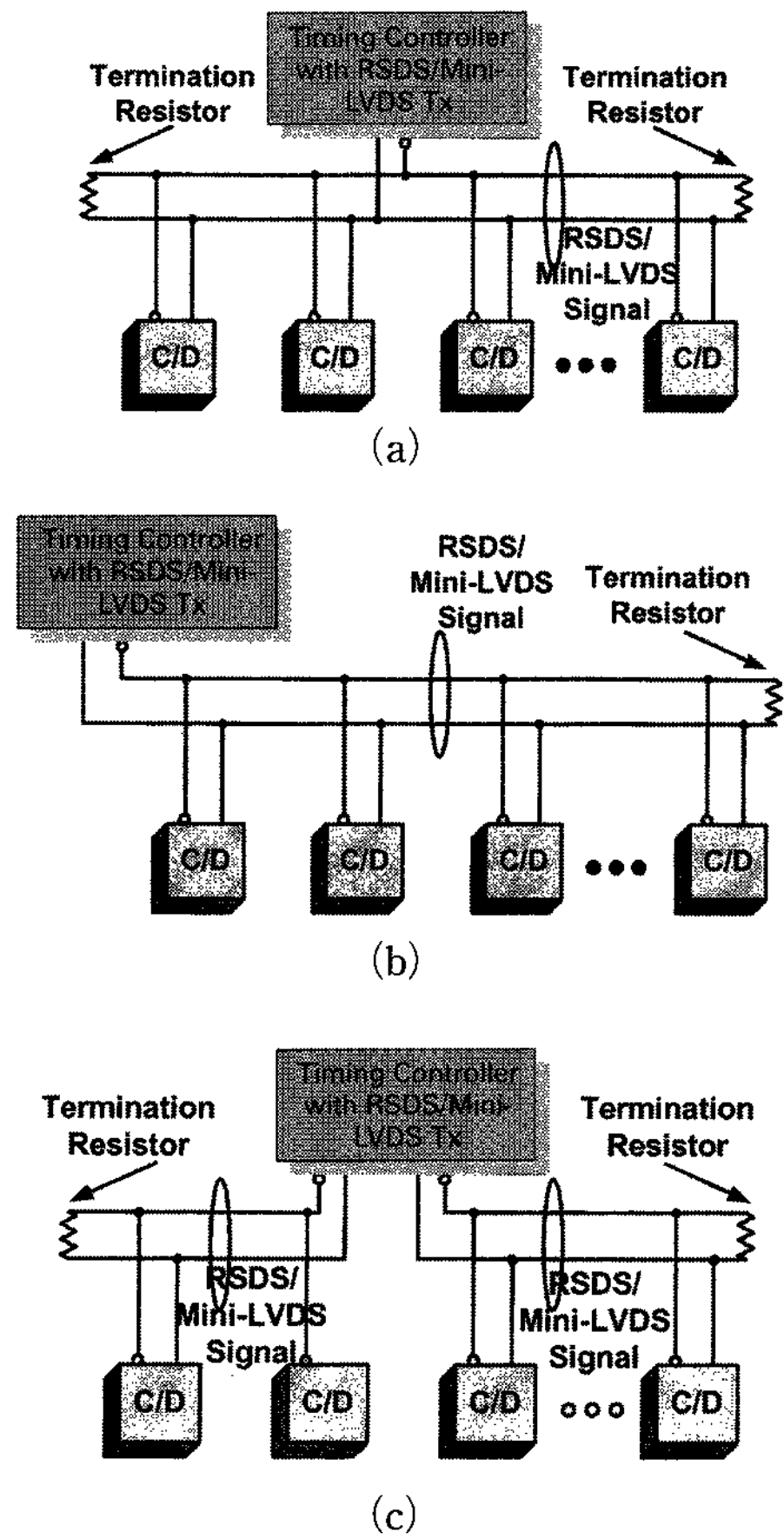
현재 타이밍 제어기와 컬럼 구동 LSI들 간 인터페이스 기술 중 RSDS와 Mini-LVDS는 대량 생산되어 관련 시장의 대부분을 잠식하고 있는 상태이며, WhisperBus 및 CMADS는 SID 2001에서 논문을 통해 발표된 기술로 기술적으로나 시장 점유 측면에서 아직은 미성숙 상태이다.

### 1. RSDS와 Mini-LVDS<sup>[10-12]</sup>

RSDS와 Mini-LVDS는 그 구성이나 전기적 특성이 같으므로 본 절에서 같이 설명한다. RSDS와 Mini-LVDS는 각각 National Semiconductor사와 Texas Instruments사에서 발표한 것으로, TFT-LCD 모듈에서 타이밍 제어기와 컬럼 구동 LSI들 간의 고속 인터페이스 기능을 한다. Physical layer는 기존의 LVDS와 같이 정전류원을 이용한 차동 전류 전송 모드의 출력 버퍼 및 입력 버퍼를 사용한다. 또한 그 목적에 있어서도 LCD 모듈내 저소비전력, 저

[표 3] RSDS/Mini-LVDS와 LVDS 간 특성 대조<sup>[10]</sup>

Characteristics	RSDS/Mini-LVDS	LVDS
Output Voltage Swing	± 200 mV	± 350 mV
Termination resistance	100 Ω	100 Ω
Output Drive Current	2 mA	3.5 mA
Data Mux	2 : 1	7 : 1
Content	RGB video data	RGB video data & Control data



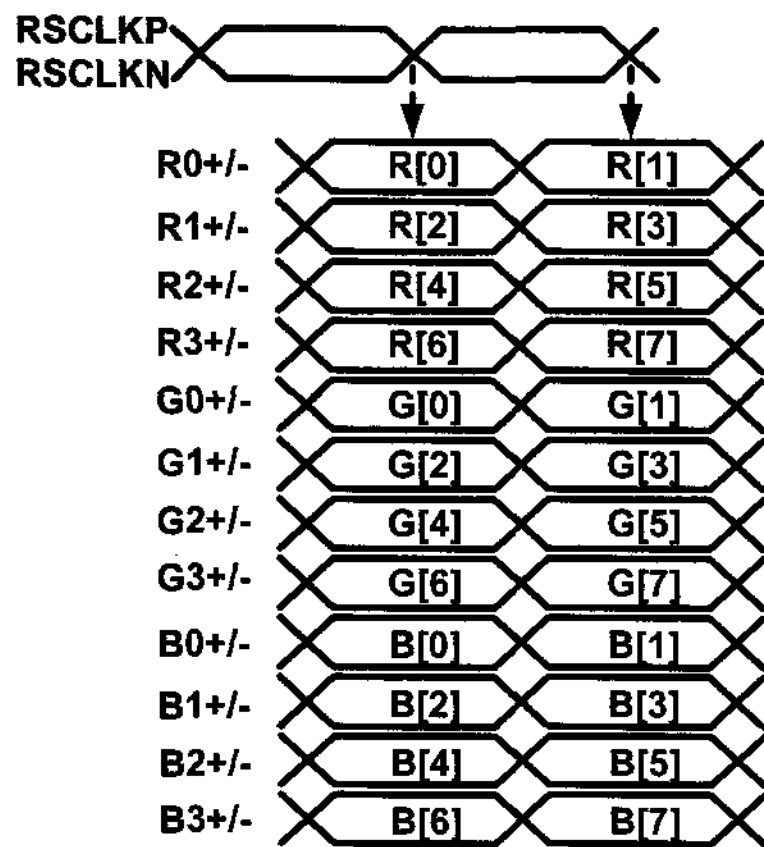
[그림 12] 타이밍 제어기와 컬럼 구동 LSI들 간 RSDS/Mini-LVDS 인터페이스 구성의 종류  
 (a) Multi-drop with double termination  
 (b) Multi-drop with single termination  
 (c) Double multi-drop with single termination<sup>[12]</sup>

EMI, 적은 I/O 핀 수를 갖는 인터페이스 구성을 목표로 한다.

[표 3]에 나타낸 RSDS/Mini-LVDS와 LVDS 간 특성 대조표에서 보듯이 RSDS/Mini-LVDS는 약 200 mV의 저전압 스윙폭을 갖고 200 Mbps 내외의 고속 디지털 신호를 전달하게 된다.

LCD 모듈 내 타이밍 제어기와 컬럼 구동 LSI들 간 RSDS/Mini-LVDS 인터페이스의 구성은 [그림 12]에 나타낸 세 가지 중 어느 하나로 가능하다. LVDS와 마찬가지로





[그림 13] RSDS/Mini-LVDS 인터페이스의 데이터 프로토콜<sup>[12]</sup>

로 차동 전송 모드를 사용하므로 1 채널에 필요한 PCB trace의 개수는 2개가 필요하고, 여러 개의 컬럼 구동 LSI 들 중 선택 신호에 의해 어느 하나의 구동 LSI에서 RSDS/Mini-LVDS 신호를 받아들여 내부적으로 CMOS/TTL 신호로 변환하게 된다.

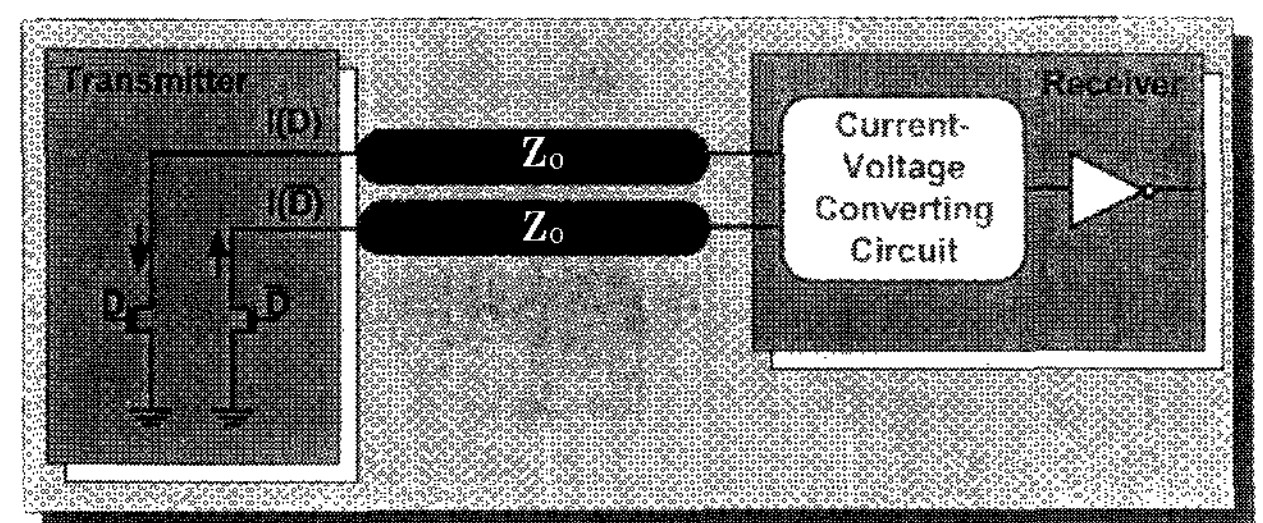
[그림 13]은 각 8비트의 RGB 영상 신호들을 타이밍 제어기로부터 컬럼 구동 LSI로 전송할 때 RSDS/Mini-LVDS의 데이터 프로토콜을 나타낸다. 차동 화소 클럭 신호인 RSCLKP 및 RSCLKN의 상승 천이 시간과 하강 천이 시간에 각각 데이터를 표본화 하므로 각 RSDS/Mini-LVDS 채널은 차동 클럭의 한 주기동안 2비트의 데이터를 송수신한다. 따라서 기존의 CMOS/TTL 인터페이스보다 채널 수가 약 1/2 수준으로 감소하게 된다. 이는 비록 RSDS/Mini-LVDS가 채널 당 2개의 전송선을 필요로 하나, RSDS의 고속 전송률에 의해 고해상도에서는 전송선의 개수가 1/2 수준으로 감소할 수 있다. 즉 화소 클럭 주파수가 65 MHz 이상인 경우 CMOS/TTL 인터페이스는 dual pixel 전송 모드를 사용하게 되어 I/O 핀 개수가 2배로 증가하게 되나, RSDS/Mini-LVDS는 200 Mbps 내외의 고속 인터페이스가 가능하여 별도의 I/O 핀 개수의 증가를 막을 수 있다. 그러나 RSDS는 인터페이스의 구성 및 프로토콜에 있어 문제점을 지닌다. 즉 multi-drop의 인터페이스에서 클럭 채널과 데이터 채널들은 각 채널의 종단에서의 부하 조건이 틀리다. 서로 다른 부하 조건은 신호의 잡음 마진 및 타이밍 마진 저하시키고 따라서 인터페이스의 최대 데이터 전송률을 제한하게 된다. 더욱이 클럭의 1주기 동안 2비트의 데이터를 표본화하기 위해선 클럭의 듀티비가 50%이어야 하나 그렇지 못할 경우 타이밍 마진은 더욱더 저하된다. 위 문제들을 해결하기 위해선 PLL등의 장치가 송신부 및 수신부에 내장되어야 하고 스큐 보상 회로 또는 스큐 보상을 위한 데이터 프로토콜 등이 필요하다.

## 2. CMADS<sup>[13]</sup>

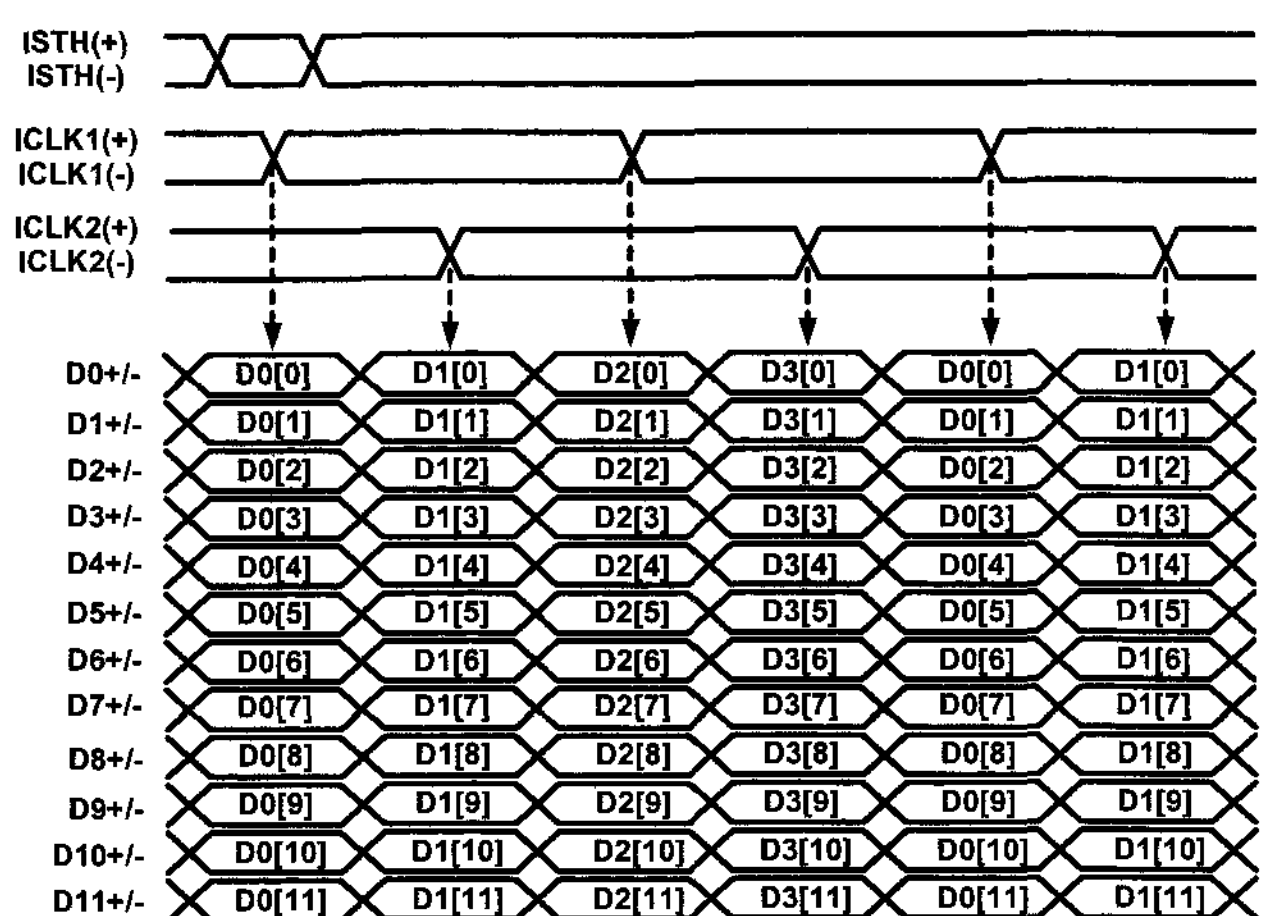
CMADS는 NEC사에서 SID 2001에서 발표한 기술로 채널 당 370 Mbps의 고속 인터페이스가 가능하다. RSDS/Mini-LVDS와 그 목적은 같으나 physical layer에서의 입

력 버퍼 및 출력 버퍼의 구조와 데이터 전송 프로토콜이 상이하다. [그림 14]는 CMADS의 입력 버퍼 및 출력 버퍼의 간략화된 도식도를 나타내고 있다. 차동 전류 전송 모드인 점은 RSDS/Mini-LVDS와 같다. 그러나 RSDS/Mini-LVDS가 정전류원의 크기를 출력 버퍼에서 제어하는 것에 반해 이 CMADS에서는 출력 버퍼의 기능은 단지 전류를 어느 방향으로 흐르게 하는지를 결정하는 스위치 역할만 한다. 따라서 출력 버퍼가 단순해지나 반대로 수신부의 입력 버퍼는 정전류원의 생성 및 전류값을 전압값으로 변환하는 I-V(Current-to-Voltage) 변환기가 필요해 그 구조가 복잡해진다. 각 수신부의 종단 저항에서 I-V 변환이 이루어지며 CMADS의 전압 스윙 폭은 약 100 mV이다. 일반적으로 multi-drop 구조에서는 입력 버퍼의 개수가 출력 버퍼의 개수보다 많기 때문에, CMADS의 경우 기존의 RSDS (Mini-LVDS)에 비해 LSI의 면적 증가가 예상된다.

[그림 15]는 CMADS 인터페이스를 적용한 영상 데이터 신호의 프로토콜을 나타낸다. ISTH(+)/(-) 신호는 컬럼 구동 LSI들을 순차적으로 선택하기 위한 신호이고, ICLK1(+)/(-)과 ICLK2(+)/(-)는 클럭 신호로서 각각의 상승천이 시간과 하강 천이 시간에 데이터를 표본화한다. 따라서 데이터 채널에서는 클럭 신호의 한 주기 동안 총 4비트의 데이터를 송수신한다. 이 경우 I/O 핀 개수는 앞의 RSDS/Mini-LVDS에 비해 약 1/2 수준으로 감소하게 된다. 반면 90°의 위상차를 갖는 두개의 클럭 신호를 생성하기 위해 타이밍 제어기 내부 클럭은 화소 클럭 보다 주파수가



[그림 14] CMADS 인터페이스의 간략화된 입력 버퍼 및 출력 버퍼의 구성<sup>[13]</sup>



[그림 15] CMADS 인터페이스의 데이터 프로토콜<sup>[13]</sup>

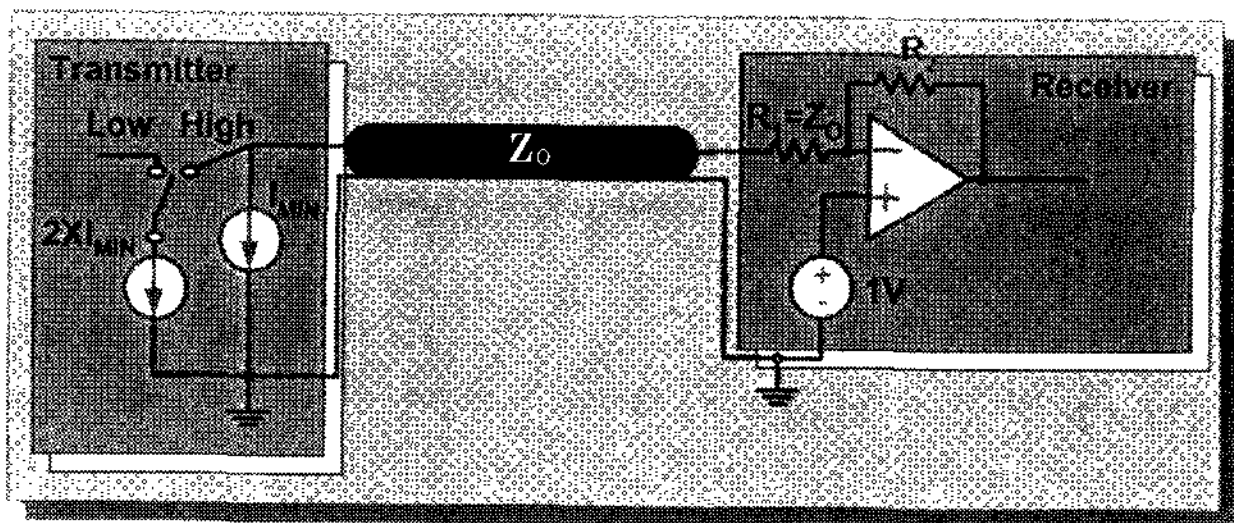
4배 높거나 또는 PLL을 사용해야 하므로 전력 소모가 증가하고 동시에 시스템 단가가 높아진다.

시스템 구성은 RSDS/Mini-LVDS와 마찬가지로 multi-drop 인터페이스 형태로 구성되며 [그림 12(a)]와 같은 형태를 취한다. 따라서 앞의 III. 1의 RSDS/Mini-LVDS에서 언급한 바와 같이 multi-drop 구조에서의 신호 대역폭 제한 문제가 발생한다.

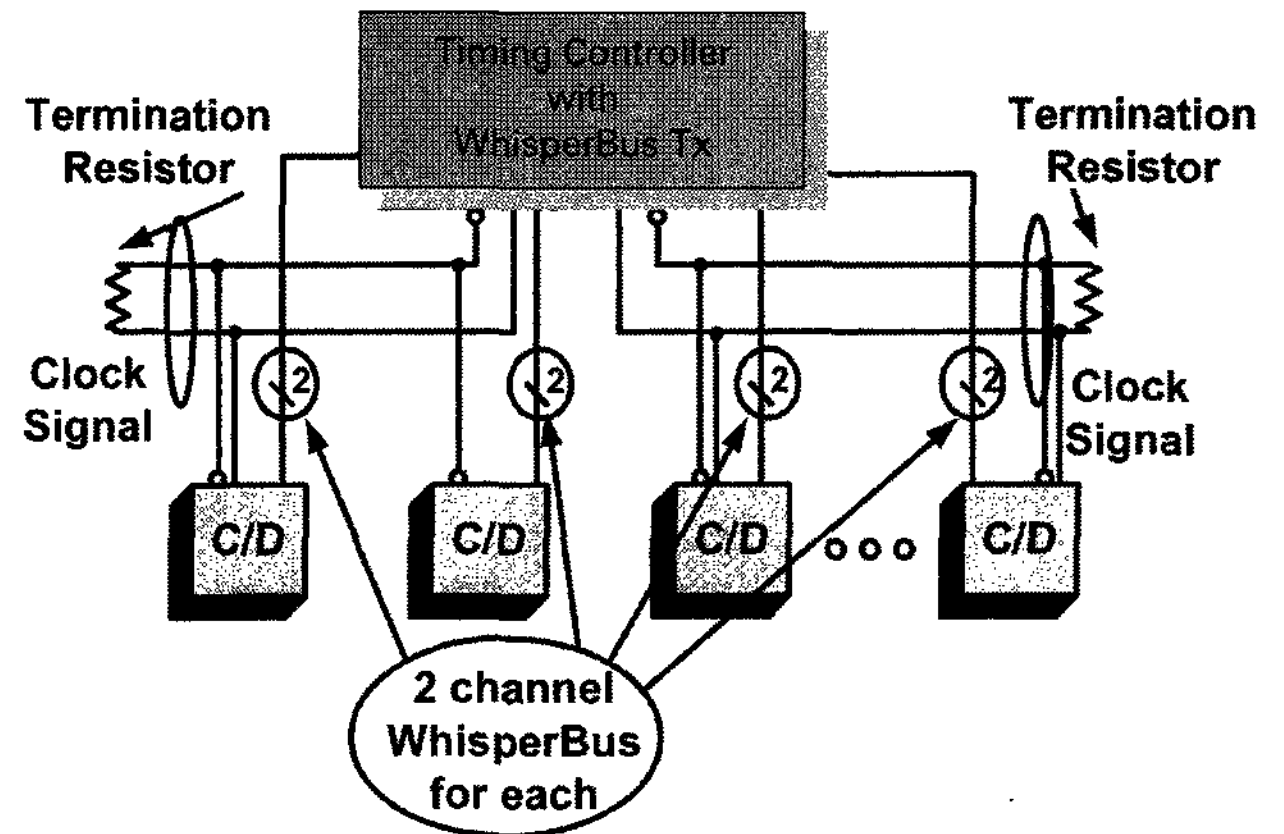
### 3. WhisperBus<sup>[14]</sup>

WhisperBus는 CMADS와 마찬가지로 SID 2001을 통해 National Semiconductor사에서 발표한 기술이다. WhisperBus는 physical layer의 입력 버퍼 및 출력 버퍼, 인터페이스 구성 면에서 앞의 RSDS/Mini-LVDS 및 CMADS와는 크게 다르다. [그림 16]은 WhisperBus의 입력 버퍼 및 출력 버퍼를 나타낸다. 송신부의 출력 버퍼에서는 디지털 데이터 값에 따라  $I_{MIN}$  또는 두 배의  $I_{MIN}$  전류를 전송하게 되고, 수신부의 입력 버퍼에서는 transimpedance 증폭기를 사용하여 I-V 변환 및 증폭을 한다. 앞에서 설명한 인터페이스의 physical layer에서는 종단 저항에 의해 I-V 변환을 한다. 이 때 전송 신호의 에너지는 종단 저항에서 소모될 뿐이고 수신부 입력 버퍼의 신호 복원에는 에너지 전달을 못한다. 이에 반해 WhisperBus의 경우 종단 저항은 임피던스 정합의 기능과 동시에 전송 신호의 에너지를 입력 버퍼로 전달하는 역할을 동시에 한다. 즉 전송 채널의 특성 임피던스가  $50\ \Omega$ 인 경우  $R_1$ 은 임피던스 정합을 위해  $50\ \Omega$ 으로 설정하고 입력 버퍼의 출력 신호는  $R_2$ 와  $R_1$ 의 저항비에 의해 결정된다. 따라서 이와 같은 입력 버퍼의 구성은 기존의 입력 임피던스가 무한대인 입력 버퍼에 비해 전력 소모를 줄일 수 있다. 그러나 단일 전송선을 사용하므로 외부 잡음원에 약하고  $R_1$ 과  $R_2$ 의 경우 외부 저항이 아닌 컬럼 구동 LSI 내부에 저항을 집적하여 사용하므로 입력 버퍼의 면적이 증가하는 단점을 가진다.

[그림 17]은 WhisperBus를 적용한 타이밍 제어기와 컬럼 구동 LSI들 간의 인터페이스 구성을 나타내고 있다. WhisperBus에서는 기본적으로 multi-drop이 아닌 point-to-point 인터페이스로 데이터 채널을 구성하고, 오직 클럭 채널에만 multi-drop 인터페이스 및 차동 전송 모드를 취한다. 데이터 채널에 point-to-point 인터페이스를 적용하는 까닭은 앞에서 언급한 바와 같이 WhisperBus의 physi-



[그림 16] WhisperBus 인터페이스의 간략화된 입력 버퍼 및 출력 버퍼의 구성<sup>[14]</sup>



[그림 17] WhisperBus 인터페이스를 적용한 타이밍 제어기와 컬럼 구동 LSI들 간의 구성도<sup>[14]</sup>

cal layer에서 각 입력 버퍼의 입력 임피던스가 무한대가 아니기 때문이다. I/O 핀 개수 측면에서 구동 LSI당 2비트의 데이터 신호선을 사용하므로 각 컬럼 구동 LSI의 입력 핀 개수는 줄어드나 수 개의 컬럼 구동 LSI에 2비트의 데이터 신호를 각각 전달하기 위해 타이밍 제어기의 출력 핀 개수는 늘어나게 된다. 마지막으로 point-to-point 인터페이스와 multi-drop 인터페이스를 혼용하므로 RSDS(Mini-LVDS) 및 CMADS에 비해 데이터 채널과 클럭 채널간 타이밍 스큐가 더 증가할 수 있고, 이를 보상하기 위해 데이터 프로토콜에 스큐 보상 기능을 적용한다.

### IV. 인터페이스 기술의 향후 전망

현재와 마찬가지로 앞으로의 디스플레이 인터페이스 기술은 고해상도의 대용량 데이터를 적은 수의 신호 선을 통해 송수신함과 동시에 저 전력, 저 EMI를 실현하는데 집중될 것으로 보인다. 3D 디스플레이와  $4928 \times 2048$  이상의 고해상도 electronic cinema market 등은 현재의 영상 데이터 처리량의 수배~수십배에 이르고 이를 앞의 고속 인터페이스 기술 또는 새로운 형태의 인터페이스 기술을 사용해 송수신 해야하는 기술적 과제를 안고 있다. 현재로서는 LVDS, TMDS 등의 많은 인터페이스 기술이 시장을 형성하고 있으나, 고해상도 디스플레이 시스템으로 갈수록 단순히 전송 채널 수를 늘리는 방향으로 기술의 한계를 보완하고 있는 실정이다. 더욱이 SOP(System-On-Panel)와 같은 기술이 실현될 경우 수많은 I/O 핀 수를 줄이기 위한 인터페이스 기술의 필요성은 점차 높아질 전망이다. 따라서 다음의 기술적 사항을 보완한 인터페이스 기술이 지속적으로 개발되어야 한다.

첫째로 송수신부의 데이터 대역폭을 늘리기 위한 노력이 필요하다. 앞서서도 살펴본 바와 같이 모듈간 인터페이스에서 주파수 대역폭을 제한하는 가장 큰 요소는 전송 채널에서의 잡음 및 저주파 필터 특성이다. 물론 광케이블등을 전송 채널로 활용할 경우 훨씬 더 넓은 주파수 대역폭을 갖는 인터페이스 개발이 수월하겠으나, 광케이블의 높은 단가로



인해 그 실용성이 떨어진다. 이에 반해 타이밍 제어기와 컬럼 구동 LSI들 간의 인터페이스에서 주파수 대역폭의 제한 요인은 주로 multi-drop 구조에서 발생하는 임피던스 부정합이다. 이러한 신호의 주파수 대역을 높이기 위해서는 두 가지 방법을 생각할 수 있다. 첫째로 각 채널마다 전압 신호의 레벨을 세분화하여 기존의 1비트 전송 시간 동안 2비트 이상의 신호를 전송하는 기술이다. 이러한 기술은 이미 backplane 응용 분야에서 논문을 통해 발표되었다<sup>[16]</sup>. 이는 특히 타이밍 제어기와 컬럼 구동 LSI들 간 인터페이스와 같이 임피던스 부정합을 보상하기 힘든 구조에서는 더 유리하다. 다른 방법으로 전압 신호의 스윙폭을 줄임으로써 가능하다. 이 경우 마찬가지로 backplane 응용 분야에서 CMOS 0.25um 공정을 사용해 약 8mV의 전압 스윙폭을 갖는 채널 당 4Gbps급의 인터페이스 기술이 2000년에 논문을 통해 소개되었다<sup>[17]</sup>. 낮은 전압 스윙폭을 가지므로 신호의 주파수 대역폭 증가가 가능하고 낮은 EMI 기술이 실현 가능하다. 그러나 이를 구현하기 위해서는 외부 잡음원을 최소화하는 시스템 설계 기술과 그 구성에 대한 연구가 필요하고 동시에 잡음으로 인해 저하된 전송 신호로부터 데이터를 복원할 수 있는 복원 알고리즘 및 데이터 프로토콜에 관한 연구가 지속적으로 필요하다.

다음으로 소비 전력 측면에서 보면 SOP와 같이 많은 I/O 핀 개수를 필요로 하는 경우, 인터페이스 기술은 기존의 단기능의 LSI 제품에 비해 더 많은 수의 송수신 I/O 버퍼를 필요로 하게 되고 이 경우 소요 면적과 동시에 소비 전력이 문제가 된다. 이러한 문제들은 공급 전원 전압의 감소와 회로 기술 및 공정 기술의 발전에 의해 해결 가능하리라 기대된다.

또한 이러한 기술적 과제와 동시에 FPD용 인터페이스의 표준화 작업이 이루어져야 한다. 지속적인 인터페이스 기술에 대한 관심 증대 및 시장 증가는 지금보다 훨씬 더 다양한 형태의 인터페이스 기술을 제공할 것이다. 이 경우 하위 physical layer에서 데이터 프로토콜 및 아키텍처에 이르기까지 각 기술들의 계층간 호환과 시스템의 효율성 증대를 위한 일련의 표준안이 필요하고, SOP와 같이 방대한 시스템에는 그 필요성이 더욱더 요구된다.

## V. 결 론

본 고에서는 FPD 시스템에서 고속 인터페이스 기술의 종류를 적용 범주에 따라 분류하고 그 각각의 핵심 기술들에 대해 살펴보았다. 모듈간 인터페이스에서는 LVDS와 TMDS가 각각 단거리용과 장거리용의 고속 인터페이스에 중점적으로 응용되고 있고, FPD 모듈 내의 타이밍 제어기와 컬럼 구동 LSI들 간의 인터페이스는 RSDS, Mini-LVDS, WhisperBus, CMADS의 각기 다른 아키텍처를 갖는 인터페이스 기술들이 경쟁 관계에 있다. 현재로는 어떤 기술이 우위에 있다고 선불리 언급하기는 힘들다, 모든 디지털 고속 인터페이스 기술은 공통적으로 고속, 저전력, 저가격, 저

EMI를 목표로 한다. 현재 이러한 기술들을 통해 현재 UXGA급 영상 신호의 인터페이스가 가능하나 앞으로 더욱 더 고해상도, 저가격의 디스플레이 장치가 요구됨에 따라 새로운 고속 인터페이스 기술의 아키텍처 및 physical layer 개발이 시급하다.

## 참 고 문 헌

- [1] W. J. Dally and J. Poulton, Digital Systems Engineering, Cambridge University Press, 1998.
- [2] Y. Konishi, *et al.*, "Interface Technologies for Memories and ASICs-Review and Future Direction," IEICE Trans. on Electronics, vol. E82-C, pp. 438-446, Mar., 1999.
- [3] N. Kushiyama, *et al.*, "A 500-Megabyte/s Data-Rate 4.5 M DRAM," IEEE J. Solid-State Circuits, vol. 28, pp. 490-496, Apr., 1993.
- [4] Electrical characteristics of low-voltage differential-signaling (LVDS) interface circuits, TIA/EIA-644, National Semiconductor Corp., ANSI/TIA/EIA, 1996.
- [5] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3-1996, 1994.
- [6] Open LVDS Display Interface (OpenLDI) Specification, National Semiconductor Corp., 1999.
- [7] J. Goldie, "LVDS goes the distance!," SID 99 Digest, pp. 126~129, May, 1999.
- [8] K. H. Lee, *et al.*, "High Speed Low EMI Digital Video Interface with Cable Deskewing and Transition Minimization Coding," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 33~34, June, 1997.
- [9] Digital Visual Interface DVI, Digital Display Working Group, 1999.
- [10] A. Lee and D. W. Lee, "Integrated TFT-LCD Timing Controllers with RSDS Column Driver Interface," SID 00 Digest, 6.2, pp. 43~45, June, 2000.
- [11] TFP74x3 TFT LCP PANEL TIMING CONTROLLER WITH MINI-LVDS AND FLAT-LINK data sheet, Texas Instruments, 2001.
- [12] RSDS Specification, National Semiconductor Corp., May, 2001.
- [13] K. Yusa, *et al.*, "High-Speed I/F for TFT-LCD Source Driver IC by CMADS™," SID 01 Digest, 9.4, pp. 111~113, June, 2001.
- [14] R. McCartney, *et al.*, "WhisperBus™: An

Advanced Interconnect Link for TFT Column Driver Data," SID 01 Digest, 9.4, pp.111~113, June, 2001.

[15] FPD85308 Panel Timing Controller datasheet, National Semiconductor Corp., 2001.

[16] R. Farjad-Rad, *et al.*, "A 0.4- $\mu\text{m}$  CMOS 10-Gb/s

4-PAM Pre-Emphasis Serial Link Transmitter, vol. 34, pp.580-585, May, 1999.

[17] M. J. Lee, *et al.*, "A 90 mW 4 Gb/s equalized I/O circuit with input offset cancellation, " ISSCC, Digest of Technical Papers, pp.252~253, Feb., 2000.