

Hydro Dynamic Model을 이용한 CMOS의 파괴특성의 Transient Simulation해석 Transient Simulation of CMOS Breakdown characteristics based on Hydro Dynamic Model

최원철*

Won-Cheol Choi*

<Abstract>

In present much CMOS devices used in VLSI circuit and Logic circuit. With increasing a number of device in VLSI, the confidence becomes more serious. This paper describe the mechanism of breakdown on CMOS, especially n-MOS, based on Hydro Dynamic model with device self-heating. Additionally, illustrate the CMOS latch-up characteristics on simplified device structure on this paper.

Key words : *Device simulation, CMOS, Hydro Dynamic model, Drift Diffusion Model, TCAD, Snapback characteristic, Latch-up*

1. 서론

현재 반도체의 VLSI(집적회로)에는 CMOS가 소비전력의 우수성 등의 이유로 주류를 이루고 있다. 그 반면 CMOS의 구조상 기생의 pnpn 혹은 npnp 의 사이리스터를 형성하는 관계로 인한 Latch-up특성이 나타나고 있다. 이 Latch-up은 어떠한 이유로 발생한 Trigger가 CMOS 소자 내에서 기생 사이리스터를 Turn-on 시켜 Trigger 가없어진 후에도 전류가 계속해서 증가하여 결국에는 소자를 파괴시켜버리는 심각한 문제를 야기함으로 소자설계 시에 특히 유념하여야할 사항이다. 본 논문은 이러한 CMOS의 Latch-up현상과 아울러 n-MOS의 Breakdown 및 Snapback현상을 Device Simulation기술로서 구

현하여 그 결과를 보고하고 Device 설계 시에 유의해야할 점을 제시하였다.

이 논문의 구성은 먼저 n-MOS의 Snapback 특성을 실현하기 위한 Simulation기법을 설명한 후 그 결과를 나타낸 part와 CMOS latch-up을 過渡狀態에서 해석하여 그 Mechanism을 설명하고 소자설계 시에 주의해야할 점과 해결책을 언급하였다.

2. 해석 결과

2.1 n-MOS의 Breakdown 해석

이 장에서는 n-MOSFET의 소자 내부에서 일어나는 Impact Ionization에 의한 Avalanche Breakdown 현상과 기생하는 npn bipolar에 의

* 정회원, 하이닉스반도체 System IC 소자기술팀, 工博
일본 법정대학교 대학원 졸업
wchoi@hynix.com

* Device Engineering Team Hynix Semiconductor
Hosei University, Ph.D

한 snapback현상을 해석한다.

2.1.1 Breakdown Simulation 방법

반도체소자의 Breakdown현상은 다음 장에서 해석할 Latch-up 현상과는 다른 소자파괴 현상으로 원인으로서는 carrier가 얇아진 실리콘의 Band를 통과하는 Punch through와 Impact ion화에 의한 방대한 carrier의 발생에 의한 전류의 증가 등을 들 수 있다. 여기에서는 후자의 Impact Ion화에 의한 Breakdown현상을 해석하여 그 결과를 검토한다.

특히 이러한 현상은 대부분이 짧은 시간에 이루어지며 n-MOS가 Switching 소자로서 많이 활용되는 점을 감안하여 시간변화에 의존하는 過渡解析을 실행하여 단자에 입력되는 펄스의 Sweep time에 다른 결과에 관해서 해석하였다.

또한 Breakdown해석은 일반적으로 이용하는 전압의 변화에 대한 전류치를 구하는 방법은 소량의 전압변화에 다량의 전류의 변화를 가져오는 Breakdown특성을 해석하기에는 부적합함을 예상할 수 있다. 본 논문에 이용된 Simulator는 이러한 Algorithm을 전류경계조건¹⁾⁻⁵⁾이라는 방법을 이용하는 프로그램으로 개발하여 Breakdown 특성은 물론 기생 Bipolar에 의한 Snapback현상까지도 해석이 가능하다. Snapback 현상은 Drain에 걸려진 전압에 의해 발생하는 전계가 전압의 상승과함께 증가되어 Channel을 주행하는 Carrier, n-MOS에서는 전자가 Silicon격자와 충돌하여 최외각에 속박된 전자를 자유전자로 만들면서 전자와 정공의 쌍을 발생시킨다. 발생된 전자는 Drain전극 쪽으로 흡수되며 정공은 실리콘기판에 축적되어 기판 Potential을 상승시킨다. 이러한 현상이 반복되면서 기판의 Potential이 점점 상승하여 기판과 Source간의 Barrier를 넘을 수 있는 Potential까지 상승되면 축적된 정공은 Barrier를 넘어 Source쪽으로 주입되어 전자와 재결합을 이룬다. 재결합되면 Source에서 전자가 주입되어 Channel에 주행하는 전자가 증가하여 충돌전위의 행정이 반복되어 Channel 이외의 Drain-Substrate-Source이라는 정공의 path가 형성되어 전류가 흐르면 Drain의 Potential이 낮아지면서 전류량은 증가

하는 현상이 일어난다. 이 현상을 전류전압 곡선이 되돌아오기 때문에 Snapback현상이라 일반적으로 부르고 있다. 이 현상을 해석하기 위한 전류경계조건은 간단히 Device의 전극에 전류를 제공하여 전압을 구하는 방법으로 이해할 수 있다.

2.1.2 Simulation 구조 및 모델

n-MOS의 Snapback breakdown해석에 이용한 소자의 구조를 Fig.1. 에 나타내었다.

여기에서 구조 파라미터는 $L_{eff}=0.25$ [μm], $t_{ox}=20$ [nm], $x_j=0.2$ [μm], $N_A=5.0 \times 10^{16}$ [cm^{-3}], $R_D=1$ [$k\Omega$], $R_B=52$ [$k\Omega$] 이다.

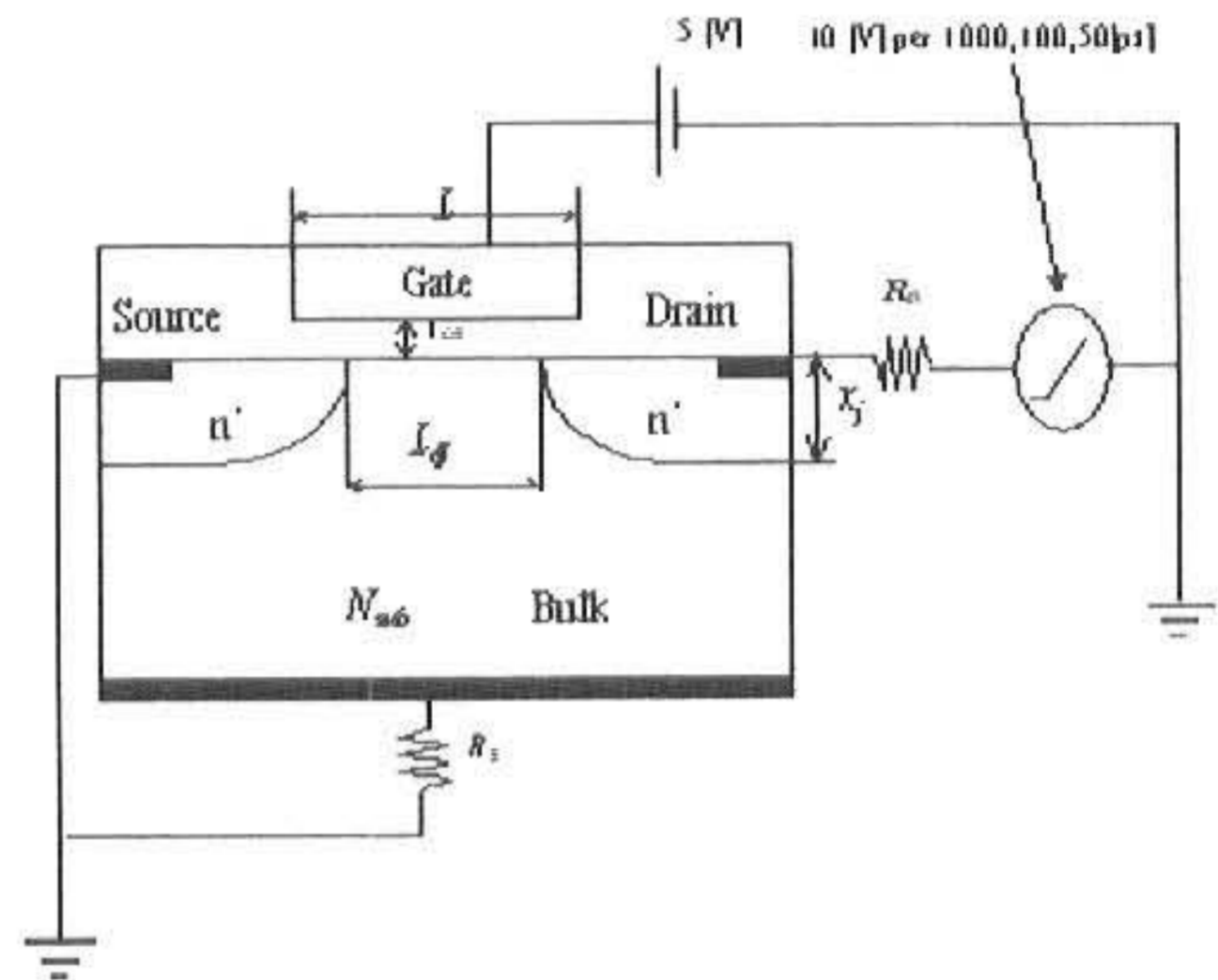


Fig.1. n-MOS Simulation Structure

본 Simulation에 이용한 전압조건은 Gate를 5 [V]로 고정시킨 다음 Drain단자에 10 [V]까지 상승시키는데 걸리는 시간이 1 [ns], 100 [ps], 50 [ps]로 설정하여 Breakdown 특성의 시간의존성을 조사하였다.

Simulation에 사용한 모델은 기본적으로 비등온 비평형 수송모델(TCETM)⁶⁾을 사용하였으나 모델의 비교를 위하여 Drift-Diffusion Model (DDM), Energy Transport Model(ETM)에 의한 해석도 병행하여 해석하였다.

2.1.3 Simulation 결과

Fig.2에 DDM에 의한 해석결과를 나타내었다. 이 결과는 전압상승시간이 짧을수록 Impact Ionization에 의해 생성되는 carrier가 전압의 상승시간에 따라가지 못하여, 다시 말하면 전압의

변화에 대비하여 carrier의 수송이 과도 상태에 있는 관계로 Breakdown 전압이 상승하게 된다. 또한 짧은 상승시간의 기생 Bipolar에 의한 Snapback현상이 나타나지 않고 있다. 이 현상 역시도 전술한 같은 이유로 Impact Ionization에 의해 발생된 carrier(n-MOS에서는 정공)이 전압의 변화속도 보다 늦게 수송되어 Source에 도달하여 전압강하가 늦어지며 결국에는 Snapback현상이 둔하게 나타나게 된다.

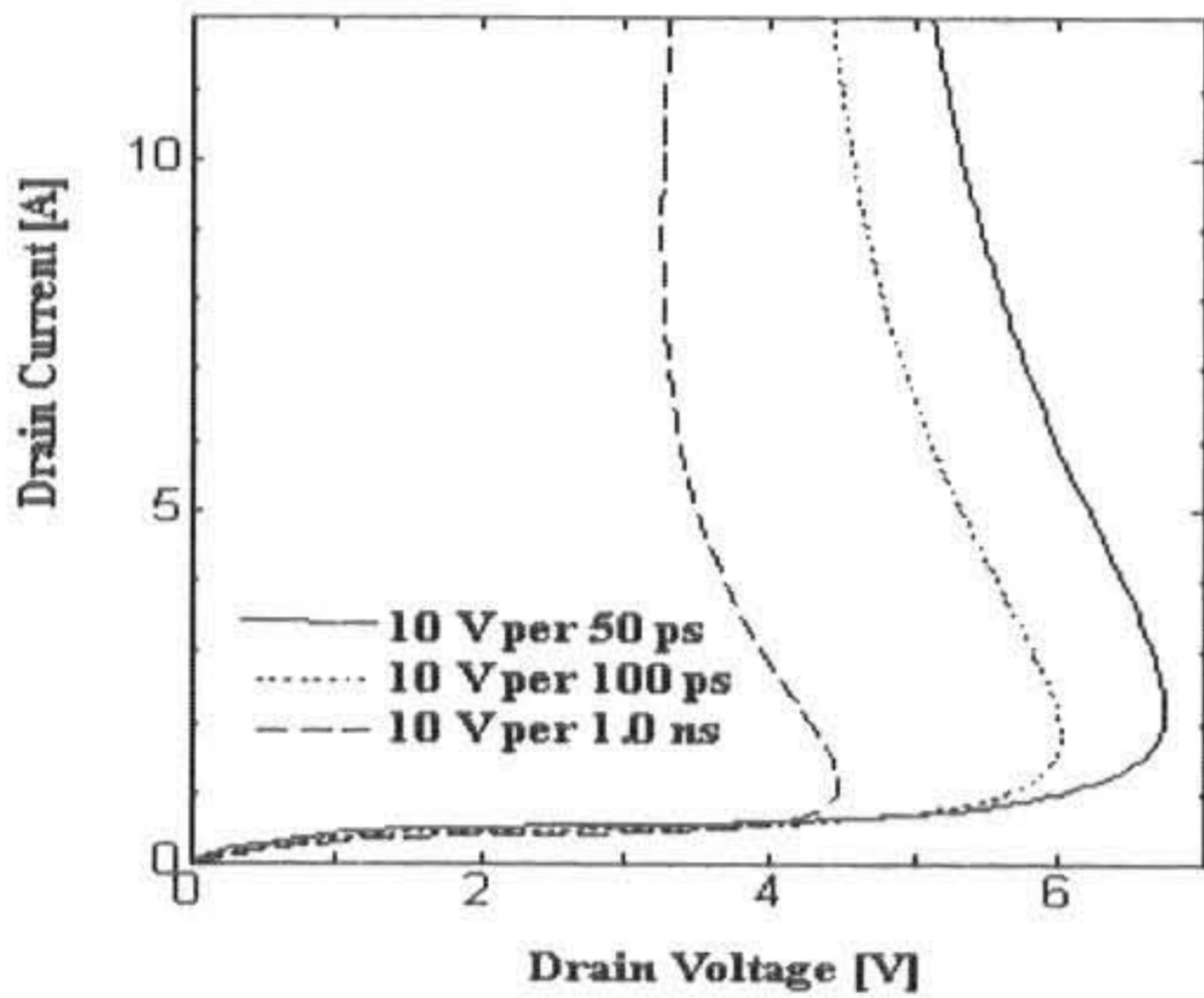


Fig.2. Simulation Results for DDM

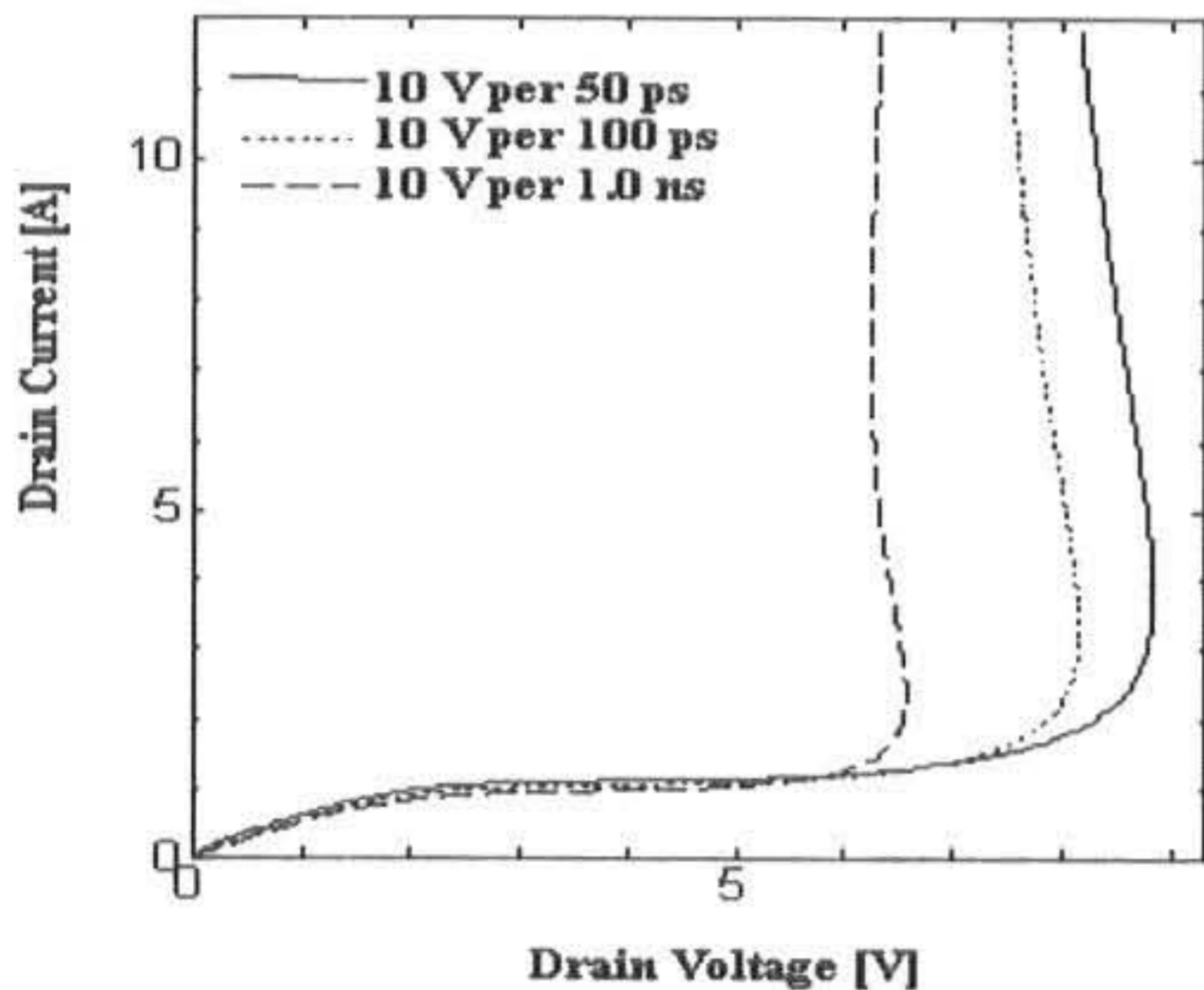


Fig.3. Simulation Results for ETM

Fig.3에는 ETM에 의한 해석결과를 나타내었다. sweep시간에 따른 Breakdown전압의 상승은 DDM의 결과와 동일한 경향을 나타내고 있으나, 이 결과는 앞의 DDM결과와 비교하여 전체적으로 Breakdown전압이 상승하고있는 것을

보이고 있다. 이는 ETM에서는 전계가 carrier가 가진 에너지에 의존하여 전계가 완화되어 Impact Ionization율이 낮아지기 때문이다.

Fig.4에는 TCETM에 의한 Breakdown Simulation 결과를 나타내었다. 이 결과를 보면 전압상승시간이 비교적 짧은 50 [ps], 100 [ps]인 경우에는 ETM의 결과와 같은 결과를 나타내고 있으나 1 [ns]의 경우 특성이 다른 결과를 얻었다. 이는 온도의 영향이 sweep의 시간에 영향을 받고 있음을 나타내고 있다. 온도 역시도 상승되는 전압의 시간이 짧으면 지연되어 증가함을 예상할 수 있다.

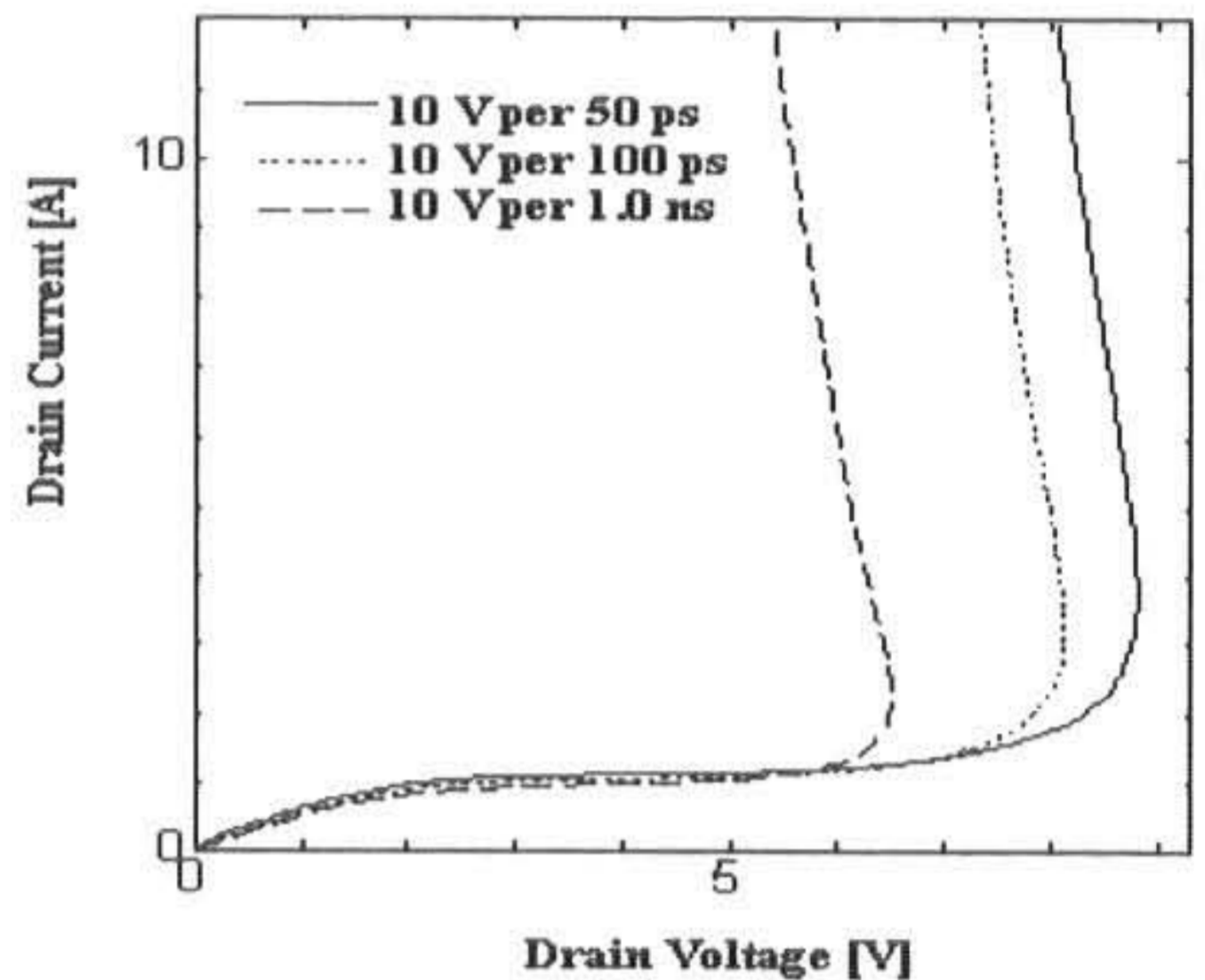


Fig.4. Simulation Results for TCETM

2.2 CMOS Latch-up 현상의 해석

2.2.1 개요

CMOS는 Fig.5.에 나타낸 것과 같이 하나의 기판에 n-MOS와 p-MOS를 설치한 소자로서, 소비전력이 작고 잡음에 강하다는 등의 이유로 현재 VLSI에 있어 주류의 소자 중에 하나이다. 그러나 소자의 미세화가 진전되면 소자간의 거리를 충분히 확보할 수 없는 관계로 양 소자로 인해 형성되는 기생 사이리스터의 작용으로 Latch-up현상이 발생된다. 이 현상은 파괴현상으로 CMOS에서는 심각한 문제를 야기하므로 소자 설계시에 적절한 거리의 확보가 중요한 요소라 할 수 있다.

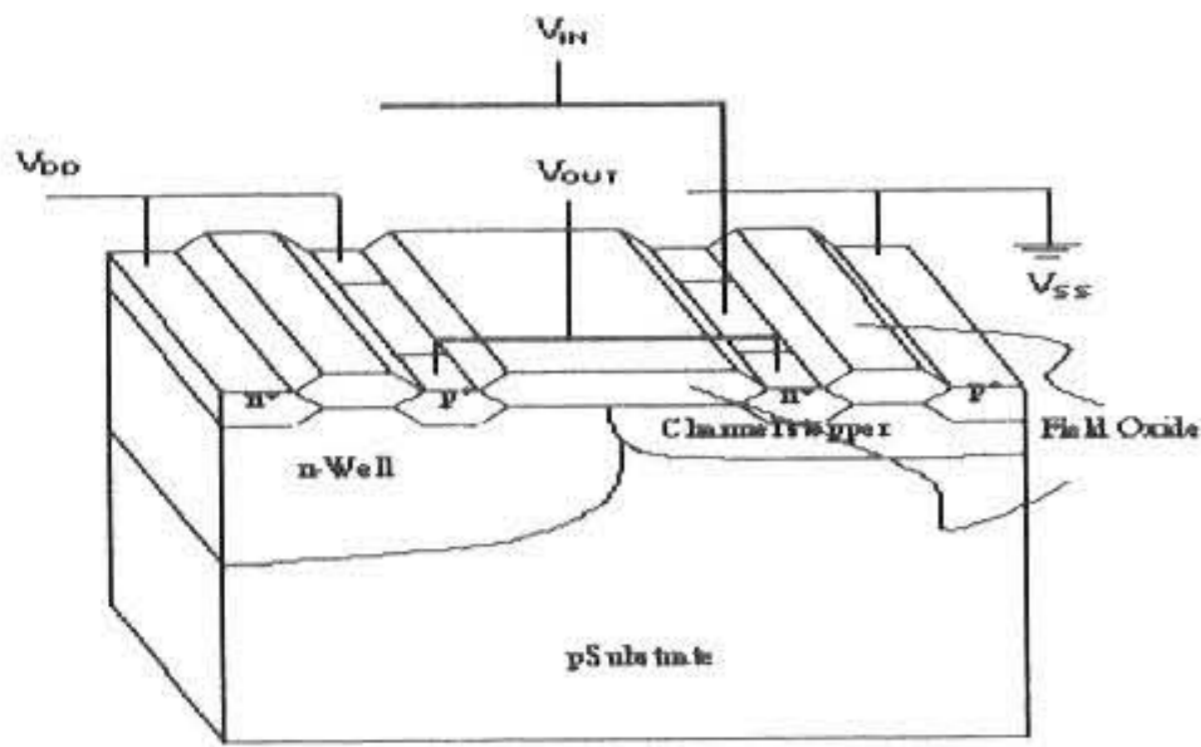


Fig.5. Structure of CMOS

이러한 Latch-up현상은 Fig.6.의 표시한 것과 같이 pnp 및 npn Transistor로부터 사이리스터의 형성에 의해 발생한다. 먼저, npn의 Transistor의 Emitter에서 어떠한 이유로부터 Trigger가 발생하여 npn Transistor를 순방향으로 bias를 걸어 결국 Collector전류가 흐르게되어 이 전류가 pnp Transistor의 Collector에 흘러 pnp Transistor에 순방향 bias를 가하게된다. 순방향으로 bias가 가해진 pnp Transistor의 Base 전류가 벌써 순방향 bias가 가해진 npn Transistor에 흐르게 되는 정귀환(正歸還)으로 인하여 계속적인 전류의 증가로 Latch-up현상이 나타난다.

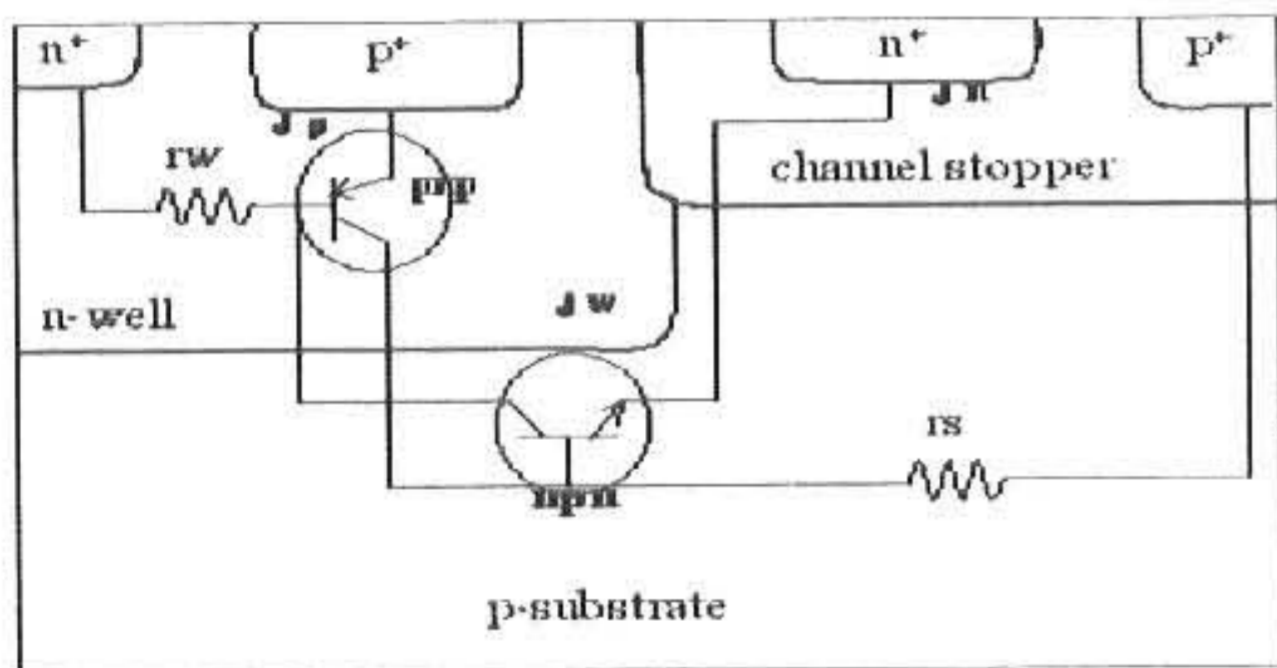


Fig.6. Equivalence Circuit of thyristor in CMOS Structure

이 현상을 소자측면에서 해석한다면 n-Well의 p+ 확산층과 n-Well의 접합면인 JP에서 잡음 등의 어떠한 이유로 인하여 순방향 bias가 가해지면 p+확산층으로부터 n-Well 쪽으로 많은 량의 정공이 주입된다. 이 정공이 n-Well과 p기판의 접합부분인 JW에 도착하게되면 역방향 bias에 의해 형성되는 공핍층 내의 전계에

의하여 p기판에 주입되어 기판 전위를 상승시키면서 Jn부근까지 도달한다. 기판에 축적된 정공은 점차로 기판전위를 상승시켜 전위가 Jn의 built in potential을 넘게되면 n+확산층으로 주입되어 전자와 재결합을 이룬다. 한편 전자도 n+확산층에서부터 기판방향으로 주입되어 JW에 도착하여 전계에 의해 n-Well에 주입되어 n-Well의 전위를 내리 순방향 bias가 걸린 Jp에 순방향 bias를 추가시킨다. 이러한 정귀환으로 인하여 n+확산층부터 p+확산층까지 방대한 전류가 흘러 Latch-up을 일으킨다.

본 논문은 이 Latch-up 현상을 Device Simulation을 이용한 해석으로 그 특성을 나타내었다.

2.2.2 Simulation 방법

본 해석에 이용한 Simulation구조를 Fig.7.에 나타내었다. 또한 각 구조의 Parameter는 다음과 같다.

$$X_{JP}=0.3[\mu\text{m}], X_{JN}=0.2[\mu\text{m}], C_{JP}=1.0[\mu\text{m}], C_{JN}=1.0[\mu\text{m}]$$

$$X_{JW}=3.0[\mu\text{m}], X_{JSP}=0.45[\mu\text{m}], X_{WPN}=3.0[\mu\text{m}], X_{SPN}=3.0[\mu\text{m}], P_{maxch}=4.0 \times 10^{16}[\text{cm}^{-3}]$$

이번 해석은 소자간격을 split하여 해석을 하였다. 해석 결과중 소자간격이 $C_{LL}=5.0, 6.0, 7.0[\mu\text{m}]$ 인 경우만 제시하였다.

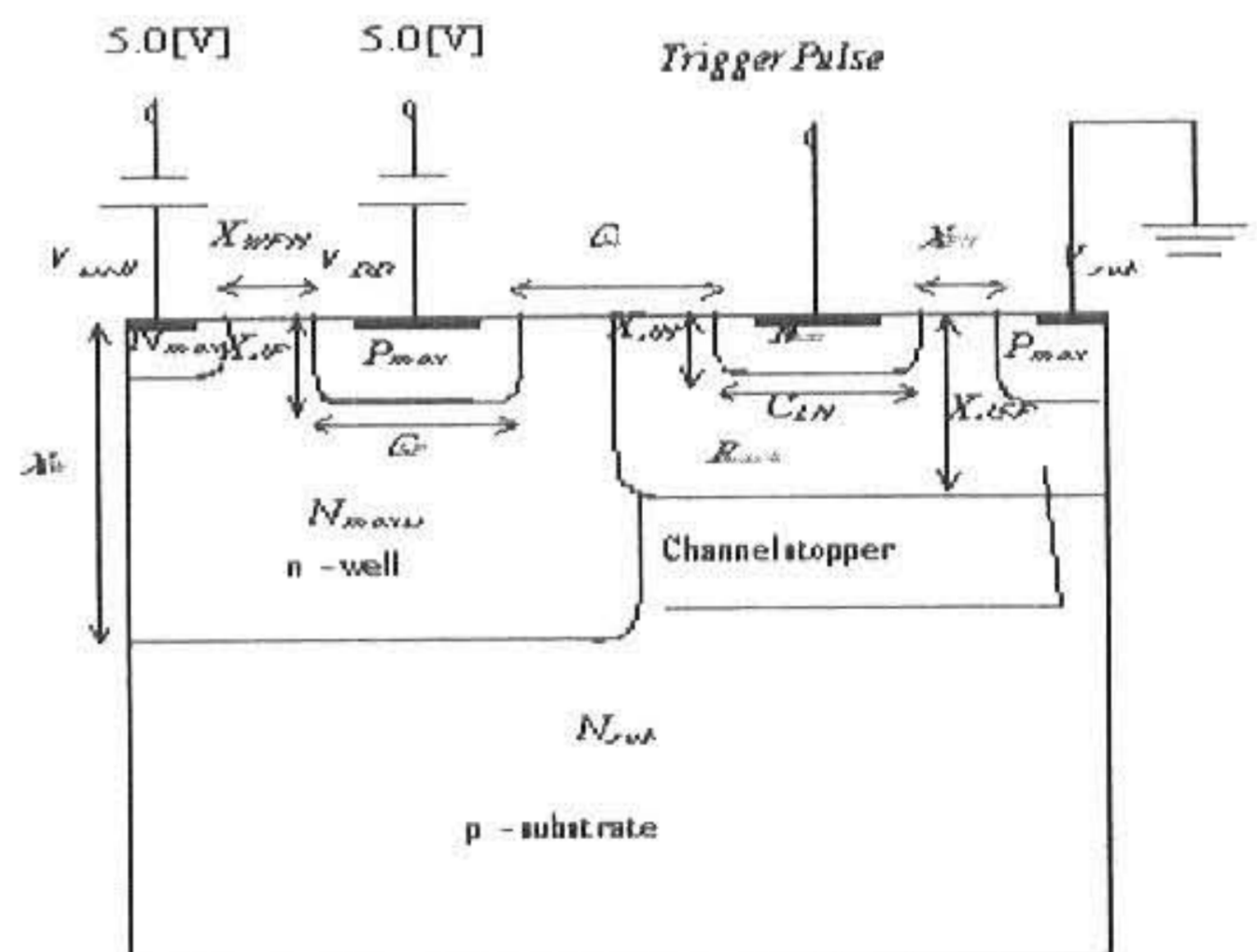


Fig.7. CMOS Latch-up Simulation Structure

여기에서 p+ 확산층과 n-Well에 각각 5[V]의 전압을 가한상태로 n+확산층에 Fig.8.에 나타낸 것과 같은 pulse를 Trigger로 입력한

후 Latch-up 현상을 관찰하였다.

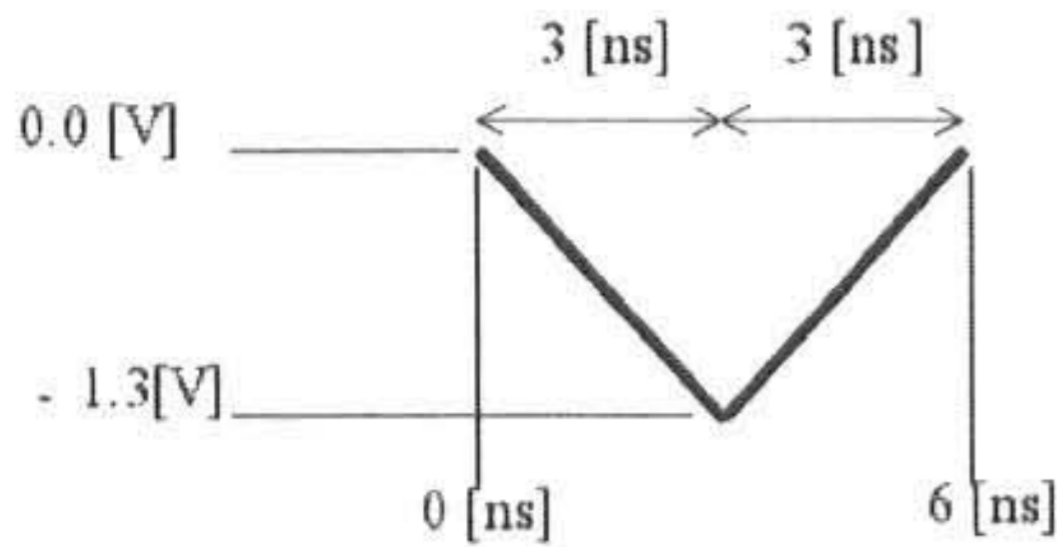


Fig.8. Shape of Input Pulse

2.2.3 Simulation 결과

Fig.9.에 Simulation 결과를 나타내었다. 이 결과로부터 소자간격이 짧아짐에 따라 Pulse에 의한 Trigger 전압이 0 [V]로 돌아 온 상태에서도 전류는 상승을 계속함을 확인하였다. 이 조건의 Device 에서는 소자간격을 최소 7 μm 이상의 간격이 필요함을 알 수 있다.

이와 같이 소자의 미세화의 따른 소자간의 간격이 짧아짐에 따라 Latch-up 현상이 일어날 수 있는 환경이 형성되므로 소자설계시에는 이러한 현상을 이해한 Margine 설계, 혹은 Latch-up에 강한 소자구조의 설계등의 여러 가지 방향의 해결책을 강구함이 바람직하다.

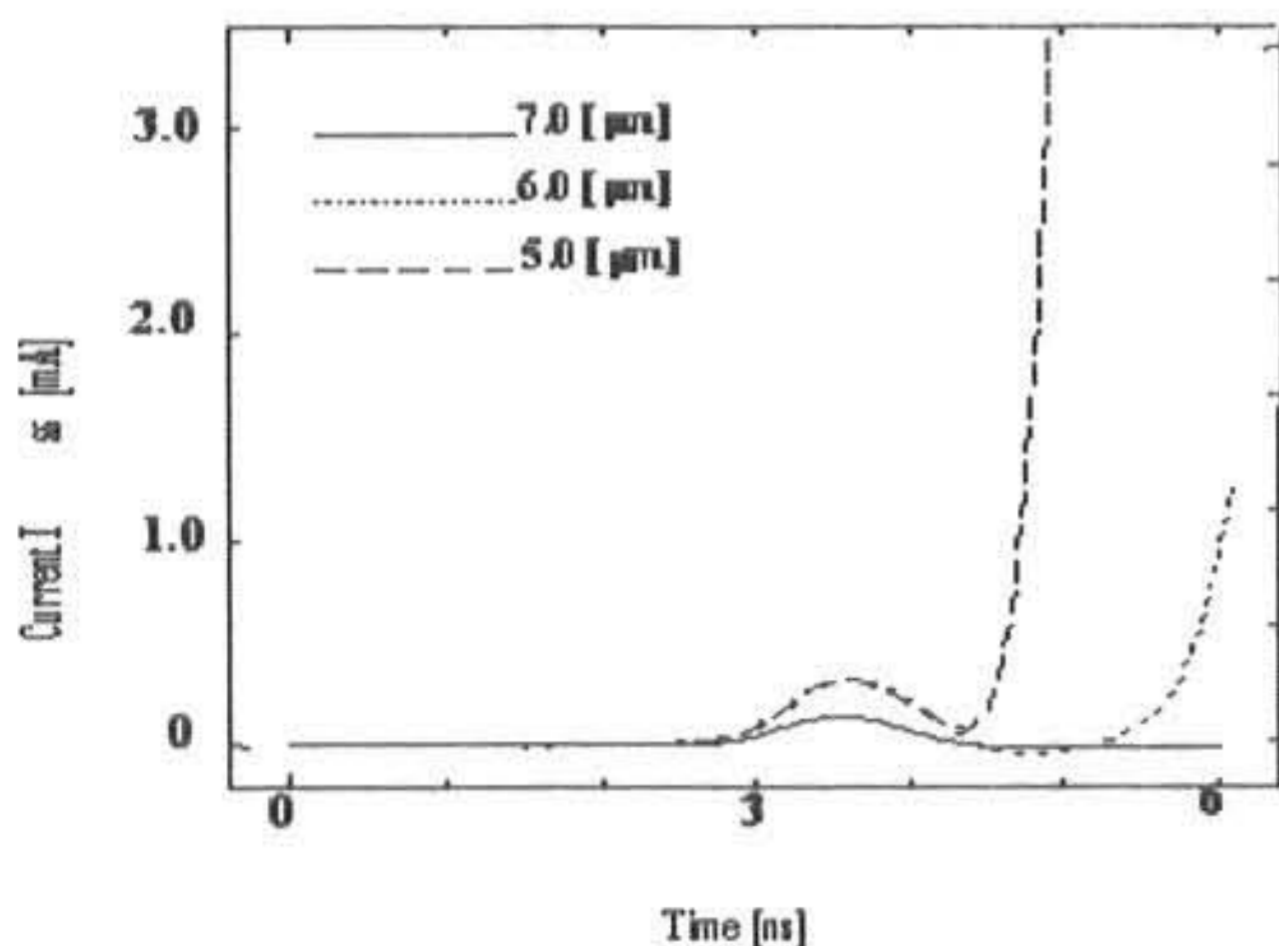


Fig.9. Simulation Result of Latch-up

Breakdown 현상 중에 n-MOS의 Snapback 현상과 CMOS의 Latch-up 현상을 Device Simulation 기술을 통하여 구현하였다. 그 결과로서 각 모델에 의한 결과 차이를 보여주었으며 Latch-up의 Mechanism을 설명하고 그 현상을 Simulation을 이용하여 재현하였다. 이는 Simulation의 중요성과 모델 선택의 중요성을 주장하였다.

Simulation을 통한 가상 실험은 시간과 cost 면에서 상당한 메리트를 가지고 있다. 이러한 장점을 이용하여 능률적인 소자 설계가 가능함을 시사하였다.

참고 문헌

- 1) P.A Gough, M. K. Johnson, S. A. Higgins, J. A. G. Slatter and K. R. Whight, : Two Dimensional Simulation of Power Devices with Circuit Boundary Conditions, *in Proc. NASECODE V*, Boole Press, Dublin, pp.213-218, (1987)
- 2) T. Toyabe, Y. Ohkura and H. Masuda, : Methods of Three Dimensional Transient Simulation and their Applications to VLSI Reliability Problems, *in Proc. NASECODE V*, Boole Press, Dublin, pp.77-84, (1987)
- 3) P. A. Gough and J. Blake, Inductive Switching Simulation of Power Device, *in Proc. NASECODE V*, Boole Press, Dublin, pp. 154-159, (1989)
- 4) 古保理 陸, 和田 哲典 : 回路解析를考慮したデバイスシミュレータ, 信學技報, VDL88-43, pp.9-14, (1989)
- 5) 木村 一郎, 中川 明夫 : 高速な回路-素子統合シミュレーション技法, 信學技報, SDM97-87, pp.13-20, (1992)
- 6) 최 원철 : 디바이스 시뮬레이션 기술을 이용한 미세 n-MOSFET의 비등온 비평형장에 있어서의 특성 해석, 한국산업응용학회 논문집, Vol.4, No.3, pp329-337, (2000)

(2001년 11월 5일 접수, 2002년 2월 20일 채택)

3. 결론

본 논문은 현재 VLSI에 널리 사용되고 있는 CMOS에 있어서 소자의 신뢰성에 해당되는