

論文2002-39SP-5-1

모듈화된 구조에 기반한 H.263 비디오 코덱 VLSI의 설계 (VLSI Design of H.263 Video Codec Based on Modular Architecture)

金明鎭*, 李相熙*, 金根培*

(Myung-Jin Kim, Sang-hee Lee, and Keun-Bae Kim)

요약

본 논문에서는 H.263 비디오 코덱 구현을 위한 효율적인 하드웨어 구조를 제안하고, 이에 기반한 VLSI 구현을 기술한다. 제안 구조는 부호화 및 복호화에 사용되는 내부 하드웨어 블록들간의 연결 및 이 블록들과 내부 RISC 프로세서간의 연결에 단일화된 인터페이스 방법을 사용한다. 이러한 단일화된 인터페이스의 사용은 블록들의 모듈화된 설계를 가능하게 하며, 하드웨어/소프트웨어의 적절한 분할 및 효과적인 파이프라인 동작을 가능하게 한다. 개발된 VLSI는 H.263 버전 2의 프로파일 3 @ 레벨 10을 지원하고, 제어용 프로토콜인 H.245와 다중화 프로토콜인 H.223을 지원한다. 따라서 외부에 오디오 코덱 칩을 추가함으로써 완전한 ITU-T H.324 또는 3GPP 3G-324M 멀티미디어 터미널 기능 구현에 사용될 수 있으며, 하드웨어 블록들을 최대한 활용하면서 소프트웨어적으로 H.263++와 MPEG4 코덱을 구현 할 수 있는 구조이다. 구현된 H.263 코덱은 40MHz의 동작 주파수에서 초당 15 프레임 이상의 성능으로 QCIF 크기의 영상의 부호화 및 복호화를 동시에 수행할 수 있다.

Abstract

In this paper, we present an efficient hardware architecture for the H.263 video codec and its VLSI implementation. This architecture is based on the unified interface by which internal hardware engines and an internal RISC processor are connected one another. The unified interface enables the modular design of internal blocks, efficient hardware/software partitioning, and pipelined parallel operations. The developed VLSI supports the H.263 version 2 profile 3 @ level 10, and moreover, both the control protocol H.245 and the multiplexing protocol H.223. Therefore, it can be used for the complete ITU-T H.324 or 3GPP 3G-324M multimedia processor with the help of an external audio codec. Simultaneous encoding and decoding of QCIF format images at a rate greater than 15 frames per second is achieved at 40 MHz clock frequency.

Key Words : H.263, Video Codec, VLSI

* 正會員, 임프레스情報通信

(ImpressTek, Co., Ltd.)

※ 본 논문은 산업자문부 주관의 중기저점기술개발사업(NiPC Core Chipset개발) 연구비 지원에 의한 것입니다.

接受日字:2002年2月21日, 수정완료일:2002年7月11日

I. 서론

일반적으로 멀티미디어 통신은 많은 양의 데이터 전송을 필요로 하기 때문에 저장 매체와 통신 채널의 효율적인 사용을 위해서 비디오 및 오디오 데이터의 압축이 필수적이다. 이를 위하여 많이 이용되는 비디오 압축 부호화 표준으로는 ITU-T의 H.261, H.263과

ISO/IEC의 MPEG-1,2,4 등이 있으며, 이 방식들은 전송률, 화질, 복잡도, 에러 복원력, 지연 등에서 각기 다른 성능을 가지므로 응용에 따라 그에 맞는 방식이 사용될 수 있다. H.263 표준^[1]은 대역폭이 낮고 채널 에러 발생 가능성이 큰 공중 유선 전화망 및 무선 망을 통한 영상 전화 응용에 적합한 방식으로, 최근에는 IMT-2000과 같은 차세대 무선 통신의 기본 비디오 코덱으로 채택되어 더욱 많은 관심을 받고 있는 상황이다.

본 논문에서는 H.324^[2] 및 IMT-2000의 3G-324M^[3] 멀티미디어 단말 기능을 가지는 VLSI의 효율적인 설계에 관하여 기술한다. 구현된 VLSI는 오디오 코덱만이 제외되고, 비디오 코덱 H.263, 제어 프로토콜 H.245^[4], 다중화 프로토콜 H.223^[5] 기능을 포함한다. 이 중 H.245와 H.223은 H.263에 비하여 상대적으로 필요한 계산량이 적으므로 소프트웨어 형태로 구현되며, 반면에 H.263은 비디오 데이터의 고속 처리를 요구하므로 하드웨어/소프트웨어 분할 (hardware/software partitioning)에 근거하여 일부 기능은 하드웨어로 일부 기능은 소프트웨어의 형태로 구현된다. 본 논문에서는 상대적으로 복잡한 구조를 갖는 H.263 코덱의 설계에 초점을 맞추어 낮은 동작 주파수에서도 높은 전송률을 나타낼 수 있는 효율적인 구조와 H.263+이나 MPEG4로의 코덱 변경 시 설계된 하드웨어 블록들을 최대한 활용하면서 소프트웨어적 구현이 가능한 구조를 제안한다.

기존의 H.263 비디오 코덱 칩은 디지털 신호 처리기 (digital signal processor)나 범용 프로세서 (general-purpose processor) 등의 프로그램 가능한 칩을 이용하여 소프트웨어적으로 구현하는 방법^[6,7]과 ASIC 설계를 바탕으로 하여 전용 칩으로 구현하는 방법^[8,9]으로 나뉜다고 할 수 있다. 전자의 경우는 후자의 경우에 비해 보다 빠르고 손쉽게 기능 구현을 해 볼 수 있고, 추후 기능의 수정 및 개선 등이 용이하다는 장점이 있으나, 최종적인 칩 당 비용이 높고 사용하는 칩이 원하는 성능을 얻으려면 높은 동작주파수를 필요로 한다는 단점이 있다. 후자의 경우는 이와 반대의 특성을 가지며, 특히 무선 단말의 경우 전력 소모를 낮추기 위하여 동작 주파수를 최대한 낮춰야 하므로 아직까지는 더 선호되는 방법이라 할 수 있다.

본 연구에서는 후자의 접근 방법을 바탕으로 H.263 코덱을 구현한다. 제안하는 구조는 40MHz의 낮은 동작

주파수에서 현재 공중전화망 및 무선 망 대역폭인 수십 kbps에 적당한 QCIF 크기 (176x144 화소) 영상을 초당 15 프레임 이상 처리할 수 있도록 많은 계산을 위한 전용 하드웨어와 이를 제어하기 위한 ARM이 내장된 구조다. 특히, 제안 구조는 부호화 및 복호화에 사용되는 내부 하드웨어 블록들간의 연결 및 이 블록들과 내부 RISC 프로세서간의 연결에 단일화된 인터페이스 방법을 사용한다. 단일화된 인터페이스를 사용함으로써 블록들의 모듈화된 설계가 가능하며, 하드웨어/소프트웨어의 적절한 분할 및 효과적인 파이프라인 동작이 가능해짐을 보인다.

논문의 구성은 다음과 같다. 2장에서는 본 칩의 전체 구조를 설명한다. 3장에서는 H.263 비디오 코덱 구현을 위한 내부 블록들의 구조를 설명하며, 이 블록들이 RISC 프로세서에 의해 어떻게 제어되는지를 보인다. 4장에서는 구현 결과를 기술하고, 5장에서 결론을 맺는다.

II. 전체 구조

그림 1은 개발된 VLSI의 내부 블록 다이어그램을 보여준다. 본 칩은 두개의 ARM720T^[10] RISC 프로세서를 내장하고 있으며, 이 프로세서들을 기준으로 하여 그림에서와 같이 두 부분으로 나뉘어져 있다. Sp부의 ARM720T는 H.223 및 H.245등의 기능을 소프트웨어적으로 수행하면서 칩의 최종적인 입출력 비트스트림을 생성하고 해석하는 기능을 수행한다. 반면, Vp부의 ARM720T 프로세서는 본 연구의 핵심인 *비디오코어* (VideoCore)라고 부르는 하드웨어 블록의 도움을 받아 H.263 코덱 기능을 수행한다. 이 때 IPI (Inter-Processor Interface) 블록은 H.263 부호화된 비트스트림을 Vp부에서 Sp부에 전달하고, 채널에서 받은 H.263 비트스트림을 Sp부에서 Vp부로 전달하는 기능을 수행한다. 또한, H.263 코덱을 수행하기 위한 명령 및 상태 정보 등을 교환하는 데에도 사용된다.

ARM720T는 낮은 전력소모를 요구하는 단말등에 널리 사용되는 범용 RISC 프로세서로서 AMBA (Advanced Micro-controller Bus Interface)^[11]라는 표준화된 버스 구조를 이용하여 내부 블록들과 연결되어 하나의 칩을 구성한다. 그림에서 볼 수 있듯이 AMBA 버스는 고성능 시스템 블록들과의 연결을 위한 ASB (Advanced System Bus) 버스와 저속이고 저전력

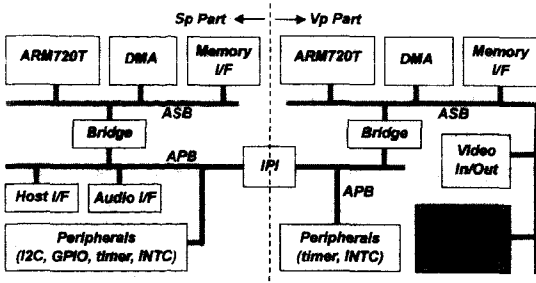


그림 1. 개발된 VLSI의 전체 구조
Fig. 1. Overall architecture of the developed VLSI.

인 주변 블록들과의 연결을 위한 APB(Advanced Peripheral Bus) 버스로 구성되며, 이 두 버스 간의 데이터 교환 및 타이밍 변환은 브리지(bridge) 블록을 이용하여 구현한다. ASB 버스에는 Sp부 및 Vp부 모두 ARM720T 프로세서와 DMA 제어기가 연결되며, 프로그램 코드 및 비디오 프레임 버퍼 등의 용도로 사용되는 외부 메모리 연결을 위하여 메모리 인터페이스 블록이 연결되어 있다. Vp부의 ASB 버스에는 추가적으로 비디오 입력/출력 블록과 비디오코어 블록이 연결되어 프로세서와 고속의 데이터 교환을 수행한다. Sp부의 APB 버스에는 외부 프로세서 칩 및 외부 오디오 칩과의 연결을 위한 인터페이스 블록들 및 각종 외부 출력력 포트, 타이머, 인터럽트 제어기 등이 연결된다. 본 칩의 오디오 인터페이스에 G.723.1^[12] 기능을 수행할 수 있는 외부 오디오 칩을 연결하면 완전한 H.324 기

능을 수행할 수 있다. Vp부의 APB 버스에는 타이머, 인터럽트 제어기 등의 내부 제어 로직들만이 연결되어 있다.

비디오 입력 블록은 칩 외부로부터 입력되는 CCIR-656^[13] 형태의 디지털 비디오 신호를 받아 저해상도 변환 및 색상 변환 등을 통하여 QCIF 형태의 영상을 만들어내는 기능을 수행한다. 이때 생성되는 QCIF 영상은 줄 단위로 DMA 제어기에 의해 고속으로 외부 메모리에 저장되며, 이후 H.263 부호화에 사용된다. 반면, H.263 복호화되어 재생된 QCIF 영상은 줄 단위로 DMA 제어기에 의해 외부 메모리로부터 비디오 출력 블록으로 전송되며, 비디오 출력 블록은 색상 변환 및 고해상도 변환 등을 통하여 CCIR-656 비디오 신호를 만들어 외부로 출력한다.

비디오코어는 H.263 코덱 중 높은 계산량을 필요로 하는 부분들을 고속 처리하기 위한 하드웨어 블록들로 구성된다. 이산 역현 변환 및 역변환(discrete cosine transform / inverse discrete cosine transform, DCT/IDCT), 움직임 추정 및 보상(motion estimation / compensation, ME/MC), 지그재그 주사 및 역주사(zigzag scanning / inverse zigzag scanning, ZZ/IZZ), 양자화 및 역양자화(quantization / dequantization, Q/IQ), 줄길이 부호화 및 복호화(run-length coding / decoding, RLC/RLD) 등의 기능이 비디오코어에서 하드웨어적으로 수행된다. 반면 비트율 제어, 가변 장 부

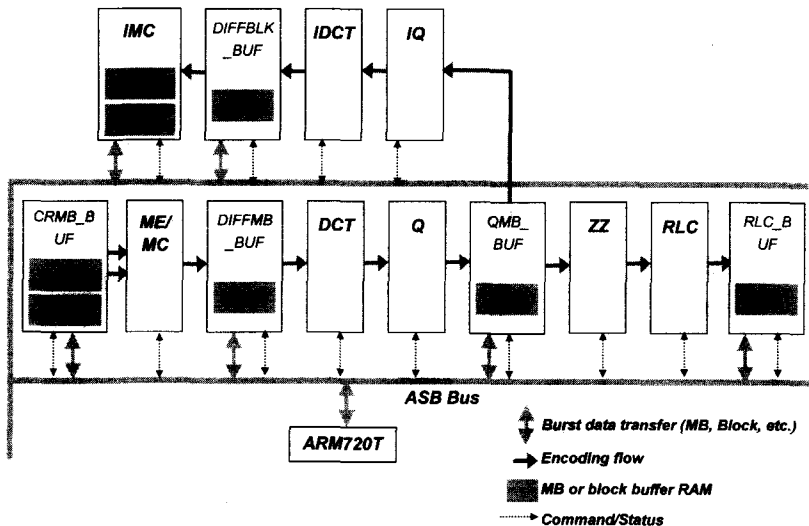


그림 2. 부호화에 사용되는 E-비디오코어의 블록 다이어그램
Fig. 2. Block diagram of the E-VideoCore for video encoding.

호화 및 복호화 (variable length coding / decoding, VLC/VLD), 작업 스케줄링 등의 기능은 ARM720T에 의해 소프트웨어 적으로 수행된다. 다음 장에서는 제안한 비디오코어의 구조를 세부적으로 기술하고 그 특성을 설명한다.

III. 비디오코어

1. 비디오코어의 구조

비디오코어는 부호화 기능을 수행하는 E-비디오코어와 복호화 기능을 수행하는 D-비디오코어로 나뉘며, 이들은 각각 독립적으로 동작한다. 그림 2는 E-비디오코어, 그림 3은 D-비디오코어의 블록도를 나타낸다. 그림에서 각각의 블록은 이후부터 *비디오코어 블록*이라고 부른다. 단, 그림을 보면 QMB_BUF처럼 버퍼 메모리를 가지고 있는 하드웨어 블록들을 볼 수 있는데, 이러한 블록들은 특별히 *비디오코어 버퍼 블록*이라고 부른다. 즉, 비디오코어 버퍼 블록은 비디오코어 블록들 중 한 종류이다.

비디오코어 블록들의 동작은 ARM720T에 의해 스케줄링된다. 그림을 보면 ARM720T와 비디오코어 간에는 버스트 (burst) 데이터 교환을 위한 인터페이스와 명령/상태 정보 교환을 위한 인터페이스가 있음을 알 수 있다. 여기에서 명령/상태 정보는 ARM720T가 각 블록들에게 동작 개시를 명령하거나 모드 정보를 알려주거나, 또는 각 블록들이 ARM720T에게 동작이 끝났음을 알려주는 경우에 사용되는 간단한 신호들로 구성된다. 반면, 버스트 데이터 교환은 16x16 크기의 매크로블록 데

이터나 8x8 크기의 블록 데이터 등 계산에 사용되는 입출력 및 중간 데이터들을 교환하는 데에 사용된다.

E-비디오코어의 동작은 다음과 같다. ARM720T는 CRMB_BUF의 버퍼에 외부 프레임 버퍼로부터 현재 매크로블록과 이전 프레임 데이터를 채워 넣고, ME/MC 블록을 실행시킨다. ME/MC 블록은 움직임 보상에 의해 SAD(Sum of Absolute Difference) 등의 결과를 상태 정보로 출력하며 ARM720T는 이 값을 보고 INTER/INTRA 부호화 모드를 결정한다. ME/MC 블록은 DIFFMB_BUF의 버퍼에 INTER 모드의 경우는 움직임 보상 오차 신호를, INTRA 모드는 현재 매크로블록 데이터를 채워 넣는다. ARM720T는 DCT/Q 블록에 적당한 모드를 지정해 놓고 DCT/Q를 수행시키면, 양자화된 계수가 QMB_BUF의 버퍼에 저장되고 부호화 블록 패턴 (Coded Block Pattern)이 QMB_BUF로부터 상태 정보로 출력된다. ARM720T는 이 패턴을 보고 6개의 8x8 블록 데이터에 대하여 각각 IQ/IDCT 블록과 ZZ/RLC 블록을 수행시킨다. 마지막으로, 가변 장 부호화를 위해 RLC_BUF에 저장된 줄 길이가 부호들을 ARM720T가 읽어가며, 다음 프레임의 부호화를 위해 IMC 버퍼에 저장된 재생 영상도 ARM720T가 읽어 프레임 메모리에 저장시킨다.

D-비디오코어의 동작은 다음과 같다. IPI 블록을 통하여 입력된 H.263 비트스트림은 ARM720T에 의해 가변 장 복호화되고, 이렇게 해서 블록별로 얻어진 줄 길이가 부호들은 RLD_BUF의 버퍼에 저장된다. ARM720T는 RLD 블록과 IZZ 블록을 수행시키고, 이 결과로 양자화된 계수들이 IZZED_BUF의 버퍼에 저장되어진다. 마찬가지로 ARM720T에 의해 IQ 블록과 IDCT 블록이

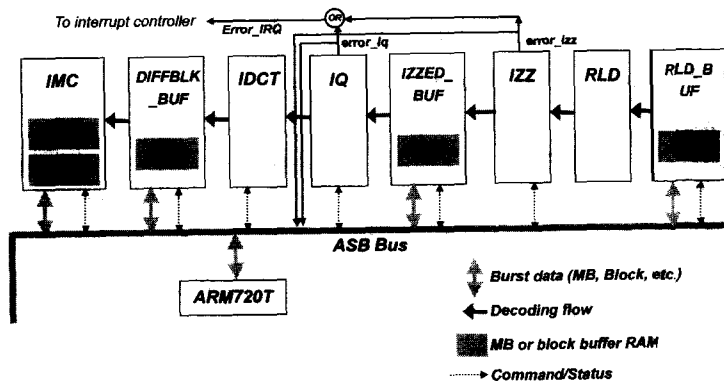


그림 3. 복호화에 사용되는 D-비디오코어의 블록 다이어그램
Fig. 3. Block diagram of the D-VideoCore for video decoding.

수행되면 DIFFBLK_BUF의 버퍼에 움직임 보상 오차 신호가 저장된다. 최종적으로 ARM720T가 IMC의 이전 8x8 블록 버퍼에 이전 영상 데이터를 채워 넣고 IMC를 수행하면 재생된 8x8 블록이 IMC의 현재 블록 버퍼에 채워진다. ARM720T는 이 버퍼의 내용을 외부 프레임 메모리로 이동시켜 재생 영상을 구성한다.

IZZ 블록 및 IQ 블록은 구문구조에 근거한 에러 검출 (syntax-based error detection) 기능을 가지고 있다. 채널 에러 등으로 인해 비트스트림에 에러가 있는 경우, 이 두 블록에서 이 에러가 검출될 수 있으며 이러한 경우에 에러 감지 신호가 ARM720T나 인터럽트 제어기에 전달된다. ARM720T는 이 신호를 받으면 외부 프레임 메모리의 에러 발생 블록 데이터를 에러 은닉 (error concealment)에 의해 감추거나 전체 프레임 데이터를 폐기하는 등의 조치를 취한다.

지금까지 설명한 비디오코어의 중요한 장점은 비디오코어 블록들을 통하여 순차적으로 흘러 가는 H.263 부호화된 데이터들이 ASB 버스와는 별개의 버스를 이용한다는 것이다. 즉, 비디오코어의 양 종단의 버퍼에 ARM720T가 데이터를 채워 넣거나 읽어 내는 경우를 제외하면, 주요한 데이터 흐름은 비디오코어 블록들 간에 연결된 데이터 버스를 통해 이루어진다. 이렇게 되면, 비디오코어와 동시에 동작중인 ARM720T나 DMA 제어기가 버스를 점유할 수 있는 시간이 증가되며, 이들 간의 병렬 동작에 의해 성능 향상을 얻을 수 있다. 예로써, 비디오코어가 동작하고 있더라도, ARM720T는 대부분의 시간 동안 가변 장 부호화나 복호화 등을 소프트웨어적으로 수행할 수 있다.

2. 비디오코어 블록들 간의 단일화된 인터페이스

비디오코어는 각기 다른 기능을 수행하는 여러 가지의 하드웨어 블록들로 구성되어 있는데, 이들은 서로 다른 수행 대기 시간(latency)과 처리량(throughput)을 가진다. 여기서 수행 대기 시간이라 함은 입력 데이터가 들어 간 후 출력 데이터가 처음 나오기 시작할 때까지의 시간을 말하며, 처리량은 단위 시간당 나오는 출력 데이터의 양을 말한다. 이렇게 데이터의 입출력 특성이 다른 블록들의 연결을 위해 주로 사용되는 방법은, 각 블록에 입출력 버퍼를 내장하여 버퍼링을 하고 매 블록의 실행이 끝난 후, DMA나 프로세서가 다음 블록으로 결과를 전달하는 것이다. 하지만, 이 방법은 많은 내부 메모리를 필요로 하며, 데이터 전달 통로

로 주 데이터 버스를 사용함으로써 앞서 비디오코어의 장점으로 기술한 버스 사용의 효율성이 떨어진다는 문제점이 있다.

본 칩에서는 비디오코어 블록들간의 연결을 위하여 단일화된 인터페이스를 사용하였다. 그림 4-(a)와 같이 각 블록은 3개의 신호 그룹을 가진다.

첫번째 그룹은 처리 중인 H.263 데이터 버스이다. 이 버스를 통하여 현재 블록의 입력 데이터 및 출력 데이터가 전달된다. 예를 들어, Q 블록의 경우 입력 데이터는 이산 여현 변환되어 언어진 계수로서 2의 보수 형태의 13비트이며, 출력 데이터는 11비트의 절대값 및 1비트의 부호 비트로 구성된다. 이처럼 각 블록간의 데이터 버스 폭은 다를 수 있으나, 모든 데이터들은 다음에 설명하는 핸드셰이킹 신호에 동기 되어 입출력 된다.

두번째 그룹은 블록 간의 데이터 핸드셰이킹에 사용되는 신호들로서, 순서 상으로 앞에 있는 블록에서 출력되어 뒤에 있는 블록에 입력되는 RDY 신호와 반대 방향의 DONE 신호로 구성된다. RDY 신호는 H.263 데이터 버스에 데이터가 준비되었음을 앞의 블록이 뒤의 블록에게 알리는 신호이다. DONE 신호는 이 데이터를 읽어갔음을 뒤의 블록이 앞의 블록에게 알리는 신호이다. 앞의 블록은 DONE 신호를 받으면 바로 다음 데이

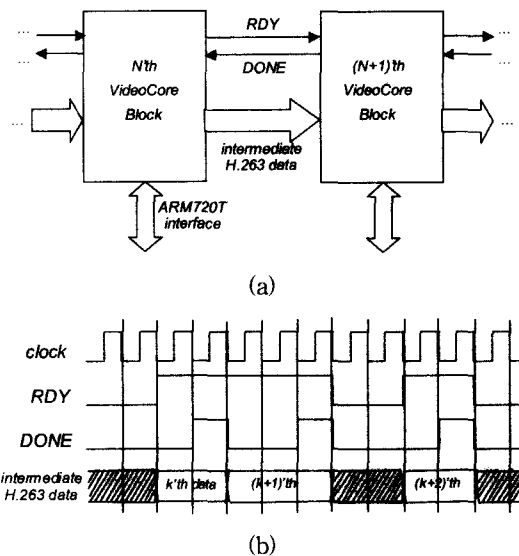


그림 4. 비디오코어 블록의 데이터 흐름도 : (a)인접 블록간의 인터페이스 (b)타이밍도
Fig. 4. Dataflow of VideoCore blocks: (a) Interface between neighboring blocks (b) Timing diagram.

터를 준비시킬 수 있으며 이 경우에는 RDY 신호가 계속 활성화 상태로 유지될 수 있다. 반면에 DONE 신호는 항상 1 클럭 동안만 활성화해야 한다. 그림 4-(b)는 이러한 신호에 맞게 데이터가 교환되는 예를 보여주는 타이밍도이다.

마지막 세번째 그룹은 ARM720T와 비디오코어 블록 사이의 정보 교환에 사용되는 인터페이스로서 ASB 버스에 직접 연결된다. 이 인터페이스를 통하여 ARM720T는 각 블록 별로 명령을 내리거나, 블록으로부터 상태 정보를 읽을 수 있다. 비디오코어 버퍼 블록의 경우는 이 인터페이스를 통하여 ARM720T가 내부 버퍼에 영상 데이터나 줄 길이 부호 등을 채우거나 읽을 수 있다.

E-비디오코어의 QMB_BUF는 다른 블록들과 달리 출력부에 ZZ 블록과 IQ 블록, 이렇게 2개의 블록이 연결되어 있다. 그러므로, RDY-DONE 신호 쌍과 H.263 데이터 버스도 두 블록에 각각 따로 연결되어 있다.

이와 같은 핸드셰이킹 인터페이스를 사용함으로써 각 블록의 모듈화된 설계가 가능하다는 장점이 생긴다. 각 블록의 입출력 H.263 데이터의 형태만 정해지면 데이터의 처리 속도 등과 무관하게 각 블록 별 독립적인 설계가 가능해지며, 설계 도중 블록의 구현 알고리즘에 변화가 생기더라도 다른 블록의 구현에는 영향을 주지 않게 된다. 또한, 데이터 교환이 필요할 때에만 이웃 블록과 상호 작용하면 되므로, 블록 들 간에 병렬적인 동작이 부분적으로 가능하게 된다.

핸드셰이킹 신호를 사용함으로써 생기는 단점은 우선 RDY-DONE 신호 구현에 필요한 추가적인 복잡도를 들 수 있으나, 쉽게 구현할 수 있고 필요한 게이트 수도 적기 때문에 문제가 되지 않는다고 할 수 있다. 다른 단점은 앞서의 타이밍도에서 볼 수 있었던듯이 데이터 교환의 최대 속도가 2 클럭 당 하나라는 점인데, 실제 전체 클럭에서 데이터 교환에 사용되는 클럭의 비율은 낮으므로 속도 저하는 미미하다고 할 수 있다. 속도 저하가 있다 하더라도 이 양은 앞서 설명한 병렬 동작의 장점에 의해 충분히 상쇄될 수 있다.

3. 파이프라인 동작

그림 5는 비디오코어 버퍼 블록의 구조를 나타낸다. 비디오코어 버퍼 블록은 내부에 dual-port 메모리를 버퍼로 가지고 있는데, 그림에서 볼 수 있듯이 이 메모리의 한 port는 ASB 버스를 통하여 ARM720T에 연결되

어 있으며 다른 한 port는 비디오코어 블록 간 버스에 연결되어 있음을 알 수 있다.

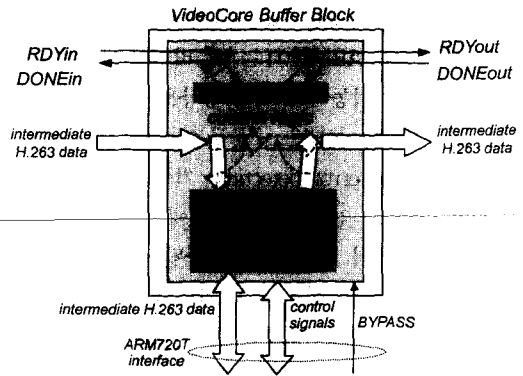
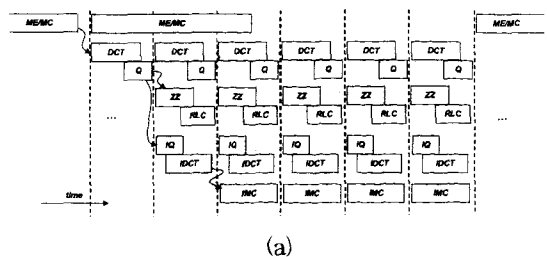


그림 5. 비디오코어 버퍼 블록의 구조. BYPASS 신호가 활성화된 경우, 데이터 경로는 점선으로 바뀐다.

Fig. 5. Structure of the VideoCore buffer block. In the case that the BYPASS signal is active, the data path is changed as indicated by dotted arrows.

ARM720T쪽에 연결된 제어 신호들은 READ_BLK, PASS_BLK, READ_DONE, PASS_DONE로 구성된다. ARM720T에 의해 READ_BLK 신호가 활성화되면 비디오코어 버퍼 블록은 이전 비디오코어 블록으로부터 핸드셰이킹 신호를 이용하여 하나의 영상 블록에 해당되는 화소들 또는 계수들 또는 줄 길이 부호들을 읽어 들인다. 그리고 나서, 비디오코어 버퍼 블록은 READ_DONE 신호를 ARM720T에게 띄워 다 읽혔음을 알린다. 마찬가지로 PASS_BLK과 PASS_BLK_DONE 신호는 다음 블록으로 데이터를 보내는 데에 사용되는 제어 신호이다. 이렇게 비디오코어 버퍼 블록의 제어 신호들을 이용하여 ARM720T는 전체 비디오코어의 스케줄링을 수행할 수 있으며, 결국, 그림 6과 같이 파이프라인 동작에 의한 성능 향상을 얻을 수 있다.



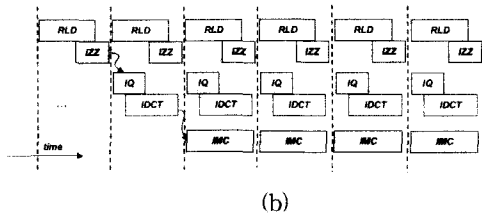


그림 6. 비디오코어의 파이프라인 동작 : (a) 부호화 파이프라인 (b) 복호화 파이프라인
 Fig. 6. Pipelined operation of VideoCore blocks: (a) Encoding pipeline (b) Decoding pipeline.

비디오코어 버퍼 블록들 중 DIFFBLK_BUF, DIFFMB_BUF, IZZED_BUF 블록의 경우는 각각 그림 5에 보여지는 것처럼 BYPASS 신호를 가진다. BYPASS 신호가 활성화되어져 있는 동안에는 이전 비디오코어 블록으로부터의 입력 신호가 출력 신호로 직접 연결되어 데이터가 현재 비디오코어 버퍼 블록에서 버퍼링되지 않는다. 이렇게 하면, 버퍼링이 필요 없는 경우에 버퍼링으로 인해 소모되는 클럭 수를 줄일 수 있다. 예로써, 초저속 비트율 부호화의 경우, 양자화를 크게 하므로 0이 아닌 양자화 계수가 영상 블록 별로 한 두개 이하일 때가 많다. 이런 경우에는 그림 6-(b)에서 RLD와 IZZ에 사용되는 클럭 수가 매우 적으므로 RLD/IZZ와 IQ/IDCT를 합쳐 하나의 파이프라인 단계로 만드는 것이 오히려 효율적일 수 있다. 이 경우에는 IZZED_BUF에 의한 버퍼링은 낭비이므로 IZZED_BUF의 BYPASS 신호를 활성화시키는 것이 좋을 것이다.

비디오코어 버퍼 블록의 다른 장점은 비디오코어 블록의 선택적 사용을 가능하게 한다는 것이다. 예를 들어, ME/MC 블록을 이용하지 않고 소프트웨어를 사용하여 움직임 추정/보상을 하고싶은 경우를 생각해보자. 이 경우, ARM720T는 ME/MC 블록을 BYPASS 시켜 놓고 소프트웨어로 움직임 추정/보상을 하며, 움직임 보상 오차를 직접 DIFFMB_BUF 블록의 내부 버퍼에 저장시키고 이후 비디오코어 블록 들을 수행시키면 된다. 이러한 유연성은 칩의 사용 범위를 JPEG나 MPEG-4 같은 다른 코덱으로 넓히고자 할 때 하드웨어 블록들을 최대한 활용할 수 있다는 장점을 가져온다.

IV. 구현 결과

VHDL 코드의 기능 동작 검증 및 소프트웨어 개발을

위하여 그림 7에 나타난 FPGA 기반의 테스트 보드를 구현하였다. 이 보드는 개발 칩에 내장될 ARM720T 프로세서와 같은 역할을 하는 두개의 ARM720T 테스트 칩을 포함하며, Sp부와 Vp부의 하드웨어 로직이 구현될 두 개의 고밀도 FPGA를 포함한다.

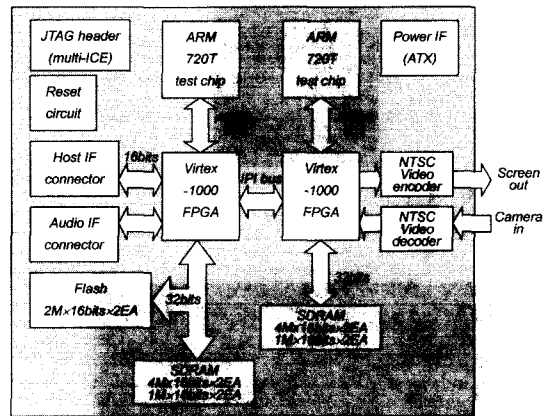


그림 7. 프로토타입 보드의 블록 다이어그램
 Fig. 7. Block diagram of the prototype board.

개발된 칩의 코드는 그림 7의 테스트 보드에서 검증된 소프트웨어와 VHDL 코드를 사용하였으며, 각각 두개의 ARM720T 칩과 고밀도 FPGA를 하나의 칩으로 통합하여 VLSI화 하였다.

구현된 칩은 0.35 마이크로 표준 셀 CMOS 공정을 이용하여 합성되었고 45MHz의 동작주파수에서 약 2W의 소비전력을 가진다. 표 1에 개발된 칩의 물리적 특성을 요약하였다. 구현된 H.263 코덱은 40MHz의 동작주파수에서 초당 15 프레임 이상의 성능으로 QCIF 크기의 영상의 부호화 및 복호화를 동시에 수행할 수 있으며, H.263 기본 모드와 4개의 추가 옵션 모드(modified quantization mode, advanced intra coding mode, slice structured mode, de-blocking filter mode)로 구성된 H.263 버전 2의 프로파일 3 @ 레벨 10을 지

표 1. 칩의 물리적 특성

Table 1. Physical characteristics of the chip.

Technology	0.35μm CMOS TLM
Die size	9.7mm x 9.7mm
Gate count	0.9 million
Clock frequency	40 MHz
Embedded RAM	142,016 bits
Package	256pin MQFP

원한다. 또한, 제어용 프로토콜인 H.245와 다중화 프로토콜인 H.223을 지원하므로, 외부에 오디오 코덱 칩을 추가함으로써 완전한 ITU-T H.324 또는 3GPP 3G-324M 멀티미디어 터미널 기능을 구현하는 데에 사용될 수 있다.



그림 8. 칩 패키지
Fig. 8. Chip package.

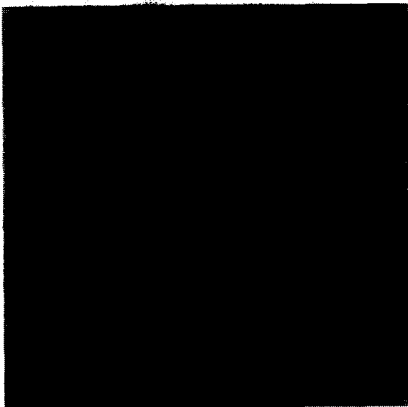


그림 9. 칩 레이아웃
Fig. 9. Chip layout.



그림 10. 칩 검증 보드
Fig. 10. Chip evaluation board.

그림 8은 개발된 칩의 외형을 보여주며, 그림 9는 칩의 내부를 보여준다. 그림 10은 칩이 실장된 최종 칩 검증 보드를 보여주고 있다. 이 검증 보드는 개발된 칩,

외부 오디오 코덱, 외부 메모리, 그리고 비디오 입출력을 위한 단자 등으로 구성되어있으며, 카메라를 통해 입력된 데이터를 개발된 칩에서 부호화 및 복호화한 뒤 외부 TV에 출력하도록 구성되었다. 검증 보드에서 칩을 40MHz의 동작 주파수로 구동 시켜, 칩에서 처리된 영상 데이터가 외부 TV 입력으로 전달되어 QCIF 크기의 자연스러운 영상이 나옴을 검증하였다. 50MHz까지 검증 보드에서 칩이 동작하는 것을 확인하였다.

V. 결 론

본 논문에서는 VLSI로 구현된 H.263 비디오 코덱의 구조에 대하여 구조적 특징과 구현 방법에 대하여 논하였다. 구현된 구조는 내부에 ARM720T 프로세서를 2개 사용하였으며, 각 기능 블록들을 최대한 모듈화하였으며, 기능 블록들 간의 데이터 전달을 위하여 전용 버스 구조를 가짐으로써 고속의 병렬 처리 기능을 수행할 수 있게 하였다. 개발된 VLSI는 H.263 비디오 코덱 뿐만 아니라 제어용 프로토콜인 H.245와 다중화 프로토콜인 H.223을 지원하므로, 외부에 오디오 코덱 칩을 추가함으로써 완전한 ITU-T H.324 또는 3GPP 3G-324M 멀티미디어 터미널 기능을 구현하는 데에 사용될 수 있다. 구현된 H.263 코덱은 40MHz의 동작 주파수에서 초당 15 프레임 이상의 성능으로 QCIF 크기의 영상의 부호화 및 복호화를 동시에 수행할 수 있다. 기존의 상용 칩으로는 0.35 (m technology, 33~70MHz 정도의 동작 주파수에서 sub-QCIF, QCIF, CIF 영상 포맷으로 초당 15~30 프레임 출력이 가능한 성능을 가지는 미국 8x8社의 LVP, 대만 WINBOND社의 W9961CF 등이 있으며, 이것들과 비교해 볼 때 본 논문에서 제시한 칩도 충분한 경쟁력을 가지는 것으로 판단된다. 개발된 VLSI는 테스트 보드를 통하여 그 기능이 검증되었으며, 현재 상용화를 위한 시스템 개발이 진행 중에 있다. 전력 소모와 칩의 패키지 크기 축소 및 오디오 코덱 부의 수용을 통한 단일 칩 솔루션 개발을 계획하고 추진 중에 있다.

참 고 문 헌

- [1] ITU-T, "Draft Text of Recommendation H.263 Version 2 (H.263+) for Decision", Jan. 1998.

- [2] ITU-T, "Draft Revised Recommendation H.324 Version 2", Jan. 1998.
- [3] 3GPP, "Codec for Circuit Switched Multimedia Telephony Service," 3GPP TS 26.110 V4.1.0, Mar. 2001.
- [4] ITU-T, "Recommendation H.245 Version 2", June 1996.
- [5] ITU-T, "Recommendation H.223", Mar. 1996.
- [6] Y. Naito and I. Kuroda, "H.263 Mobile Video Codec Based on a Low Power Consumption Digital Signal Processor," in Proc. ICASSP, pp. 3041~3044, 1998.
- [7] S. Jang, S. Kim, J. Lee, G. Choi, and J. Ra, "Hardware-Software Co-Implementation of a H.263 Video Codec," IEEE Tr. Consumer Elec., pp. 191~200, 2000.
- [8] M. Harrard, J. Sanches, A. Bellon, J. Bulone, A. Tournier, O. Deygas, J.-C. Herluison, S. Doise, and E. Berrebi, "A Single-Chip CIF 30-Hz. H.261, H.263, and H.263+ Video Encoder/Decoder with Embedded Display Controller," IEEE J. Solid-State Circ., pp. 1627~1633, Vol. 34, No. 11, Nov. 1999.
- [9] J. Park, B. Koo, S. Kim, I. Kim, and H. Cho, "MPEG-4 Video Codec for Mobile Multimedia Applications," in Proc. ICCE, pp. 156~157, 2001.
- [10] ARM, ARM720T Technical Reference Manual Rev. 3, Doc. Num. ARM DDI 0192A, Sept. 2000.
- [11] ARM, AMBA Specification Rev. 2.0, Doc. Num. ARM IHI 0011A, May 1999.
- [12] ITU-T, "Recommendation G.723.1", Mar. 1996.
- [13] ITU-R, "Recommendation 656", 1986.

 저 자 소 개

金 明 鎮(正會員)

1999년2월 경북대학교 전자전기공학부 학사. 2001년2월 경북대학교 전자공학과 석사. 2000년12월~현재 : (주)임프레스정보통신 전임연구원. <주관심분야 : ASIC Design, 비디오 부호화>

李 相 熙(正會員)

1993년 한국과학기술원 전기및전자공학과 학사. 1995년 한국과학기술원 전기및전자공학과 석사. 2000년 한국과학기술원 전자전산학과 전기및전자공학전공 박사. 2001년 1월 ~ 현재 : (주)임프레스정보통신 선임연구원. <주관심분야 : 비디오 부호화 및 무선 멀티미디어 통신>

金 根 培(正會員)

1984년2월 성균관대학교 전자공학과 학사. 1990년2월 성균관대학교 전자공학과 석사. 1993년2월 성균관대학교 전자공학과 박사. 1984년~1988년 : 대우통신 TDX 개발단. 1993년~1997년 : 한국전자통신연구원 광대역 통신망연구부. 1997년~1999년 : MinMax Technologies, Dir. of Engineering. 1999년~ 현재 : (주)임프레스 정보통신, 연구소장. <주관심분야 : 디지털 통신, VOD>