

論文2002-39SC-4-6

## 전하 공유 및 글리치 최소화를 위한 D-플립플롭

## (A New Dynamic D-Flip-flop for Charge-Sharing and Glitch Reduction)

楊成現\*, 閔慶哲\*\*, 趙慶錄\*

(Sung-Hyun Yang, Kyoung-Chul Min, and Kyoung-Rok Cho)

## 요약

본 논문에서는 전하 공유와 글리치 문제를 최소화한 새로운 동적 D-플립플롭을 제안하고, 이를 이용하여 128/129 분주 프리스케일러(prescaler)를 설계한다. 전하 공유 문제와 글리치 문제를 최소화함으로써 회로 동작의 신뢰도를 향상시켰으며 스위칭 트랜지스터의 공유로 전류 path를 줄여 저전력 특성을 얻을 수 있다. 또한 제안된 동적 D-플립플롭은 안정된 edge-trigger 동작을 보장하도록 설계되었다. 제안된 플립플롭의 성능 평가를 위해 0.6 $\mu$ m CMOS 공정을 이용하여 128/129 분주 프리스케일러를 구성하였다. 5V 공급전압에서 최대 1.97GHz의 주파수까지 동작함을 확인하였으며 이때의 전류 소모는 7.453mA였다.

## Abstract

In this paper, a new dynamic D-flip-flop which does not suffer from charge sharing and glitch problems is proposed. And a dual-modulus divide-by-128/129 prescaler has been designed with the proposed D-flip-flops using a 0.6 $\mu$ m CMOS technology. Eleven-transistor architecture enables it to operate at the higher frequency range and the transistor merging technique contributes to the reduction of power consumption. At 5V supply voltage, the simulated maximum operating frequency and the current consumption of the divide-by-128/129 prescaler are 1.97GHz and 7.453mA, respectively.

**Keyword** : Flip-flops, prescalers, high-speed circuits, low-power circuits.

## I. 서론

현대 통신 시스템에서 주파수 합성기는 매우 기본적인 면서도 중요한 역할을 수행한다. Dual-modulus 프리스

케일러(prescaler)는 위상동기루프(phase-locked loop; PLL)를 기반으로 하는 주파수 합성기에 자주 이용된다. 그림 1은 일반적인 PLL의 블록도를 나타낸다. 일반적으로 PLL의 구성블록 중에서 가장 높은 주파수에서 동작하는 블록은 프리스케일러와 전압제어발진기(voltage-controlled oscillator; VCO)이고 이 두 블록이 PLL 전체의 속도를 좌우하게 된다. PLL에서 프리스케일러는 VCO의 출력을 입력으로 받아 N 분주하여 위상 검출기(phase detector)로 보내주는 역할을 한다. 프리스케일러는 PLL 구성 블록 중에서 가장 빠른 신호인 VCO 출력을 입력받으므로 회로의 고속 동작이 중요하며, 고속 동작에 따른 전력소비량의 증가를 최소화하기 위해

\* 正會員, 忠北大學校 情報通信工學科

(Dept. of Computer and Communication Engineering, Chungbuk National University)

\*\* 正會員, (주)엠텍비전

(Mtekvision Co. Ltd.)

接受日字:2001年5月24日, 수정완료일:2002年6月25日

저전력 특성이 요구된다. GHz 단위의 높은 주파수에서 동작해야 할 필요성이 있는 회로는 종종 바이폴라나 GaAs 공정을 이용하여 구현했었다. 그러나 CMOS 공정의 빠른 발전으로 인해, 이제는 CMOS 공정을 이용한 설계가 보편화되고 있다. CMOS 공정은 가격이 저렴하고 집적도가 높으며 전력소비를 적게 하는 등 여러 가지 이점을 얻을 수 있다. 개인용 휴대 전화기가 보편화되어 있는 현대 사회를 고려하면, CMOS의 이점을 이용하여 회로의 소형화 및 저전력 특성을 얻는 것은 매우 바람직한 일이다. 또한 CMOS로 구현된 회로의 속도도 바이폴라나 GaAs 공정으로 구현된 회로와 거의 대등해졌다.

프리스케일러는 기본적으로  $N$  분주 카운터와 같으므로 카운터를 구성하는 플립플롭의 성능이 프리스케일러 전체의 성능을 좌우한다. 따라서 고성능의 프리스케일러를 구현하기 위해서는 동적 D-플립플롭의 고속 동작과 저전력 소모 특성이 필수적이다. 그동안 프리스케일러의 성능 개선을 위해 여러 가지 형태의 플립플롭들이 제안되었다<sup>[1-10]</sup>. 그러나 이전의 연구들은 전하 공유(charge-sharing)와 글리치(glitch) 문제를 안고 있어서 오동작의 원인이 되기도 하였다<sup>[2-3]</sup>. 이런 문제들을 해결하기 위해, 몇 개의 트랜지스터를 추가하여 오동작을 하는 노드를 안정화시키는 역할을 하도록 연구가 진행되어 왔다<sup>[4-6]</sup>. 그러나 추가된 트랜지스터로 인해 회로의 동작 속도가 느려지며 전력 소비가 증가하는 단점을 가지고 있다. 높은 주파수에서는 신호의 천이 시간(transition time)이 클록 주파수의 상당 부분을 차지하기 때문에, 대기 상태에서의 전력 소모가 0(zero standby power consumption)이라는 CMOS 회로의 특성은 의미를 잃게 된다. 따라서 높은 주파수에서는 ratioed 로직이 ratioless 로직과 비슷한 전력 소비 특성을 가지며 회로의 복잡성을 감소시키기 위해 ratioed 로직이 ratioless 로직을 대신하여 사용될 수 있다<sup>[8-10]</sup>. 그러나 ratioed 로직은 일정한 주파수 이하에서는 많은 전력을 소비하게 되는 단점이 있다. 이러한 특성 때문에 프리스케일러에서는 4/5 분주 동기식 카운터 부분에 한정하여 사용할 수 있다.

본 논문에서는 전하 공유 문제와 글리치 문제를 최소화한 새로운 형태의 동적 D-플립플롭을 제안하고 이를 이용하여 고속동작을 하며 전력을 적게 소모하는 prescaler를 설계한다. 제안된 플립플롭은 edge-trigger 동작을 보장하도록 설계되었으며 전하 공유 문제와 글

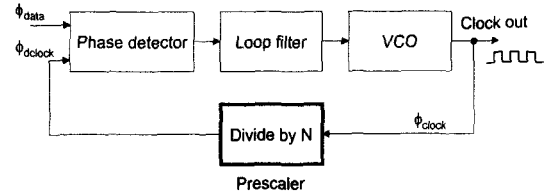


그림 1. 일반적인 PLL의 블록도

Fig. 1. Block diagram of a general PLL.

리치를 줄임으로써 보다 신뢰도가 높은 회로 동작이 가능해진다.

본 논문의 구성은 다음과 같다. II장에서는 일반적인 동적 D-플립플롭의 구조와 동작을 살펴보고 여기에서 발생하는 전하 공유 문제와 글리치 문제를 고찰한다. III장에서는 제안된 D-플립플롭의 구조와 동작을 기술하고 IV장에서는 simulation 결과를 제시하여 성능을 평가한다. 마지막으로 V장에서는 결론을 맺는다.

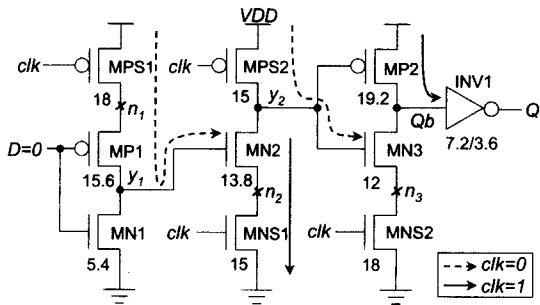
## II. 일반적인 동적 D-플립플롭에서의 전하 공유 및 글리치 문제

동적(dynamic) 또는 클록 입력이 있는 로직 게이트(clocked logic gate)는 회로의 복잡성을 줄이고 속도를 증가시키며 전력 소모를 줄이기 위해서 사용된다<sup>[11]</sup>. 여러 가지 형태의 동적 CMOS 회로 기술 중에서 true single-phase-clock(TSPC) 기술을 이용한 동적 CMOS 회로는 단지 한 개의 클록 신호를 사용하며 클록 신호는 반전되지 않는다. 즉, 클록 지연 이외에 어떤 클록 스쿠(clock skew)도 존재하지 않으므로 높은 주파수에서도 동작할 수 있는 특성을 가진다<sup>[2]</sup>.

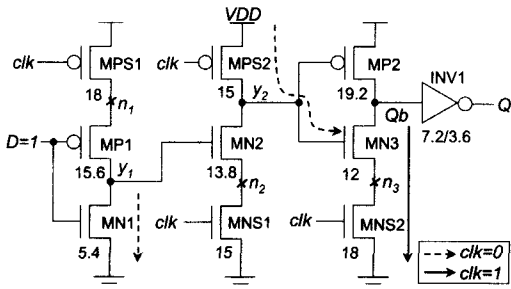
### 1. 일반적인 동적 D-플립플롭의 구조와 동작

그림 2는 [1, 4-6]에서 제안된 TSPC D-플립플롭을 나타낸다. 이 플립플롭은 9개의 트랜지스터로 구성되며 고속 동작을 위해 클록에 의해 제어되는 스위칭 트랜지스터(MPS1, MPS2, MNS1, MNS2)가 VDD나 ground에 가깝도록 설계되었다<sup>[6]</sup>. 플립플롭의 상태 변화는 클록( $clk$ )의 상승 에지(rising edge)에서 발생한다. 그림 2(a)는  $D=0$ 일 때  $clk$ 가 0에서 1로 바뀌면  $Qb$ 가 1이 되는 과정을 나타낸다. 점선으로 표시된 화살표는  $clk=0$ 일 때의 path를 나타내고 실선으로 표시된 화살표는  $clk=1$ 일 때의 path를 나타낸다.  $D=0$ 이고  $clk=0$ 이면 MPS1과 MP1이 on되어  $y_1$  노드가 high가 되고 MPS2도 on되어  $y_2$  노드를 high로 만든다. 이 상태에서  $clk=1$

로 변하면  $y_2$  노드의 전하들이 MN2와 MNS1을 통해 방전되므로 MP2가 켜지고 이에 따라  $Qb$ 가 high로 된다. 그림 2 (b)는  $D=1$ 일 때  $clk$ 가 0에서 1로 바뀌면  $Qb$ 가 0이 되는 과정을 나타낸다.  $D=1$ 이고  $clk=0$ 이면 MP1은 꺼지고 MN1이 켜져서  $y_1$  노드의 값이 low가 된다. 또한 MPS2도 on되어  $y_2$  노드를 high로 만든다. 그림 2 (a)와는 다르게,  $clk=1$ 로 변하면  $y_1$  노드가 low이므로 MN2가 꺼져 있는 상태가 되어  $y_2$  노드는 high를 유지한다. 따라서 MN3와 MNS2의 path를 따라  $Qb$  노드가 low로 방전된다.



(a)  $D=0, clk=0 \rightarrow 1 : Qb \rightarrow 1$



(b)  $D=1, clk=0 \rightarrow 1 : Qb \rightarrow 0$

그림 2. 동적 D-플립플롭<sup>[1]</sup>의 동작; (a)  $D=0, clk=0 \rightarrow 1 : Qb \rightarrow 1$  (b)  $D=1, clk=0 \rightarrow 1 : Qb \rightarrow 0$

Fig. 2. Operations of the dynamic D-flip-flop; (a)  $D=0, clk=0 \rightarrow 1 : Qb \rightarrow 1$  (b)  $D=1, clk=0 \rightarrow 1 : Qb \rightarrow 0$ .

2. 글리치 및 전하 공유 문제의 고찰

Edge-trigger 플립플롭은 클럭의 edge에서만 데이터를 받아들인다. 따라서 edge-trigger 동작을 하는 플립플롭에서 글리치 발생은 심각한 문제를 일으킬 수 있는 요인이다. 만약 글리치가 있는 플립플롭들이 비동기식 카운터에 사용된다면, 앞단 플립플롭의 글리치는 다음 단 플립플롭을 잘못된 상태(wrong state)에 들어가

도록 만들 수 있다. 글리치 문제를 다루기 위해 그림 2 (a)의 회로 동작을 살펴보자.  $clk=0$  이고  $D=0$ 이면  $y_1$ 과  $y_2$  노드는 높은 전압으로 precharge된다.  $clk$ 가 low에서 high로 바뀌면  $y_2$  노드 전압은 low로 떨어진다. 그러나  $y_2$  노드는 곧바로 low가 될 수 없다. 즉, low로 방전하는 데는 약간의 시간이 요구된다. 바꿔 말하면,  $y_2$  노드는  $clk$ 가 high로 바뀐 직후의 짧은 시간동안 high를 유지하고 있다. 이 때  $clk=1$ 이므로 MN3와 MNS2 트랜지스터가 켜져  $Qb$  노드는 low 값을 가질 수 있다. 그러나  $y_2$  노드의 방전은 계속되어 MP2를 on 시키고 MN3를 off 시켜  $Qb$ 를 올바른 값인 high로 다시 되돌아오게 한다. 그림 3의 (a)는 이 과정에서 발생하는 글리치를 나타낸다.

전하 공유 문제가 플립플롭의 동작에 미치는 영향을 고려하기 위해, 그림 2의 회로를 살펴보자. 그림 2의 (a)와 (b)에 나타난 것처럼,  $clk=0$ 일 때는  $y_2$ 가 항상 high이므로 MN3가 on되어  $Qb$  노드와  $n_3$  노드는 전하를 공유할 가능성이 있다.  $Qb$  노드에 high 전압이 나타나고 있을 때  $n_3$  노드(low 전압)와 전하를 공유한다면  $Qb$ 의 전압은 내려가고  $n_3$ 의 전압을 올라가서 결국은  $Qb$ 와  $n_3$ 의 평균값에서 서로 같아지게 된다. 즉,  $Qb$  노드의 전압이 얼마간 떨어지는 현상이 발생할 수 있다. 이것은 그림 3에서 (b)로 표시하였다. 또 다른 문제점을 고려해보자.  $clk$ 가 low이고  $D$  입력이 high일 때  $n_1$ 과  $y_2$  노드는 VDD로 precharge되며  $y_1$ 은 ground로 방전된다. 이 때  $Qb$ 는 이전 상태(high 상태 가정)를 유지한다. 앞에서 살펴본 것과 같이,  $clk$ 가 low에서 high로 바뀌면 MN3와 MNS2 트랜지스터는 켜지고  $Qb$  노드는 low로 떨어진다. 만약  $clk$ 가 high인 상태에서  $D$  입력을 high에서 low로 바꾸면 MN1은 꺼지고 MP1은 켜진다. MP1이 켜짐으로 인해  $n_1$ 과  $y_1$  노드는 MP1 트랜지스터를 통해 전하를 공유한다(그림 3의 (c)와 (d) 참조). 이것은  $y_1$  노드 전압이 MN2 트랜지스터의 문턱 전압(threshold voltage) 이상으로 올라가도록 하는 원인이 된다.  $clk$ 의 high 상태가 충분히 지속된다면 MNS1이 켜있는 상태이기 때문에  $y_2$  노드는 천천히 방전되어 MP2를 켜게 되고 이로써  $Qb$  노드는 high로 올라간다. 물론 그림 3 (c)와 같이  $D$ 가 1에서 0으로 바뀐 후  $clk$ 가 바로 0으로 떨어진다면  $y_2$ 의 방전 정도가 작아서 MP2를 켜지 못하므로 이런 경우는 문제가 발생하지 않는다. 그러나 그림 3의 (d)에서와 같이  $y_2$ 의 방전 시간이 길어지면 플립플롭이 오동작을 하게 된다.

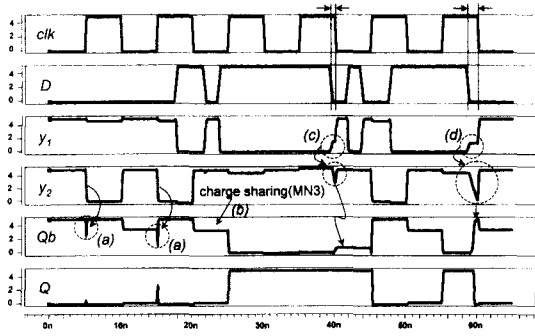


그림 3. 그림 2의 D-플립플롭에 대한 simulation 파형  
Fig. 3. Simulation waveforms of the D-flip-flop in Fig. 2.

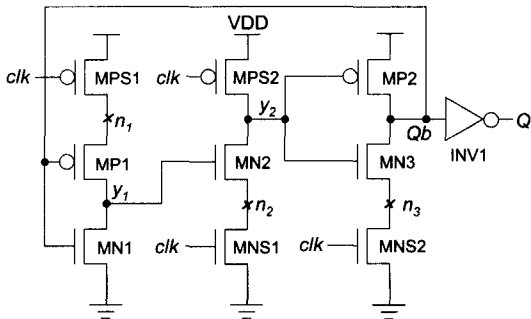
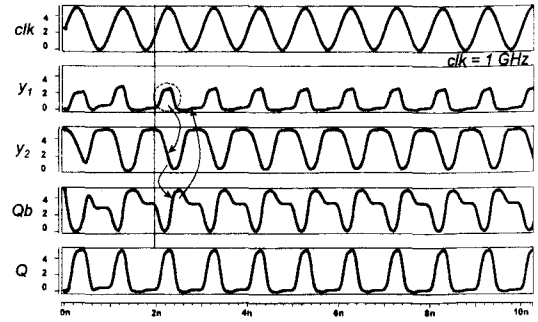
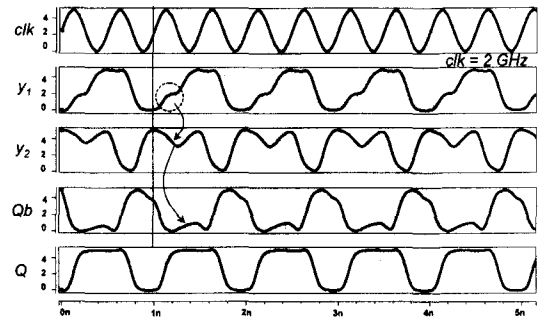


그림 4. Toggling을 위한 D-플립플롭의 연결 구조  
Fig. 4. D-flip-flop in Toggle configuration.

이 D-플립플롭을 저주파에서 Toggle-플립플롭으로 사용할 때는 문제가 더욱 심각하다. Toggling 동작을 위해서는 그림 4와 같이 Qb와 D를 묶어서 구현한다. 그림 4에서 현재 Qb가 high 상태이고 clk가 0에서 1로 바뀌면 toggling이 발생하므로 Qb는 0이 될 것이다. Qb는 D와 묶여 있으므로 이 동작은 clk가 1로 바뀐 직후 D가 1에서 0으로 바뀐 것과 같다. 즉 D가 0을 유지하는 시간은 거의 clk의 반주기 동안이나 된다. 저주파에서 동작시킨다고 가정했으므로 y2 노드는 충분한 방전 시간을 갖게 되어 MP2를 확실하게 on 시키므로 Qb는 high값을 갖게 되어 edge-trigger 특성을 잃게 된다. 그림 5는 Toggle-플립플롭에 대한 simulation 결과를 나타낸다. 먼저 그림 5 (a)처럼, clk에 1GHz를 인가했을 때는 y2 노드의 방전 시간이 길어서 toggling 동작이 수행되지 않는다. 그러나 그림 5 (b)와 같이, clk에 2GHz를 인가했을 때는 y2의 방전 시간이 짧아 플립플롭이 제대로 동작하고 있다. 결국 낮은 주파수에서는 플립플롭의 edge-trigger 동작 특성이 나빠지게 되고 이것은 심각한 문제를 발생시킨다. 본 논문에서 설계한



(a) clk=1GHz를 인가했을 때의 파형



(b) clk=2GHz를 인가했을 때의 파형

그림 5. 그림 4의 Toggle-플립플롭에 대한 Simulation 결과  
Fig. 5. Simulation results of Toggle-flip-flop in Fig. 4.

그림 4의 Toggle-플립플롭은 1.5GHz 이상에서 정상적인 동작을 한다. Dual-modulus 프리스케일러를 구성하는 블록 중에서 가장 높은 주파수에서 동작하는 4/5 분주 동기식 카운터에는 edge-trigger 특성을 위반하는 플립플롭도 사용될 수 있다<sup>[7-10]</sup>. 그러나 일반적인 플립플롭으로서의 기능으로는 사용될 수 없다. 따라서 저주파에서 신뢰성 있는 toggling 동작을 하도록 하려면, D-플립플롭의 edge-trigger 특성이 매우 중요하다는 것을 알 수 있다.

### 3. 글리치 및 전하 공유 문제의 해결 방법

위에서 언급한 문제들을 해결하기 위해, Huang은 [4-6]의 논문에서 그림 6과 같은 회로를 제안했다. 전하 공유 문제를 줄이기 위해, 작은 크기의 MN5 트랜지스터와 인버터 INV1을 삽입하였다. MN5는 clk=1인 동안 D가 high에서 low로 바뀔 때 발생하는 y1 노드 전압의 상승을 방지한다. 즉, MN5 트랜지스터와 인버터 INV1은 y1 노드에 부채환(negative feedback)을 제공하여 y1 노드를 안정화시키는 것이다. 동일한 방법이

MP3와 INV2를 이용하여  $Qb$  노드에 적용되었다. 또한  $Qb$  노드에서의 전하 공유와 글리치를 제거하기 위해 MN4 트랜지스터가 MN3와 MNS2 사이에 첨가되었다. 즉, INV1에 의해 제어되는 MN4 트랜지스터는  $y_1=1$ 일 때  $Qb$ 의 pull-down path를 막음으로써 글리치 문제가 해소된다.

그림 6에서 MN4를 첨가함으로써 새로운 문제가 발생한다.  $clk=0$ 이고  $D=0$ 일 때를 고려하면,  $y_1$ 과  $y_2$  노드는 high로 precharge된다.  $clk$ 가 low에서 high로 바뀌면  $y_2$  노드는 low로 방전되어  $Qb$  노드는 high가 된다.  $clk$ 가 high인 동안  $D$ 가 low에서 high로 바뀌어도  $Qb$  노드는 high를 유지한다. 이 때( $y_1=0$ 이고  $clk=1$ ), MN4와 MNS2가 켜져 있기 때문에  $n_3$ 와  $n_4$  노드의 전압은 low가 된다. 이 상태에서  $clk$ 가 low로 떨어지면  $y_2$  노드는 high가 된다. 그러면 MN3가 켜지므로  $Qb$ 는  $n_3$ 와  $n_4$  노드와 전하를 공유한다. 이러한 전하 공유 동작은

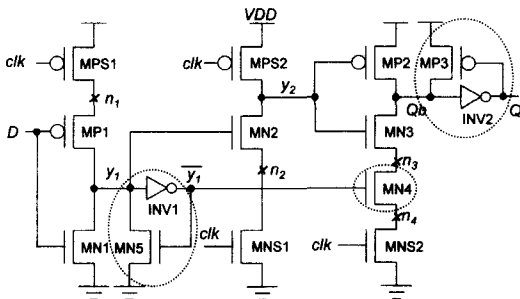


그림 6. 전하 공유 및 글리치 문제를 해결하기 위해 Huang이 제안한 D-플립플롭<sup>[6]</sup>

Fig. 6. D-flip-flop for solving charge sharing and glitch problems which was proposed by Huang<sup>[6]</sup>. This is a modified version from Fig. 1<sup>[1]</sup>.

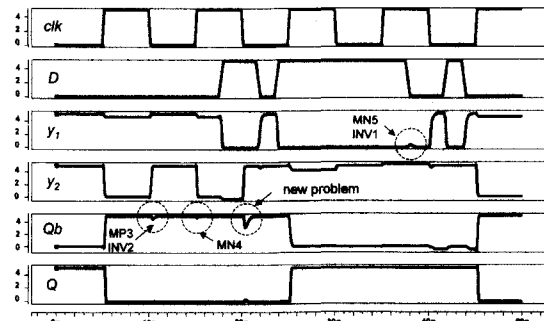


그림 7. 그림 6의 D-플립플롭에 대한 simulation 파형  
Fig. 7. Simulation waveforms of the D-flip-flop in Fig. 6.

$Qb$ 를 떨어지게 만든다. MP3 트랜지스터가  $Qb$ 를 안정시킨다고 하더라도 올바른 전압으로 되돌아오는 데는 다소 긴 시간이 필요하다. 그림 6에 나타난 D-플립플롭에 대한 simulation 결과 파형과 첨가된 트랜지스터들의 역할과 영향을 그림 7에 나타내었다. 클럭 입력 주파수는 100MHz를 사용하였다.

### III. 제안된 동적 D-플립플롭의 구조와 동작

그림 8은 앞 절에서 언급된 문제들을 해결하기 위해 본 논문에서 제안된 D-플립플롭을 나타낸다. 제안된 플립플롭은 11개의 트랜지스터로 구성되어 있다. 클럭 신호  $clk$ 는 4개의 트랜지스터로 인가된다. 그림 1에서 발생했던 전하 공유 문제는 그림 8에 나타난 것처럼  $clk$ 로 구동되는 MPS2 트랜지스터를 첨가함으로써 효과적으로 감소시킬 수 있다. 그림 2에서  $clk=0$ 인 동안  $n_1$ 과  $y_2$  노드는 똑같이 VDD로 충전된다. 반면에  $clk=1$ 일 때는  $n_1$ 의 전압은 별로 중요하지 않고  $y_2$  노드는 입력에 따라 low나 high 값을 가진다. 이러한 관찰로부터 두 개의 pull-up 트랜지스터를 하나로 합치는 문제를 고려하게 되었다. 그림 1의 MPS1과 MPS2는 그림 8의 MPS1으로 합쳐질 수 있다. 같은 방법으로 pull-down 트랜지스터인 그림 1의 MNS1과 MNS2를 그림 8의 MNS1으로 합칠 수 있다<sup>[12-13]</sup>. 그러나 트랜지스터를 합침으로써 인해 발생하는 기생 전류 path를 주의 깊게 고려해야 한다. 트랜지스터의 개수를 줄임으로써 전력 특성이 얻어질 것으로 기대된다. 그림 8의 MNS2는  $Qb$  노드에서 발생하는 글리치를 최소화하기 위해 삽입되었다.

그림 9는 제안된 D-플립플롭의 동작을 나타낸다. 그림 9 (a)에서  $clk=0$ 이고  $D=0$ 일 때  $y_1$ ,  $n_1$ ,  $y_2$  노드는 high 전압이 된다. 이 때 MNS1과 MP2는 켜져 있기 때문에  $Qb$  노드는 이전 값을 유지하고 있다.  $y_1$ 과  $y_2$  노드가 high이므로  $n_2$ 와  $n_3$  노드는 weak high( $\approx VDD-V_{IH}$ ) 상태에 있음에 주목해야 한다. 여기서  $clk$ 가 low에서 high로 바뀌면 MPS1은 꺼지고 MNS1이 켜진다.  $y_2$  노드는 즉시 방전될 수 없으므로 MNS1, MN3, 그리고 MNS1으로 구성된 pull-down path가 존재한다. 그러나  $n_2$ 와  $n_3$  노드는 이전 phase에서 weak high였으므로  $Qb$  전압의 하강은 그림 1의 구조에서보다 작다. 또한 MN2와 MNS1을 통한  $y_2$  노드의 지속적인 방전으로 인해  $Qb$  전압은 곧 high로 올라간다. 이 과정은

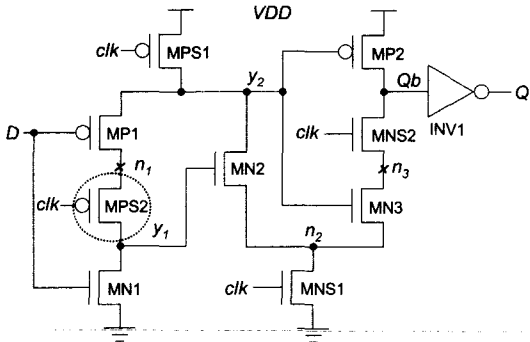
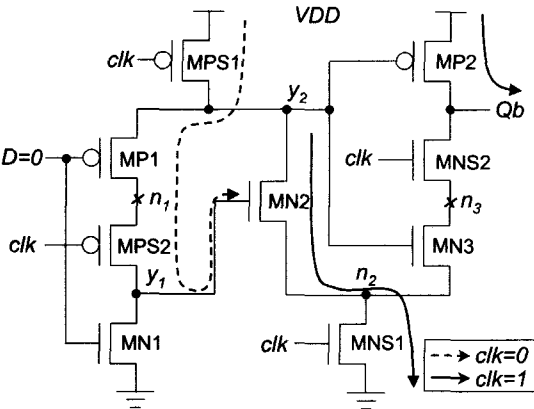
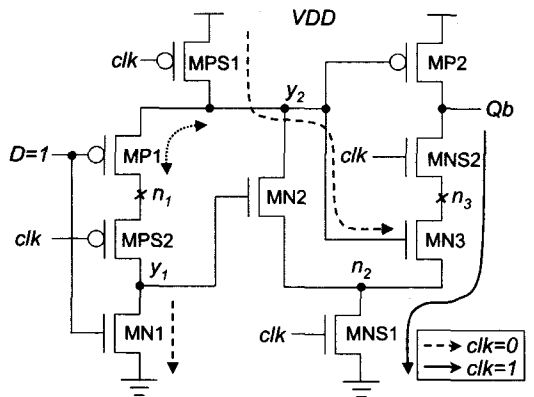


그림 8. 전하 공유 및 글리치 문제가 없도록 제안된 D-플립플롭  
 Fig. 8. Proposed D-flip-flop for charge-sharing and glitch free.



(a)



(b)

그림 9. 제안된 D-플립플롭의 동작; (a) D=0, clk=0→1: Qb→1 (b) D=1, clk=0→1: Qb→0  
 Fig. 9. Operations of the proposed D-flip-flop; (a) D=0, clk=0→1: Qb→1 (b) D=1, clk=0→1: Qb→0

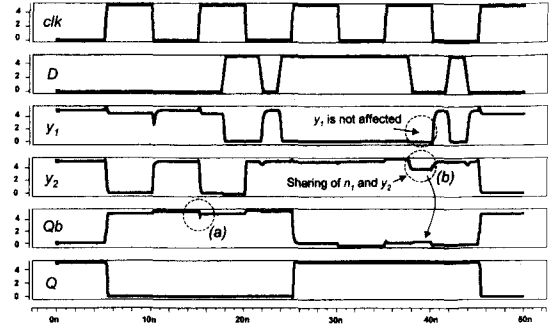


그림 10. 그림 8의 제안된 D-플립플롭에 대한 simulation 파형  
 Fig. 10. Simulation waveforms of the proposed D-flip-flop in Fig. 8.

그림 10의 (a)에 표시되어 있다.

그림 9 (b)의  $clk=0$ 이고  $D=1$ 일 때를 고려하면,  $n_1$ 과  $y_2$  노드는 high로 precharge되고  $y_1$ 은 low가 된다. 이로써 MN2는 꺼지고  $Qb$ 는 hold 상태를 유지한다.  $clk$ 가 low에서 high로 바뀌면  $Qb$  전압은 MNS2, MN3, MNS1으로 구성된 path를 통해 방전하여 low가 된다. 만약  $clk$ 이 high인 상태에서  $D$  입력을 high에서 low로 바꾼다면 MP1이 켜지게 된다. 그러나 MPS2 트랜지스터가 꺼져 있기 때문에  $y_1$ 과  $y_2$  노드의 전하 공유 현상은 발생하지 않고  $y_1$  노드는 low를 유지한다. 이것은 MN2가 꺼져서  $y_2$  노드의 pull-down path가 존재하지 않는다는 것을 의미한다. 즉, 제안된 D-플립플롭에서는 그림 3의 (c)와 (d)와 같은 현상이 일어나지 않는다.

그림 10의 (b)에 나타낸 것처럼  $n_1$ 과  $y_2$  노드의 전하 공유 현상이 발생하지만, 이때의 전압 변동은 두 가지 방법을 사용하여 플립플롭의 동작에 영향을 미치지 않도록 할 수 있다. 첫 번째로는  $n_1$  노드의 기생 capacitance를 줄여서  $y_2$  노드의 기생 capacitance 보다 훨씬 작게 만드는 방법이 있다. 전하 공유 현상은  $y_2$  노드와  $n_1$  노드의 capacitance 비에 의해 결정된다. 예를 들어, worst case로, 초기에  $y_2$ 가 VDD이고  $n_1$ 은 ground였다 고 가정하면,  $y_2$  노드의 초기 전하는

$$Q_{initial} = C_{y2} \cdot VDD$$

가 된다. MP1이 켜진 후에는  $y_2$ 와  $n_1$  노드가 전하를 공유하여 최종 전하는

$$Q_{final} = (C_{y2} + C_{n1}) \cdot V_{final}$$

이 된다. 전하량 보존 법칙에 의해  $Q_{initial} = Q_{final}$  이 성립해야 하므로,

$$(C_{y2} + C_{n1}) \cdot V_{final} = C_{y2} \cdot VDD$$

$$\therefore V_{final} = \frac{C_{y2} \cdot VDD}{C_{y2} + C_{n1}} = \frac{VDD}{1 + C_{n1}/C_{y2}}$$

이 된다. 따라서, 전하 공유 현상이 일어난 후  $y_2$  노드의 전압은  $y_2$  노드와  $n_1$  노드의 capacitance 비에 의해 결정됨을 알 수 있다. 이 때  $y_2$  노드의 전압 변동을 최소화하려면  $C_{y2} \gg C_{n1}$  이어야 한다. 그림 9를 보면,  $y_2$  노드는 두 개의 gate capacitance와 세 개의 source/drain capacitance의 합으로 결정되지만  $n_1$  노드는 단지 두 개의 source/drain capacitance의 합이 된다. 여기서, MP1의 drain과 MPS2의 source를 공유하도록 layout함으로써  $n_1$  노드의 source/drain capacitance를 1/2 정도로 줄일 수 있다. Layout으로부터 parasitic extraction을 수행한 결과  $C_{y2} / C_{n1} \approx 5$ 가 되어 최종전압은 4.16V 정도가 된다. 여기서 중요한 것은  $n_1$  노드의 capacitance를 줄이려고 노력해야 한다는 것이다. 반대로  $y_2$  노드의 capacitance를 너무 키우면 방전시간이 커져 속도가 느려지는 단점이 있으므로 속도를 고려하여 trade-off 점을 찾아야 한다.

전하 공유 현상이 플립플롭의 동작에 미치는 영향을 최소화하기 위한 두 번째 방법으로는 MP2와 MN3 트랜지스터의 크기를 조정하여 MP2와 MN3로 이루어진 inverter의 logic threshold를 약간 낮게 설계하는 방법이 있다. 즉,  $y_2$  노드에서 전하 공유 현상이 발생하더라도 Qb에서는 약간의 전압 변동만 발생하도록 하는 것이다. 이 때 전력 소비는 약간 증가한다.

플립플롭이 동작할 수 있는 최저 주파수도 중요한 고려 사항이다. 일반적으로 주파수가 낮아지면 rising/falling time도 함께 증가한다. 그러나 동적 플립플롭을 낮은 주파수에서 동작시키기 위해서는 clk의 rising/falling time을 일정하게 유지해야 한다. 본 논문에서 소개된 동적 플립플롭은 0.6 $\mu$ m 공정을 사용했을 때, rising/falling time을 1ns 이하로 유지해야 정확한 동작을 한다. 왜냐하면, 1ns 이상의 rising/falling time에서는 precharge와 evaluation이 clk의 rising 때 동시에 일어나기 때문이다<sup>[6]</sup>. 1ns의 rising/falling time을 유지하고 simulation 해 본 결과, 그림 6과 그림 8의 회로 모두 100Hz까지 동작함을 알 수 있었다. 최소 크기의 트랜지스터를 이용하여 회로를 설계하면 1ns 보다 큰

rising/falling time에서도 동작시킬 수 있다<sup>[6]</sup>.

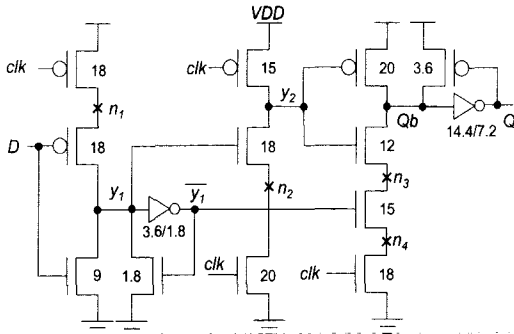
#### IV. Simulation 결과

제안된 동적 D-플립플롭의 성능을 평가하기 위해, 16 분주 비동기식 카운터와 128/129 분주 프리스케일러를 0.6 $\mu$ m CMOS 공정으로 설계하였다. 성능 비교를 위해, Huang이 제안한 회로(그림 2 [6])를 0.6 $\mu$ m CMOS 공정으로 설계하여 동일하게 16분주 비동기식 카운터와 128/129 분주 프리스케일러에 적용하였다. 각각의 플립플롭에 대한 트랜지스터의 sizing은 그림 11 (a)와 (b)에 나타내었다. 플립플롭 내의 모든 트랜지스터의 W값을 더했을 때의 총합을 구하면, Huang의 플립플롭이 195.4 $\mu$ m이고 제안된 플립플롭이 191.6 $\mu$ m으로 제안된 플립플롭이 약간 적은 면적을 차지하였다. Pre-simulation은 source/drain의 면적과 둘레의 길이를 고려하여 junction capacitance와 fringing capacitance의 효과를 포함하여 수행하였다. Post-simulation에서는 layout에서 추출된 interconnection parasitic capacitance 성분을 포함하고 여기에 좀 더 정확한 source/drain 면적과 둘레의 길이를 적용하여 수행하였다.

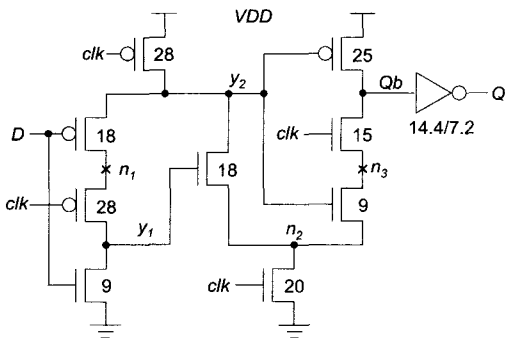
##### 1. 비동기식 카운터

그림 11 (a)와 (b)에 있는 플립플롭을 이용하여 16 분주 비동기식 카운터를 설계하여 성능을 측정한다. 16 분주 비동기식 카운터는 그림 12에서처럼, 4개의 toggle-플립플롭으로 구성되고 클의 상승 edge(rising edge)에서 카운팅 동작을 수행한다. 클럭 입력 clk는 첫 번째 플립플롭을 구동하고 첫 번째 플립플롭의 Q 출력은 그 다음 플립플롭의 클럭 단자를 구동하는 식으로 되어 있다. 16 분주된 출력 신호는 네 번째 플립플롭의 Q 단자로부터 얻어진다. 비동기식 카운터의 이러한 구조는 실제적인 부하 조건에서의 최대 동작 주파수 측정에 유용하다<sup>[6]</sup>.

공급 전압에 따른 최대 동작 주파수와 전류 소모량을 측정하기 위해 HSPICE를 이용하여 simulation 하였고 이에 대한 결과를 그림 13에 나타내었다. 공급 전압으로 5V를 사용하였을 때, 제안된 플립플롭을 이용한 16분주 비동기식 카운터의 최대 동작 주파수는 2.66 GHz였고 이때의 전류 소비는 6.383mA였다. 반면에 Huang의 플립플롭을 이용한 카운터의 최대 동작 주파수는 2.87GHz였고 전류 소비는 7.531mA였다. 그림 13을 보면 공급전압이 4V 이하로 내려가면서 제안된 회



(a) Huang이 제안한 D-플립플롭의 sizing



(b) 제안된 D-플립플롭의 sizing

그림 11. Huang의 플립플롭과 제안된 플립플롭에 대한 트랜지스터 sizing

Fig. 11. Transistor sizing for Huang's flip-flop and the proposed flip-flop.

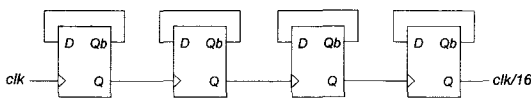


그림 12. 16 분주 비동기식 카운터

Fig. 12. Divide-by-16 asynchronous counter.

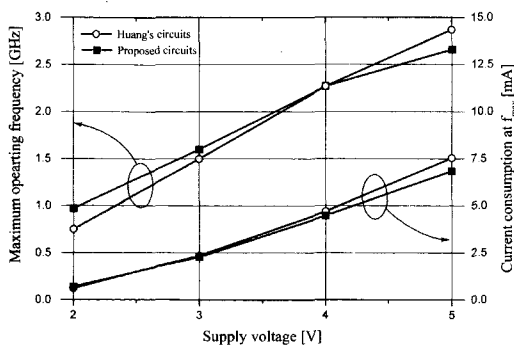


그림 13. 16 분주 비동기식 카운터의 성능 비교

Fig. 13. Performance comparison of divide-by-16 asynchronous counters.

로의 성능이 더 우수해짐을 알 수 있다.

2. Dual-modulus 프리스케일러

그림 14는 128/129(64/65) 분주 프리스케일러의 블록도를 나타낸다. Dual-modulus 프리스케일러는 4/5 분주 동기식 카운터와 32 분주 비동기식 카운터로 구성된다. 그림 14에서 먼저 클럭 신호 *clk*가 4/5 분주 동기식 카운터의 클럭으로 입력되면 *clk*에 대한 4/5 분주 출력 신호 *fso*가 출력되고 이 신호는 다시 32 분주 카운터의 입력이 된다. 따라서 프리스케일러는 주 클럭 신호 *clk*를 128 또는 129 분주하여 최종 출력으로 내보내는 것이다. 프리스케일러에서 4/5 분주 동기식 카운터는 가장 높은 주파수에서 동작하는 부분이다. 따라서 4/5 분주 동기식 카운터의 최대 동작 주파수가 프리스케일러의 최대 동작 주파수를 결정하게 된다<sup>[5]</sup>. 또, 128 또는 129 분주 파형을 얻기 위해 플립플롭 사이에 몇 개의 로직 게이트들이 필요하며, 이로 인해 발생하는 전달 지연의 증가가 동작 속도를 느리게 만든다. 따라서 동기식 카운터의 최대 동작 주파수는 비동기식 카운터의 최대 동작 주파수보다 느리게 나타난다. 다시 말하면 프리스케일러의 최대 동작 주파수는 16분주 비동기식 카운터의 최대 동작 주파수보다 느리게 나타난다. 그림 14에서 *select* 신호는 프리스케일러의 분주비를 64/65로 할 것인지 128/129로 할 것인지를 선택한다. *select* 신호가 0이면 비동기식 카운터의 마지막 플립플롭 출력이 무시되고 프리스케일러는 64/65 분주 동작을 한다. *select*가 1이면 프리스케일러는 128/129 분주를 수행한다. 또한 *mode* 신호가 0이면 64나 128분주 동작을 하며 *mode* 신호가 1이면 65나 129분주 동작을 수행

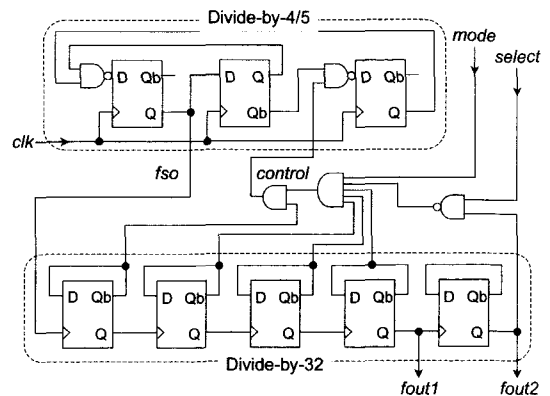


그림 14. Dual-modulus 프리스케일러의 구조

Fig. 14. Architecture of the dual-modulus prescaler.



표 1. select와 mode 신호에 따른 프리스케일러의 분주 동작

Table 1. Division operations of the prescaler according to select and mode.

select	mode	fout1	fout2
0	0	clk/64	-
0	1	clk/65	-
1	0	-	clk/128
1	1	-	clk/129

한다. select와 mode 신호에 따른 프리스케일러의 동작을 표 1에 정리하였다.

공급 전압에 따른 프리스케일러의 최대 동작 주파수와 전류 소모 특성 비교를 그림 15에 나타내었다. 5V 공급 전압에서, 제안된 플립플롭 회로를 이용한 프리스케일러는 최대 1.97GHz 까지 동작하며 7.453mA의 전류를 소비한다. 반면에 Huang의 플립플롭 회로를 이용한 프리스케일러는 최대 1.68GHz까지 동작하며 이때 7.368mA의 전류를 소비한다. 제안된 회로는 Huang의 회로와 비슷한 전류를 소비하지만 동작 속도에 있어서 더 좋은 특성을 나타내었다. 제안된 회로를 1.68GHz의 주파수에서 동작시켰을 때는 6.925mA의 전류를 소비하며, 이로써 제안된 회로를 이용하면 동일 주파수에서 전력 소비가 더 적다는 것을 알 수 있다.

그림 16은 최대 동작 주파수 1.97GHz에서 128/129 분주 프리스케일러의 출력 파형을 나타낸다. 제안된 플립플롭을 이용하여 구현한 프리스케일러에 대한 layout을 그림 17에 나타내었다.

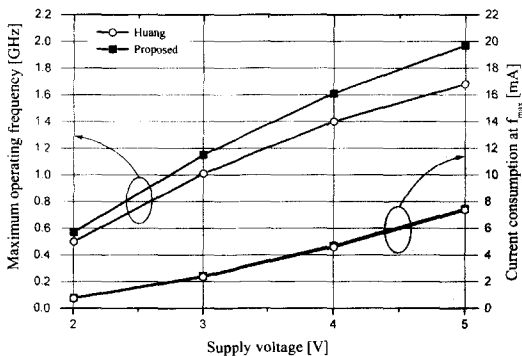


그림 15. 128/129 분주 프리스케일러에 대한 성능 비교  
Fig. 15. Performance comparison of divide-by-128/129 prescalers.

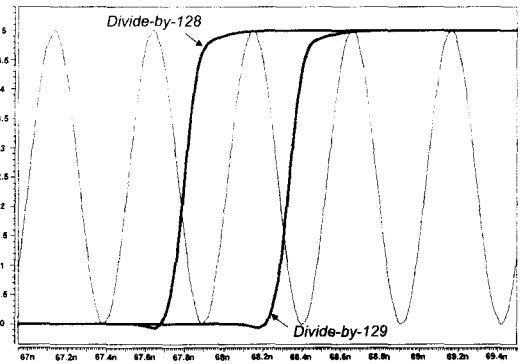


그림 16. 최대 동작 주파수에서 128/129 분주 파형  
Fig. 16. Input and output waveforms of the divide-by-128/129 prescaler at the maximum operating frequency.

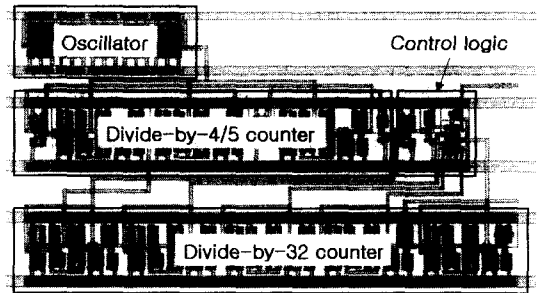


그림 17. 128/129 분주 프리스케일러에 대한 layout  
Fig. 17. Layout of the divide-by-128/129 prescaler.

## V. 결 론

본 논문에서는 dual-modulus 128/129 분주 프리스케일러를 0.6 $\mu$ m CMOS 공정을 이용하여 설계하였다. 고속 동작과 저전력 소모를 위해, 전하 공유 및 클리치 문제를 최소화한 동적 D-플립플롭이 제안되었고 이를 회로 내에 적용하여 동작을 검증하였다. 본 논문에서 제안된 플립플롭은 11개의 트랜지스터만으로 신뢰도가 높은 고속의 edge trigger 동작을 수행할 수 있으며 스위칭 트랜지스터를 공유하는 기술을 사용함으로써 저전력 특성을 얻을 수 있다. 제안된 플립플롭의 성능 평가를 위해, dual-modulus 128/129 분주 prescaler를 구성하고 HSPICE를 이용하여 최대 동작 주파수와 전류 소모 특성을 simulation 하였다. 5V 공급전압에서 최대 1.97GHz의 주파수까지 동작함을 확인하였으며 이때의 전류 소모는 7.453mA였다.

## 참 고 문 헌

- [1] H. Oguey and E. Vittoz, "CODYMO frequency dividers achieve low power consumption and high frequency," *Electron Lett.*, pp. 386-387, Aug. 23, 1973.
- [2] J. Yuan and C. Svensson, "High-speed CMOS circuit technique," *IEEE J. Solid-State Circuits*, vol. 24, no. 1, pp. 62-70, Feb. 1989.
- [3] R. Rogenmoser, N. Felber, Q. Huang, and W. Fichtner, "1.16 GHz dual-modulus 1.2- $\mu$ m CMOS prescaler," in *Proc. IEEE 1993 CICC*, San Diego, CA, pp. 27.6.1-27.6.4, May 1993.
- [4] Q. Huang and R. Rogenmoser, "A glitch-free single-phase DFF for gigahertz applications," in *Proc. 1994 IEEE ISCAS*, London, vol. 4, pp. 11-13, May 1994.
- [5] R. Rogenmoser, Q. Huang, and F. Piazza, "1.57 GHz asynchronous and 1.4 GHz dual-modulus 1.2- $\mu$ m CMOS prescaler," in *Proc. IEEE 1994 CICC*, San Diego, CA, pp. 387-390, May 1994.
- [6] Q. Huang and R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks," *IEEE J. Solid-State Circuits*, vol. 31, pp. 456-465, Mar. 1996.
- [7] N. Foroudi and T. A. Kwasniewski, "CMOS high-speed dual-modulus frequency divider for RF frequency synthesis," *IEEE J. Solid-State Circuits*, vol. 30, pp. 93-100, Feb. 1995.
- [8] B. Chang, J. Park, and W. Kim, "A 1.2 GHz CMOS dual-modulus prescaler using new dynamic D-type flip-flops," *IEEE J. Solid-State Circuits*, vol. 31, pp. 749-752, May 1996.
- [9] C.-Y. Yang, G.-K. Dehng, J.-M. Hsu, and S.-I. Liu, "New dynamic flip-flops for high-speed dual-modulus prescaler," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1568-1571, Oct. 1998.
- [10] K.-H. Sung and L.-S. Kim, "Comments on New dynamic flip-flops for high-speed dual-modulus prescaler," *IEEE Trans. Solid-State Circuits*, vol. 35, pp. 919-920, Jun. 2000.
- [11] R. J. Baker, H. W. Li, and D. E. Boyce, *CMOS Circuit Design, Layout, and Simulation*, IEEE PRESS, 1998, ch. 14.
- [12] 민경철, 김용대, 박성희, 유영갑, "저전력 D-flipflop을 이용한 고성능 Dual-Modulus Prescaler", *한국통신학회 논문지*, 25권, 10A호, pp. 1582-1589, 2000. 10
- [13] S.-H. Yang, C.-H. Lee, and K.-R. Cho, "A CMOS dual-modulus prescaler based on a new charge-sharing free D-flip-flop," in *Proc. 14th IEEE International ASIC/SOC Conference, Washington D.C., VA*, pp. 276-280, Sep. 2001.

## 저 자 소 개

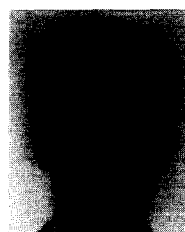


楊成現(正會員)

1999년 2월 : 충북대학교 전기전자공학부 학사. 2001년 : 2월 충북대학교 정보통신공학과 석사. 2002년 현재 : 동 대학원에서 박사과정 재학 중. <주관심분야 : high-speed,

low-power circuit, CMOS Image

Sensor, 저전력 A/D converter 설계 및 analog filter 등임>



閔慶哲(正會員)

1996년 2월 : 홍익대학교 정보통신공학과 학사. 2001년 : 2월 충북대학교 정보통신공학과 석사. 2002년 현재 : (주)엠텍비전에서 근무중. <

주관심분야 : 이미지 처리용 ASIC, CMOS Image Sensor 등임>