

이중루프 PLL을 이용한 IMT-2000용 저 위상잡음 주파수 합성기의 설계 및 제작

정회원 김 광 선*, 최 현 철**

A Design and Fabrication of Low Phase Noise Frequency Synthesizer Using Dual Loop PLL

Kwang-Seon Kim*, Hyun-Chul Choi** *Regular Members*

요 약

본 논문에서는 이중 루프 PLL을 이용한 IMT-2000용 주파수 합성기를 설계 및 제작하였다. 위상잡음 특성을 개선하기 위해서 기준 루프와 메인 루프의 두 개의 루프로 나누고 기준루프에는 변형 클램프 형태의 전압제어 발진기와 루프 필터를 최적화 함으로서 위상잡음을 개선하고 메인 루프에는 동축형 유전체 공진기를 사용한 전압제어 발진기와 위상 검출기로 SPD(Sampling Phase Detector)를 사용함으로서 분주기의 사용을 없애고 개루프 이득을 크게 함으로서 위상잡음 특성을 개선하였다. 이렇게 제작된 주파수 합성기는 1.81GHz의 중심주파수에 가변범위는 158.5MHz이고 위상잡음은 100kHz offset에서 -120.66dB로 우수한 특성을 나타내었다.

ABSTRACT

A frequency synthesizer that can be used in IMT-2000 was designed and fabricated using dual loop PLL(Phase Locked Loop) in this paper. For improving phase noise characteristic two loops, reference loop and main loop, were divided. Phase noise was improved by transformed clamp type voltage controlled oscillator and optimizing loop bandwidth in reference loop. And voltage controlled oscillator was fabricated using coaxial resonator and eliminated frequency divider using SPD as phase detector and increased open loop gain in main loop. Fabricated the frequency synthesizer had 1.81GHz center frequency, 160MHz tuning range, 13.5dBm output power and -119.73dBc/Hz low phase noise characteristic.

I. 서론

최근 이동 통신 분야가 개인 휴대 통신으로 인해 비약적인 발전을 이루고 있다. 또 앞으로 서비스화 될 IMT-2000은 1885MHz에서 2025MHz와 2110MHz에서 2200MHz까지의 주파수 대역으로 지역별 통신장비를 하나로 통일하여 고품질의 통신을 하기 위한 방식이다.^[1] 이러한 이동 통신 시스템을 구현함에 있어서 시스템 내의 RF모듈의 특성 중에 넓은 전력 조절 범위와 선형적인 전력 증폭, 높은 수신 감도 등이 중요한 요소이다. 특히 높은 수신

감도를 얻기 위한 통신장비나 통신장비의 측정을 위한 계측장비의 개발을 위해서 시스템 내에서 실제 주파수를 발생시켜주고 국부 발진기로 사용되는 고 안정, 저 위상잡음의 주파수합성기의 중요성이 대두되고 있다.^[2]

주파수 합성기는 크게 직접합성방식(DS, Direct Synthesis)과 간접합성방식(IDS, In-Direct Synthesis), 직접 디지털 합성방식(DDS, Direct Digital Synthesis)이 있다.^{[3][4]} 이 중에서 직접합성방식은 여러 개의 기준주파수를 직접 채배하거나 분주하거나 혼합하기 때문에 빠른 주파수 변화, 낮은 위상잡

* 한국전자통신연구원 전파확산기술연구팀(gskim@etri.re.kr),
논문번호 : K01066-0210, 접수일자 : 2001년 2월 10일

** 경북대학교 전자전기컴퓨터학부(hcchoi@ee.knu.ac.kr)

음, 작은 주파수 증가 간격 등의 이점이 있으나 크기가 크고 가격이 비싸며 원하지 않는 불요 신호가 발생하는 단점이 나타난다. 직접 디지털 방식은 작은 크기, 낮은 소비전력, 작은 주파수 변화 범위 등의 이점이 있으나 집적화 기술적인 문제로 인해 수 GHz대역이상에서는 사용이 부적합하다. 그러므로 현재는 PLL을 이용한 간접방식의 주파수 합성기가 회로가 간단하고 경제적이며 주파수의 변화가 쉽고 우수한 잡음특성을 가지므로 널리 사용되고 있다. 높은 사용주파수와 광대역 특성을 갖는 PLL방식의 주파수합성기를 구현할 경우 위상잡음특성과 동기시간 등 여러 다른 특성들을 동시에 만족을 시키거나 여러 가지 특성중 한가지의 특성을 더 향상시키기 위해서 다중 루프를 이용한 간접 방식의 주파수 합성기가 많이 연구되고 있다.^{[2][4]} 특히 차세대 이동통신 방식인 IMT-2000에서는 광대역의 특성을 요구하고 기존의 TDMA 방식과는 달리 주파수합성기의 특성 중 빠른 동기시간보다는 위상잡음특성이 더 중요한 요소로 작용을 한다.

본 논문에서는 이중루프 PLL을 이용한 간접방식의 1.74GHz에서 1.885GHz대역의 IMT-2000용 저 위상잡음 주파수 합성기를 설계 및 제작하고자 한다.

광대역 특성과 저 위상잡음 특성을 얻기 위해서 저 위상잡음 특성의 최적화를 위한 메인 루프와 주파수 변화를 위한 기준 루프의 이중루프 방식을 선택하고 기준루프에서는 저 위상잡음의 전압제어발진기를 사용하고 최적화된 루프 대역폭을 결정하여 주파수 변화와 함께 저 위상잡음을 갖게 한다. 그리고 이중 위상 잡음 특성에 큰 영향을 미치는 메인 루프에는 위상 검출기(Phase Detector)로 수 GHz대역에서 직접 위상비교가 가능한 SPD(Sampling Phase Detector)를 사용해서 분주기를 없애고 동축형 공진기를 이용한 고안정, 저 위상잡음의 전압제어 발진기를 사용하여 저 위상잡음의 주파수합성기를 구현하고자 한다.

II. 주파수합성기의 이론

1. PLL을 이용한 주파수합성기의 원리^[2-6]

PLL을 이용한 주파수 합성기는 그림 1과 같이 위상검출기(PD, Phase Detector), 분주기(Divider), 루프 필터(LF, Loop Filter), 전압제어 발진기(VCO, Voltage Controlled Oscillator)로 이루어져 있고 분주기의 분주비(N)를 낮추기 위해서 혼합기등을 사용하는 경우가 있다. PLL의 동작원리는 위상 검출

기에서 기준주파수(f_r)신호의 위상(θ_r)과 전압제어발진기 출력주파수(f_o)신호의 분주된 신호의 위상(θ_o)을 비교해서 그 위상의 차에 비례하는 전압이 발생하고 이 전압은 루프필터를 통해서 고조파성분은 제거 되고 전압 제어 발진기로 들어가 출력 주파수를 조정하게 된다. 출력 주파수가 가변되다가 기준 주파수와 전압제어 발진기 출력의 주파수가 같아지게 되면 일정한 위상차를 유지하게 되므로 위상 검출기로부터 발생된 직류전압이 전압제어발진기로 들어가 출력 주파수가 고정되게 된다. 이것을 두 신호의 위상이 동기 되었다고 한다.

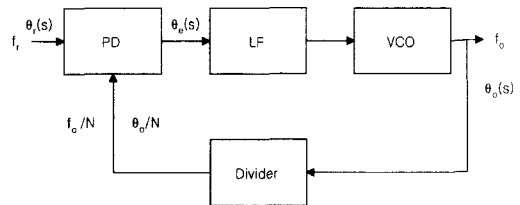


그림 1. PLL 주파수 합성기의 기본 구조

출력이 기준 주파수에 동기가 되었을 때 다음 식과 같이 출력 주파수가 결정된다.

$$f_o = f_r N \tag{1}$$

그러므로 분주비를 다르게 함으로서 출력주파수를 쉽게 변화시킬 수 있다.

PLL을 이용한 주파수합성기에서 위상검출기는 사용가능 주파수와 위상비교범위가 전체 특성의 제한요소로 작용하고 전압제어발진기는 출력주파수의 범위가 전체 주파수합성기의 출력 주파수 범위를 결정하며 위상잡음이나 고조파 특성등 자체 특성이 전체 주파수합성기의 특성에 큰 영향을 미친다. 분주비는 위상검출기의 사용가능 주파수와 기준주파수, 그리고 전압제어 발진기의 출력주파수에 의해서 결정된다. 특히 루프필터는 고조파성분의 제거 외에 동기시간, 위상잡음, 주파수 합성기의 안정도 등과 밀접한 관계가 있는 블록으로 주파수 합성기의 특성에 많은 영향을 미친다.

2. PLL을 이용한 주파수합성기의 위상잡음

^{[2][3][5][6]}

PLL을 이용한 주파수 합성기의 주된 잡음원은 기준주파수 신호의 위상잡음과 전압제어발진기의 위상잡음, 그리고 위상검출기의 잡음등 세 가지로 구

분되어진다.

이러한 잡음원들에 의해서 출력에 나타나는 위상 잡음들의 분포는 루프 대역폭에 따라서 다르게 나타나게 된다. 기준주파수와 전압제어 발진기의 위상 잡음은 주파수에 반비례하는 형태로 나타나고 기준 주파수는 발진기는 수정진동자와 같은 고안정의 공진기를 사용한 발진기형태를 사용함으로써 전압제어발진기의 위상잡음보다 우수한 특성을 얻는다. 위상검출기의 위상잡음은 주파수에 대해서 평탄한 특성을 나타내고 그 양은 작은 값이나 루프 대역폭 내에서는 분주비 만큼 체배된 위상잡음을 가지므로 무시할 수 없다. 그림2에서와 같이 전체 주파수합성기의 위상잡음을 신호주파수에 대한 일정 offset주파수를 따라서 살펴보면 신호주파수 근처에서는 기준주파수의 위상잡음에 영향을 받고 루프 대역폭 내에서는 위상검출기의 특성에 영향을 받으며 루프 대역폭 밖에서는 전압제어 발진기의 위상잡음에 주로 영향을 받게 된다.^[7] 여기서 루프대역폭은 PLL의 위상 전달함수중 개루프 전달함수의 단위이득 대역폭을 나타낸다.

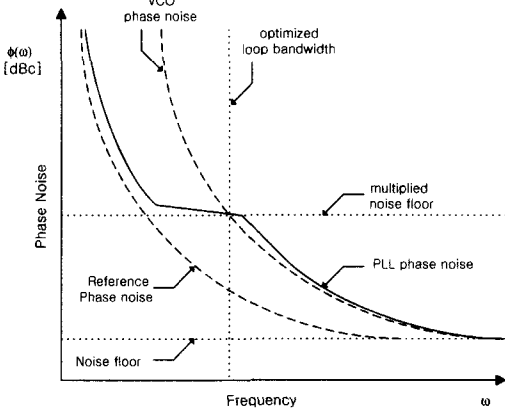


그림 2. 루프 대역폭과 PLL을 이용한 주파수합성기의 위상 잡음의 관계

위상잡음의 측면에서 볼 때 가장 최적화된 루프 대역폭은 전압제어발진기의 위상잡음과 위상검출기의 분주비 만큼 체배된 잡음층(Noise floor)이 같아지는 주파수를 대역폭으로 잡는 것이다. 하지만 이러한 루프 대역폭은 동기시간에도 영향을 미치므로 위상잡음과 동기시간을 서로 고려해서 가장 적당한 대역폭을 선정하는 것이 중요하다. 그림 3은 주파수 합성기의 잡음원에 따른 출력의 위상 잡음을 계산하기 위한 모델이다. 여기에서 ϕ_{Nf} 은 기준

주파수의 출력 위상잡음을 나타내고 $\phi_{N\theta}$ 과 ϕ_{Nv} 는 위상검출기의 위상잡음과 전압 제어 발진기의 출력 위상 잡음을 각각 나타낸다. 그리고 $K_d[V \cdot s/rad]$ 는 위상검출기의 이득을 나타내고 $K_v/s[Hz/V]$ 는 전압 제어발진기의 이득을 나타내며 $F(s)$ 는 루프필터의 전달함수를 나타낸다. 각각의 잡음원을 입력으로 하고 최종 출력단에서 총 위상잡음(ϕ)을 PLL의 위상 전달함수를 이용해서 나타내면 다음과 같다.

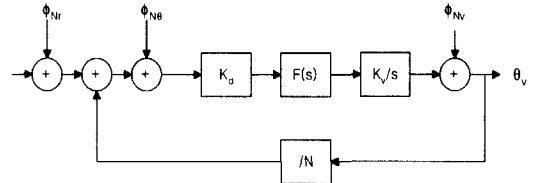


그림 3. PLL 주파수 합성기의 위상잡음 모델

$$\phi = \left[\phi_{Nf}^2 \left(\frac{[K_d K_v F(s)/s]}{1 + K_d K_v F(s)/Ns} \right)^2 + \phi_{N\theta}^2 \left(\frac{[K_d K_v F(s)/s]}{1 + K_d K_v F(s)/Ns} \right)^2 + \frac{\phi_{Nv}^2}{(1 + K_d K_v F(s)/Ns)^2} \right]^{\frac{1}{2}} \quad (2)$$

식 (2)에서 보는 것과 같이 위상잡음을 개선하기 위해서는 저 위상잡음의 기준주파수와 전압제어발진기를 사용하고 가능하면 분주비를 낮게 사용해야 하며 회로의 개루프 이득을 크게 함으로서 위상잡음을 개선시킬 수 있다. 또 최적화된 루프대역폭보다 크게 루프 대역폭이 결정될 경우에는 루프의 대역폭이 작을수록 위상잡음이 좋아지는 것을 알 수 있다.

III. 저 위상잡음 이중루프 PLL 주파수 합성기의 설계

IMT-2000에서는 사용되는 대역은 기존의 통신대역에 비해 상당히 넓은 대역으로, 광대역에서 사용할 수 있는 주파수합성기를 구현할 때 전압제어발진기에서 Q값이 큰 공진기의 사용이 어려우므로 위상잡음특성이 떨어지게 된다. 또 단일 루프방식의 주파수합성기에서는 불가피한 높은 분주비의 사용과 동기시간의 제한으로 인한 루프 대역폭의 한계 때문에 위상잡음의 개선에는 한계가 있다. 따라서 본 논문에서는 기존의 디지털 간접 방식의 PLL과 간단한 형태의 아날로그 간접방식의 PLL을 결합함으

로서 위상잡음의 특성을 개선 시키고자하였다.

이를 위해서 그림 4에서와 같이 기준주파수와 주파수 변화를 조절하는 디지털 간접방식의 기준루프(Reference loop) 와 저 위상잡음의 안정된 출력 신호를 합성하는 아날로그 간접방식의 메인 루프(Main loop) 의 두 개의 루프로 구성하였다.

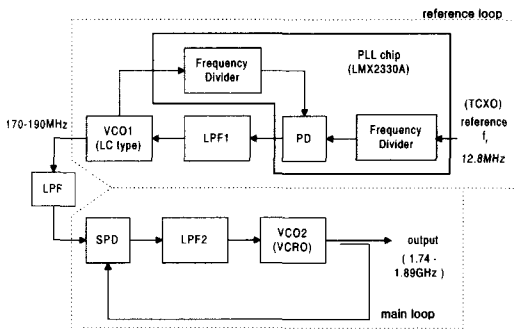


그림 4. 이중 루프 PLL 주파수 합성기

기준 루프에서 180MHz대의 낮은 주파수를 사용함으로써 분주비를 낮춤과 동시에 저위상잡음의 전압제어 발진기와 루프대역폭의 최적화로 안정되고 저위상잡음의 기준주파수를 만들고 메인 루프에서는 위상잡음 특성을 최적화하기 위해서 위상검출기로 GHz대에서 직접 위상비교가 가능한 SPD를 사용함으로써 분주기의 사용을 없애고 루프 필터의 이득을 갖게 해서 위상검출기의 이득을 높이고 전압 대 출력주파수의 비가 큰 전압제어 발진기를 설계함으로써 개루프의 이득을 높였다.

표 1은 제안된 이중루프 PLL를 이용한 주파수합성기의 설계사양이다.

표 1. 이중루프 PLL 주파수 합성기의 설계사양

Characteristic	Spec
Tuning range	1.74GHz - 1.885GHz (reference loop: 174-188.5MHz)
Output power	≥ 10dBm
Phase noise	≤ -120dBc
Lock time	≤ 3ms
Harmonic	≤ -15dB
Frequency spacing	200kHz (reference loop : 20kHz)

2. 전압제어 발진기의 설계

전압제어 발진기는 입력 전압에 비례하는 출력 주파수를 만드는 소자로 PLL에서 실질적으로 출력 주파수를 결정하게 된다. 전압제어 발진기의 주요사양으로서 우선 조정 전압(tuning voltage)에 따른 발진 주파수의 대역폭이 문제시되고 PLL의 루프 대역폭 밖에서는 전체 위상 잡음이 전압제어 발진기의 영향을 받으므로 또한 중요한 문제가 된다. 그리고 전압제어 발진기의 출력이 나뉘어져서 일부는 분주기로 가고 주파수합성기가 국부 발진기로 사용될 경우 혼합기(mixer)로 인가되는데 이들이 제대로 동작하기 위한 최소 RF입력 크기가 발진 출력 전력의 결정 사양이 된다.^{[8][9][10]}

RF 발진기는 크게 CR형 발진기와 LC형 발진기로 나누는데 LC형 발진기는 그 형태에 따라서 하틀리형, 콜피츠형, 클램프형이 있다. 이 중에서 클램프형은 베이스 이미터, 어스 간에 C를 넣고 이 C를 공진주파수를 결정하는 C값보다 큰 값으로 함으로서 트랜지스터의 각 파라미터에 대한 영향을 받기가 어렵게 함으로서 주파수 안정도를 향상시킬 수 있다.^[9] 그러므로 본 논문에서는 전압제어 발진기로 발진 주파수의 안정도가 뛰어나며 LC 공진회로와 능동소자의 결합을 저하함으로써 트랜지스터 파라미터값의 변화에 따른 발진 주파수의 변화가 적어서 RF VCO용으로 많이 사용되고 있는 변형 클램프 방식으로 설계하였고 주파수 변화를 위해서 바랙터(Varactor)를 사용하였다. 그림 5는 변형클램프 형태의 공진부와 트랜지스터를 포함한 증폭부를 나타낸다. 경계에서 공진부의 반사계수와 입력 임피던스를 Γ_L, Z_L 로 나타내고 능동부의 반사계수와 입력 임피던스를 Γ_{in}, Z_{in} 으로 나타내면 발진조건은 식(3)과 같이 나타나고 발진 위상조건으로부터 공진주파수를 구하면 식(4)와 같다.^[10-12]

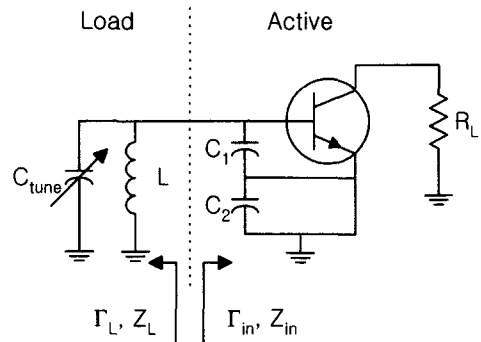


그림 5. 변형 클램프 발진기 회로

$$\Gamma_L(j\omega)\Gamma_{IN}(j\omega) = 1, Z_{in}(\omega) + Z_L(\omega) = 0 \quad (3)$$

$$f_o = \frac{1}{2\pi\sqrt{L(C_1C_2/(C_1 + C_2) + C_{tune})}} \quad (4)$$

그림 6은 기준 루프에 사용될 전압 제어 발진기의 회로도이다. 이미터 귀환용으로 커패시터 C1, C2를 이용하고 발진 주파수는 바랙터(Ctune)의 용량에 의해서 결정되도록 한다. 넓은 대역에 선형성을 보상하기 위해서 3개의 바랙터를 병렬로 연결하고 높은 fT와 저잡음 특성을 갖는 트랜지스터를 선정해서 기생용량의 영향을 줄였다.

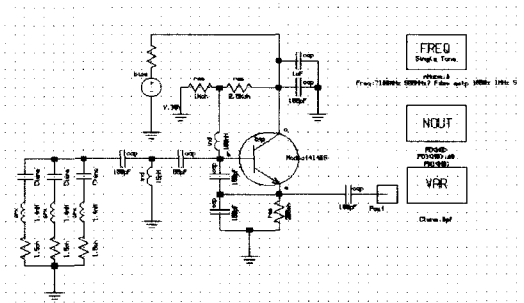
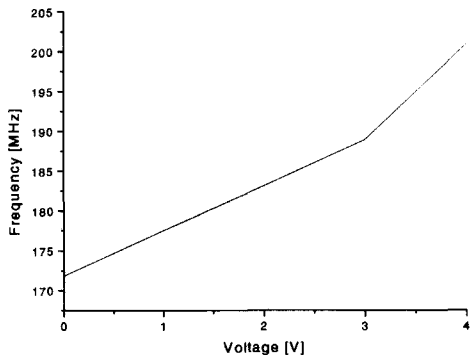


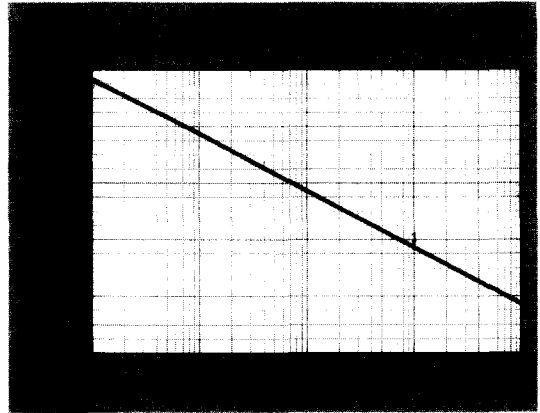
그림 6. 기준루프 전압 제어 발진기의 회로도

그림 7은 설계된 전압제어 발진기의 전압에 따른 주파수의 변화와 위상 잡음 특성의 시뮬레이션 결과를 나타낸다. 0.5V에서 3.2V까지에서 원하는 주파수범위가 나타남을 알 수 있고 위상잡음은 180MHz에서 시뮬레이션 값은 100kHz offset에서 -122.51dBc/Hz의 저 위상잡음을 나타냈다.

메인 루프에서는 전체 주파수 합성기의 위상잡음 특성이 루프 대역폭 밖에서는 전압제어 발진기의 특성을 다르므로 전압 제어 발진기의 위상 잡음 특



(a)



(b)

그림 7. 기준 루프 전압 제어 발진기의 특성 (a) 제어 전압에 대한 출력 주파수 (b) 위상잡음 특성

성이 중요하다. 그래서 2GHz 대역에서 가장 일반적으로 사용되고 저 위상 잡음 특성을 가지는 λ/4 동축형 유전체 공진기를 이용한 변형 클램프형태의 전압 제어 발진기를 설계하였다. L대신 동축형 유전체 공진기를 전압 제어 발진기에 사용할 경우 유전체 공진기의 자기 공진 주파수(f_{SRF})보다 낮은 일정 주파수 범위에서 Q값이 매우 큰 이상적인 인덕터로 동작을 하므로 고 안정, 저 위상잡음의 발진 주파수를 만들어 낸다.^[13] 그림 8은 동축형 유전체 공진기의 외관과 자기 공진 주파수에서의 등가회로이다.

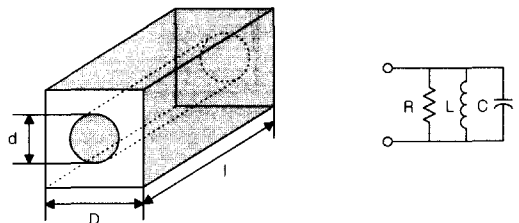


그림 8. 동축형 유전체 공진기의 외관과 등가회로

Characteristic impedance

$$Z_o = \frac{138}{\sqrt{\epsilon_r}} \log\left(1.0787 \frac{D}{d}\right)$$

$$C = \frac{1}{8 f_{SRF} Z_o}, L = \frac{1}{2\pi f_{SRF} C}, R = \frac{Q}{2\pi f_{SRF} C}$$

where Q is Quality factor of a resonator

동축형 유전체 공진기의 입력 임피던스를 구함으로서 주파수에 따른 L값을 계산할 수 있다. 입력임

피던스 Z_{input} 은 식 (5)로부터 구할 수 있다.

$$Z_{input} = Z_0 \tan\left(\frac{2\pi l}{\lambda_g}\right) \quad (5)$$

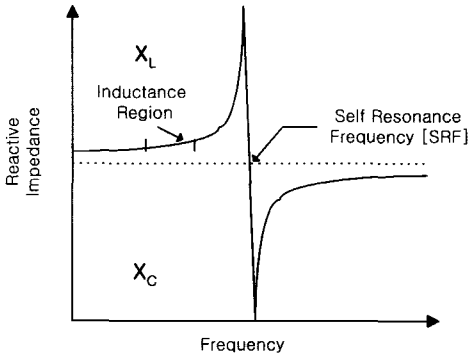
λ_g 는 주파수가 자기공진 주파수일 때 공진기내에서의 파장을 나타내고 다음과 같이 나타낸다.

$$\lambda_g = \frac{11803}{f_{SRF} \sqrt{\epsilon_r}} \quad (6)$$

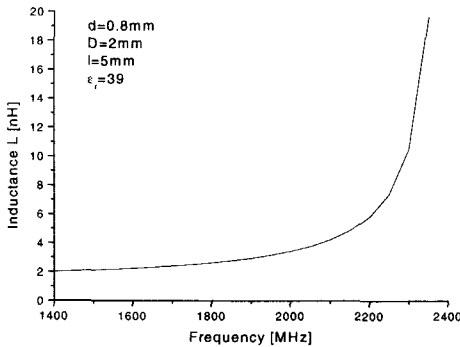
인덕터의 임피던스 값이 $Z = j\omega L$ 이므로 구하는 인덕턴스 값은 식(7)과 같다.

$$L = \frac{Z_{input}}{\omega} \quad (7)$$

그림 9에서 (a)는 주파수에 따른 동축형 유전체 공진기에서의 임피던스 값을 나타내고 (b) 실제 사용된 동축형 유전체 공진기의 L값을 나타낸다. 이 L 값을 사용해서 발진 주파수에 맞게 회로의 등가적인 C값을 결정하여 각 소자의 값을 결정하였으며 그림 10은 설계한 발진기 회로도라 시뮬레이션 결과이다.

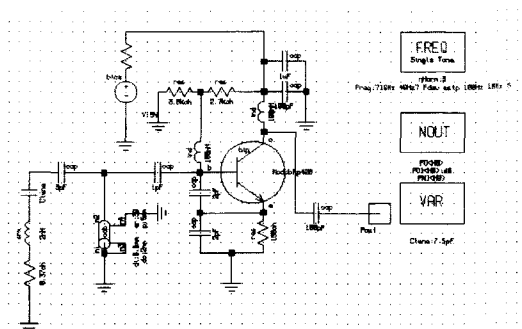


(a)

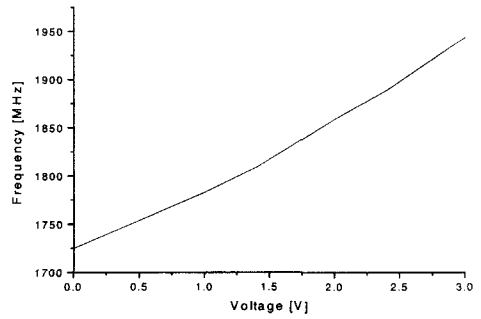


(b)

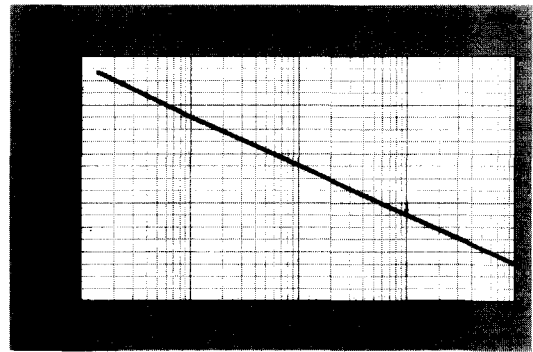
그림 9. 동축형 공진기의 임피던스 (a) 유전체 공진기의 리액턴스 (b) 주파수에 따른 L 값



(a)



(b)



(c)

그림 10. 동축형 공진기 발진기 (a) 발진기의 회로도(b) 제어전압에 따른 출력 주파수(c) 위상잡음 특성

2. SPD의 설계

메인 루프의 위상 검출기는 수 GHz에서 수십 GHz까지 직접 위상비교가 가능한 SPD로 이는 입력 기준 주파수의 고조파 성분을 만들어 내는 SRD (Step Recovery Diode)를 이용한 고조파 생성부와 다이오드를 이용한 스위칭 소자로 구성되어 있다. SPD로 PLL을 구성할 경우에 광대역에 사용이 가능하고 분주기가 필요 없으므로 간단한 형태로 구성할 수 있으며 높은 주파수까지 사용이 가능하다.^{[14][15]}

그림 11은 위상 검출기의 설계 회로도이다. SPD의 추가적인 소자로 입력에는 고조파 생성부의 SRD와 정합을 이루고 180°의 위상 변화를 위해서 트랜스포머가 사용되고 고조파 생성부의 좁은 펄스를 만들기 위한 구동 인덕터가 있다.

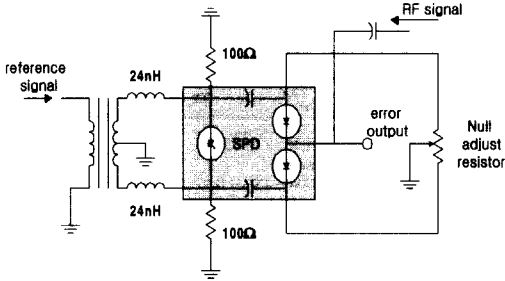


그림 11. SPD의 회로도

구동 인덕턴스는 다음 식 (18)에 의해서 결정된다.

$$L = \left(\frac{t_p}{\pi}\right)^2 \times \frac{1}{C_r} \quad (8)$$

여기에서 t_p 는 고조파 발생부의 펄스 폭이고 C_r 은 SPD 내부의 SRD의 정합 커패시턴스이다. 본 논문에서는 사용 주파수를 고려해서 SPD로 Alpha사의 SPD 3471-12을 선택하였고 구동 인덕턴스는 선택된 소자와 펄스폭에서 $L = 24nH$ 가 된다.

3. 이중루프 PLL을 이용한 주파수합성기의 위상잡음 특성

그림 12는 제안된 구조의 전체 위상잡음 모델을 나타내고 있다. 여기에서 ψ_1 과 ψ_3 은 기준루프와 메인루프의 위상검출기의 위상잡음이고 ψ_2 와 ψ_4 는 각 루프의 전압제어 발진기의 위상잡음을 나타

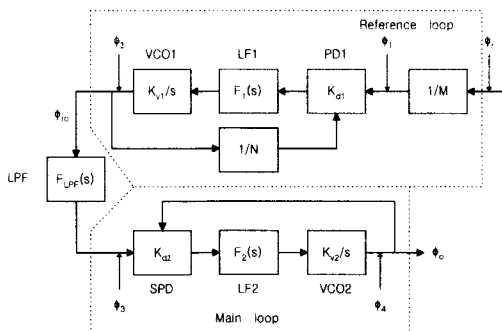


그림 12. 이중 루프 PLL 주파수 합성기의 위상잡음 모델

낸다. 그리고 ψ_{ro} 는 기준루프의 총 위상잡음 출력이다.

5개의 주 잡음원에 대한 잡음 모델로 단순화하였고 기준루프의 총 출력 위상잡음을 메인 루프의 기준주파수 위상잡음으로 하였으며 식(2)를 이용해서 전체 위상 잡음을 구하면 식 (9)와 같다.

$$\psi_o = \sqrt{A+B+C}$$

where

$$A = \left(\frac{K_{v2}K_{d2}F_2(s)F_{LPF}(s)}{s + K_{v2}K_{d2}F_2(s)}\right)^2 \psi_{r2}^2$$

$$B = \left(\frac{K_{v2}K_{d2}F_2(s)}{s + K_{v2}K_{d2}F_2(s)}\right)^2 \psi_3^2$$

$$C = \left(\frac{1}{s + K_{v2}K_{d2}F_2(s)}\right)^2 \psi_4^2$$

$$\psi_{ro} = \sqrt{D+E} \quad (9)$$

where

$$D = \left(\frac{NK_{v1}K_{d1}F_1(s)}{Ns + K_{v1}K_{d1}F_1(s)}\right)^2 (\psi_r^2 + \psi_1^2)$$

$$E = \left(\frac{N}{Ns + K_{v1}K_{d1}F_1(s)}\right)^2 \psi_2^2$$

설계된 전압제어 발진기와 위상검출기를 바탕으로 하고 기준루프의 루프 대역폭은 최적화된 루프 대역폭인 1kHz로 하고 메인 루프의 루프 대역폭은 기준주파수와 비교주파수를 고려해서 10kHz로 하였다. 그림 16은 제안된 이중루프 PLL 주파수합성기의 최종 출력위상잡음의 시뮬레이션 결과이다. 최종 시뮬레이션 결과 이중루프 PLL 주파수 합성기의 위상 잡음은 100kHz offset에서 -123.8dBc/Hz의 저 위상잡음의 특성을 나타냄을 알 수 있다

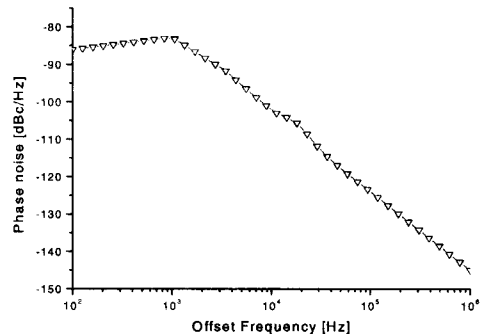


그림 13. 이중 루프 PLL 주파수 합성기의 위상잡음 시뮬레이션 결과

IV. 이중루프 PLL 주파수합성기의 제작, 측정

본 논문에서는 IMT-2000 대역에서 송수신단의 국부발진기로 사용할 수 있는 주파수 합성기를 송신, 수신대역에서 모두 사용 가능한 주파수 1740 - 1890MHz로 선택하여 기판은 비유전율이 3.25인 20mil 두께의 Duroid 기판을 사용해서 설계하였다. 그림 14는 실제 제작된 주파수합성기의 실물 사진이다.

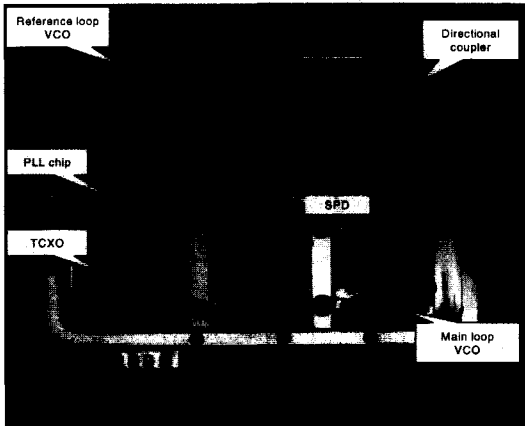


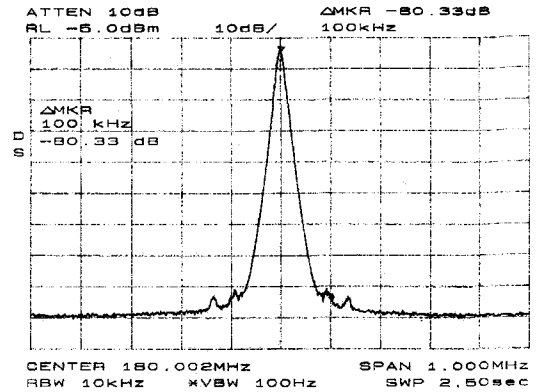
그림 14. 실제 제작된 주파수합성기의 치구

본 논문에서 제작된 기준루프의 전압제어 발진기는 FT가 6000MHz이고 저잡음 특성을 갖는 HP사의 AT41435 트랜지스터를 이용하였고 바랙터는 Siemens사의 BB835를 이용하여 변형 클램프형태의 LC type 발진기를 제작하였다. 중심주파수가 182MHz이고 0V에서 3.5V까지의 조정 전압에 대역폭은 20MHz이며 출력 전력은 -5dBm에 대역폭 내에서 ± 0.5 dB의 변화를 보였다. 그리고 -120dBc/Hz의 위상잡음 특성을 나타내었다. 또 부하에 대한 변동을 줄이고 메인 루프의 위상 검출기인 SPD를 구동하기 위해서 17dBm 정도의 출력이 필요한데 이를 얻기 위해서 같은 AT41435를 사용해서 VHF용 증폭기를 출력단에 사용하였다.

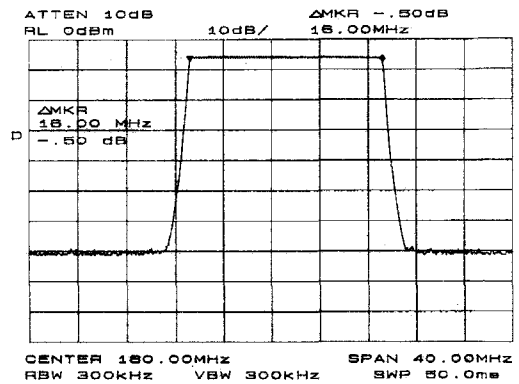
그림 15는 기준 루프의 전압제어 발진기의 가변 범위와 위상잡음을 나타낸다.

기준 루프에는 National Semiconductor사의 LMX2330A를 이용해서 PLL을 구성하였고 주파수의 변화를 PC를 통해서 제어를 했다. 그리고 기준 주파수는 12.8MHz TCXO를 사용하였다.

메인 루프의 전압제어 발진기는 Siemens사의



(a)

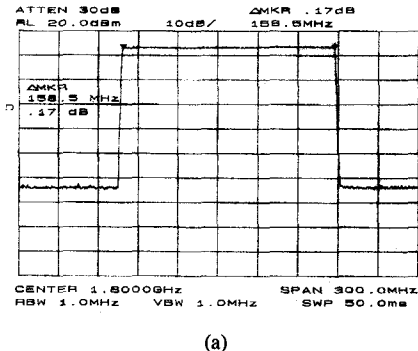


(b)

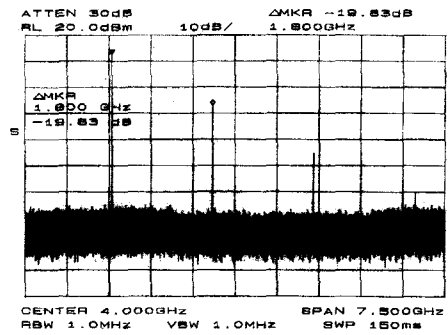
그림 15. 기준루프의 전압제어 발진기 특성 (a) 위상 잡음 특성 (b) 주파수 가변 범위

BFP 520 트랜지스터와 BBY550 바랙터를 사용하였고 공간기는 transtech의 $\lambda/4$ 동축형 공간기를 사용하였다. 또 부하의 영향을 줄이기 위해서 전압 제어 발진기의 출력에 Buffer Amp를 사용하였다. 중심주파수가 1.82GHz이고 가변 전압은 0V에서 3V까지로 대역이 160MHz이며 출력 전력은 15dBm에 대역내에서 ± 1 dB의 변화를 보였다. 위상잡음 특성은 100kHz offset에서 -119dBc/Hz로 우수한 특성을 나타내었다. 그림 16은 메인 루프의 전압제어 발진기의 가변범위와 위상잡음 특성을 나타낸다.

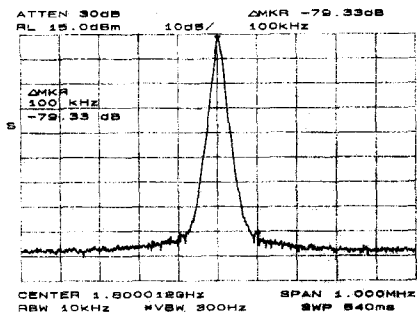
그림 17은 주파수 합성기의 여러 출력특성들을 나타낸다. 제작된 전체 주파수합성기의 최종 출력특성을 보면 출력전력은 13dBm이고 위상잡음 특성은 100kHz offset에서 -119.33dBc/Hz, 10MHz가변시 동기시간이 2.645ms이며 고조파 특성은 19.83dBc로 저위상잡음특성을 나타내고 설계시양을 만족함을 알 수 있다.



(a)



(c)



(b)

그림 17. 이중 루프 PLL 주파수합성기의 출력 특성 (a) 위상잡음 특성 (b)동기시간 (c)고조파특성

V. 결론

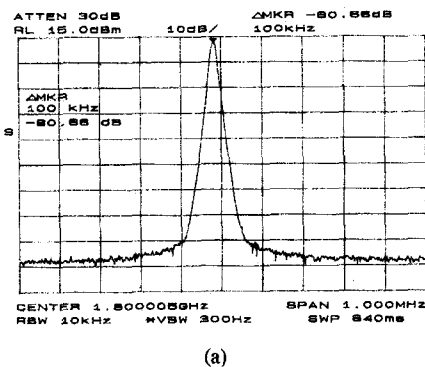
본 논문에서는 이중 루프 PLL을 이용한 저 위상 잡음의 주파수 합성기를 설계 및 제작을 하였다.

저 위상 잡음의 특성을 얻기 위해서 주파수 합성기를 기준루프와 메인 루프의 두 개 루프로 나누어서 사용하고 기준 루프에서는 LC형태의 변형 클램프방식의 전압제어 발진기를 사용함과 동시에 루프 대역폭을 조절해서 위상잡음 특성을 최적화하였다. 그리고 메인 루프에는 위상잡음 특성을 좋게 하기 위해서 $\lambda/4$ 동축형 공진기를 이용한 전압제어 발진기를 사용하였고 위상검출기로 수 GHz대역에서 직접 위상비교가 가능한 SPD를 사용해서 분주기의 사용을 없애고 구조를 단순화하였으며 루프 필터에 증폭기를 사용함으로써 개루프의 이득을 높였다.

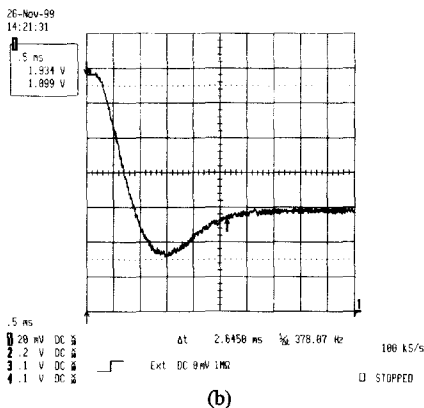
제작된 이중 루프 PLL 주파수 합성기는 중심주파수 1.81GHz이고 가변범위가 158.5MHz, 출력전력은 13.5dBm이며 위상잡음이 -120.66dBc/Hz 인 저 위상잡음의 특성을 얻었다. 이렇게 이중루프 PLL을 사용함으로써 기존의 이동 통신 시스템의 좁은 대역에서 사용되던 주파수합성기의 비해서 상당히 넓어진 대역에서도 같은 저 위상잡음 특성을 얻을 수 있었다. 이중루프 PLL 주파수합성기는 IMT-2000용 송, 수신부의 국부 발진기로 사용가능하고 제안된 이중 루프 PLL 구조는 메인 루프에 위상 검출기로 SPD를 사용함으로써 위상잡음에 큰 영향을 미치는 분주기를 사용하지 않으므로 광대역 특성을 갖는 다른 통신대역에서도 저 위상 잡음 특성을 위해서 사용되어질 수 있다.

제작된 이중루프 PLL 주파수합성기의 동기시간이 다소 느린 점이 있으므로 이를 개선하기 위해서

그림 16. 메인 루프 전압제어발진기의 특성 (a)주파수 가변 범위 (b) 위상잡음 특성



(a)



(b)

기준 루프에 빠른 동기시간을 위한 부가적인 스위칭 회로를 부가하고 메인 루프에 선 제어회로를 사용함으로써 저 위상잡음과 함께 빠른 동기시간을 가지는 주파수합성기를 구현할 수 있을 것이다.

참고 문헌

- [1] Richard D. Carsello et al, "IMT- 2000 standards", *IEEE Personal Communication*, August 1997
- [2] Ulrich L. Rohde, *Digital PLL Frequency Synthesizer*, Prentice Hall , 1983
- [3] Manassewitsh, *Frequency Synthesizer theory and designs*, John Wiely and sons. 1987
- [4] Crawford, *Frequency Synthesizer Design Handbook*, Artech house, 1994
- [5] Wolaver, *Phase Locked Loop Circuit Design*, Prentice Hall, 1991
- [6] Roland E. Best, *Phase-locked Loop*, McGraw Hill, 1984
- [7] Jianyi Zhou, "A simple Method to Design Phase-Locked LOs for CDMA Mobile Communications System Using CAD Tools", *Microwave journal* pp. 88-94, July 1998
- [8] Randall W. rhea, *Oscillator design and Computer Simulation*, Prentice Hall, 1990
- [9] Eric Holzman, *Solid-state microwave power oscillator design*, Artec house, 1992
- [10] Guillermo Gonzalez, *Microwave Transistor Amplifiers*, Prentice Hall, 1984
- [11] Inder Bahl, *Microwave soild state circuit design*, John Wiely and sons , 1988
- [12] Stephen A. Mass, *Nonlinear microwave circuits*, Artec house, 1988
- [13] Danny I. Polidi, "Design Method for coaxial-resonator oscillator", *RF design*, pp. 66-68, Oct 1995
- [14] H Brauns, "First fully CAE of K-band sampling phase detector using periodic steady state analysis and sophisticated SRD modelling", *26th EuMC*, pp. 973-976, September 1996
- [15] Stephen Hamilton, "Shunt-mode harmonic generation using step recovery diodes", *The Microwave Journal*, pp. 69-78, April 1967

김 광 선(Kwang-Seon Kim)

정회원



1998년 2월 : 경북대학교
전자공학과 졸업
2000년 2월 : 경북대학교
전자공학과 석사
2000년 4월~현재 :
한국전자통신연구원

<주관심 분야> 전파공학, 마이크로파 회로 설계, PLL 등

최 현 철(Hyun-Chul Choi)

정회원



1982년 2월 : 경북대학교
전자공학과 졸업
1984년 2월 : 한국과학기술원
전기 및 전자공학과 석사
1989년 2월 : 한국과학기술원
전기 및 전자공학과 박사
1990년 3월~현재 : 경북대학교
전자전기컴퓨터학부 교수

<주관심 분야> 전파전파 및 역산란해석, 초고주파 회로 및 시스템 설계, EMI/EMC 등