

오디오 무선전송을 위한 TCM 모뎀의 Viterbi 디코더 설계

정희원 김성진*, 정희석**, 이호웅***, 강철호**

Viterbi Decoder Design of TCM Modem for Audio Wireless Transmission

Sung-Jin Kim*, Heui-Suck Chung**, Ho-Woong Lee***, Chul-Ho Kang** *Regular Members*

요 약

제출된 논문에서는 고음질의 오디오 신호를 전송하는 무선 모뎀의 수신부에서 TCM 복호화에 사용되는 Viterbi 디코더를 VHDL을 이용하여 설계하고 FPGA를 이용하여 구현하였다. 이 논문에서는 TCM 부호화와 복호화 과정을 간단히 설명한 후 부호화기와 복호화기를 FPGA로 구현한 다음 PC 상에서 채널의 영향을 재현하여 신호 대 잡음비(E_b/N_0) 변화에 따른 시스템의 비트에러율 성능을 제시하고 있다.

ABSTRACT

In this paper, the Viterbi decoder which is used for TCM decoding in wireless modem system under transmission of audio data for the high quality sound is designed by VHDL and implemented by FPGA. After making short explanation about TCM encoding and decoding, I show the effect of channel in computer by using encoder and decoder implemented in FPGA and the bit error rate according to change rate of E_b/N_0 .

I. 서 론

TCM(Trellis Coded Modulation)은 대역폭과 전력이 제한된 채널환경에서 채널부호화 기술과 변조 기술을 결합시켜 대역폭의 증가없이 에러정정 능력을 개선시키는 통신기술이다^[1-3]. TCM의 복호 알고리즘으로는 확실적인 최적의 경로추적 알고리즘인 Viterbi 알고리즘을 적용하였으며 Viterbi 복호 알고리즘은 초기에는 구속장이 $K= 6, 7$ 정도까지 개발되었으나 설계 기술과 반도체 기술의 발전에 힘입어 최근 구속장이 큰 것($K=9$) 까지도 개발되었다.

Viterbi 디코더는 BM(Branch Metric)부, ACS(Add Compare Select)부, TB(Traceback)부 등 주요 3개의 모듈로 구성된다^[4]. ACS 모듈은 Viterbi 디코더의 심장부로서 많은 계산을 반복해야 하는

부분으로 Viterbi 디코더의 고속화에 걸림돌이 되는 소위 병목에 해당된다. 이러한 병목 현상을 해결하기 위하여 다수의 ACS 모듈을 채용한 병렬 경로 계산 방법들이 제안되고 있으며 병렬화의 정도는 구체적인 응용 분야에서 요구되는 동작 속도에 따라 달라진다.

본 논문에서는 TCM 변복조기술을 이용하여 고음질의 오디오신호를 무선으로 전송하기 위하여 무선모뎀시스템의 수신단에 필요한 Viterbi 디코더를 하드웨어로 구현하였다. 구현된 Viterbi 디코더는 실험결과 컴퓨터 모의 실험에서의 결과와 마찬가지로의 부호화 이득을 얻을 수 있음을 보여주고 있다. 본 논문은 다음과 같이 구성된다. II장에서는 길쌈 부호기와 Viterbi 복호 알고리즘에 대하여 살펴본다.

* 삼성탈레스(sjkim00@samsung.co.kr), ** 광운대학교 전자통신공학과, *** 동원대학 정보통신과(hwlee@dongwon.ac.kr)

논문번호 : 00306-0731, 접수일자 : 2000년 7월 31일

* 본 연구는 산업자원부 지원으로 수행되었습니다.

III장에서는 Viterbi 복호기의 설계를 그리고 IV장에서는 Viterbi 디코더의 하드웨어 구현과 실험을 통하여 성능을 분석한다. 마지막으로 V장에서는 결론을 맺도록 한다.

II. 본 론

1. 길쌈 부호화

길쌈 부호화는 k비트의 입력 데이터를 n비트의 심볼로 부호화하는 방법이며, 그 파라미터값은 (n, k, K)로 표현된다. 여기에서 K는 한 입력 데이터가 다음 심볼의 생성에 영향을 미치는 횟수로서 구속장(constraint length)이라 부르며, 길쌈부호의 성능과 Viterbi 디코더의 복잡도에 영향을 주는 주요 변수이다. 부호어(codeword)는 K-1 크기의 쉬프트 레지스터에 저장된 이전의 데이터와 현재 입력 데이터를 사전에 정의된 생성 다항식(generator polynomial)에 의해 구성된 이진 가산기를 통해 생성된다. 쉬프트 레지스터의 값은 상태(state)로 정의되며 구속장 K에 따라 2^{k-1} 가지가 존재한다. 길쌈 부호화는 시간에 따라 상태 천이를 나타내는 격자도(trellis diagram)로 표현할 수 있다. 그림 1은 (n, k, K) = (2, 1, 3)인 경우의 격자도로서 구속장이 3이며 (00, 01, 10, 11) 등의 상태가 있다. 입력 데이터는 1비트로서 이 값에 따라 출력되는 2비트의 부호어가 결정된다. 예로서 입력 데이터가 1인 경우 초기 상태를 00으로 가정할 때 출력 부호어는 00이며 상태 10으로 천이한다. 그림 1에서 상태 천이 경로상에 표시되는 값은 입력 데이터에 따라 생성된 부호어들을 나타내며 각 상태로 입력되는 천이 경로는 두 개가 존재한다. L비트 단위의 입력 데이터를 한 프레임으로 정의하면 쉬프트 레지스터의 내용에 따라 존재하는 가능한 전송 경로 즉 상태열, 또는 부호열의 가지수는 2L개다. 따라서 L이 클수록 수신측에서 최적의 전송 경로를 추정하는데 필요한 계산량이 기하급수적으로 늘어난다.

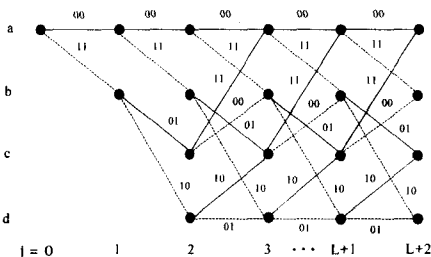


그림 1. (2, 1, 3)인 부호기의 격자도

2. Viterbi 복호 알고리즘

길쌈 부호의 복호 방식에는 여러 가지 방법이 있지만, 그 중에서도 성능이 우수한 Viterbi 알고리즘을 사용하는 것이 일반적이다. Viterbi 복호방식은 바로 채널을 통과한 수신 비트들에 대해 확률적으로 가장 근사한 경로를 선택하는 최대확률 복호화(Maximum Likelihood Decoding) 복호 방식이다⁵⁾. 단, 여러 정정 부호의 복호화에 사용되는 Viterbi 복호방식은 구속장의 길이가 짧은 길쌈부호에만 적용할 수 있다. 이는 구속장의 길이가 길어질수록 요구되는 메모리 양이 급격히 증가하기 때문에 실제적으로 구속장의 길이가 9이상인 경우에는 구현하기가 매우 어렵게 된다.

이와 같이 구속장 길이가 짧은 길쌈부호에서만 사용할 수 있는 한계성에도 불구하고 Viterbi 복호방식이 많이 사용되는 이유는 soft decision의 구현이 비교적 쉽고 hard decision과 하드웨어상 복잡도가 거의 유사하기 때문에 구현 측면에서 큰 이점을 가지고 있다. AWGN의 환경에서 soft decision을 수행한 Viterbi 복호는 hard decision에 비하여 약 2~3dB정도의 부호화 이득을 얻을 수 있다. Viterbi 복호방식은 매 단계마다 모든 경로들의 branch metric을 계산하여 최종적으로 가장 최적의 metric 값을 갖는 경로를 찾아내는 과정이므로 다른 복호 방식보다 복호시 지연이 생길 수 있고 그 지연이 길게 될 수 있다는 단점도 있지만, 어느정도의 복호 깊이(traceback depth)를 설정하여 부분적으로 복호화를 시켜서도 정보를 추출할 수 있고, 그 때의 traceback depth는 이론적으로는 무한대의 값이 가장 좋지만 실제적으로는 구속장 길이의 약 5~6배정도 이상을 규정하고 있다. Viterbi 복호방식의 가장 큰 문제점은 구속장의 길이가 길어짐에 따라 메모리 용량이 크게 증대되어 실제 구현시에 큰 어려움이 있기 때문에 이것을 적절하게 조절하는 과정이 필요하게 된다. 부호화는 k비트의 입력 데이터를 n비트의 심볼로 부호화하는 방법이며, 그 파라미터값은 (n, k, K)로 표현된다.

III. Viterbi 디코더의 설계

1. TCM 무선모델 전체시스템

전체 TCM 무선 모델의 규격은 CD 음질의 2채널(L-ch, R-ch) Stereo 특성에 준하고 있으며 그림 2는 전체 시스템 블록도를 나타낸다. 본 논문에서는

이러한 2채널의 무선 오디오 신호처리를 위한 TCM 무선 모뎀 시스템의 수신단에 위치한 Viterbi 디코더를 설계하였다.

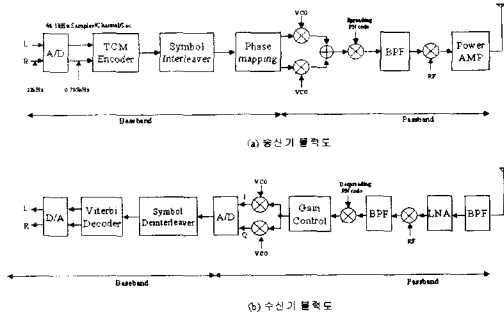


그림 2. TCM 무선 모뎀의 블록 다이어그램

2. 부호기(Encoder)

제안한 모델은 이론적으로 논의된 Ungerboeck Table^{[11][13]}에 의해 제작하였다. 여기에서는 시스템의 complexity와 speed를 고려하여 메모리가 3개이고 입력되는 정보비트가 2비트인 TCM encoder를 설계하였다. 그림 3은 Encoder의 전체 기능별 블록도를, 그림 4는 Convolutional Encoder를 나타내었다.

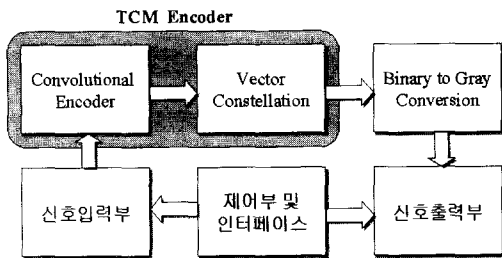


그림 3. Encoder의 기능별 블록도

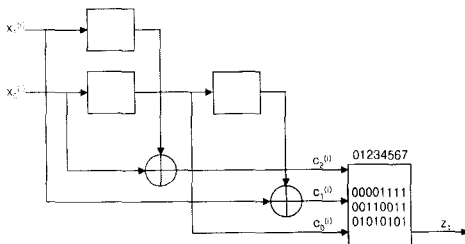


그림 4. Convolutional Encoder

3. Viterbi 디코더의 동작구조 및 특징

본 논문에서 제안한 TCM 모뎀에서의 복호기로는 확실적인 최적의 경로추정 알고리즘인 Viterbi decoding 알고리즘을 이용하고 있다. 본 연구에서

설계한 Viterbi 디코더는 고품질의 2채널 이상의 오디오 신호(705.6kbps) 처리를 목적으로 설계하였다.

Viterbi 디코더는 입력되는 데이터와 부호기에서 발생 가능한 부호어들의 거리값을 계산하는 BM(Branch Metric) 부와 BM 부에서 계산된 가지 값과 이전까지의 경로값으로 각 상태의 새로운 경로값을 계산하여 생존 경로를 결정하는 ACS(Add Compare Select) 부, 그리고 traceback memory에 저장된 생존 경로를 역추적 하여 부호기에서 발생한 정보를 복호하는 TB(traceback) 부 등 3개의 주요 블록으로 구성된다.

본 논문에서는 고품질의 2채널 이상의 고속의 데이터 처리를 위해서 ACS부를 병렬^[6]로 설계하였고, 또한 ACS부의 병렬화에 따라 결정되는 생존경로들을 데이터의 지연없이 동시에 저장할 수 있도록 traceback memory를 병렬로 설계하였다. 본 논문에서 설계된 Viterbi 디코더의 구조는 그림 5 에서와 같이 8-level soft decision되어 수신되는 데이터와 부호어와의 거리값을 계산하는 BM부, 생존 경로를 결정하는 8개의 병렬 ACS 부, 8개의 생존 경로를 저장하는 8개의 traceback memory, 복호되는 데이터의 순서를 바꾸어주는 출력부, 그리고 전체 Viterbi 디코더를 제어하는 제어부로 구성된다. 그림 5는 설계된 Viterbi 디코더의 전체 블록도를 나타내었다.

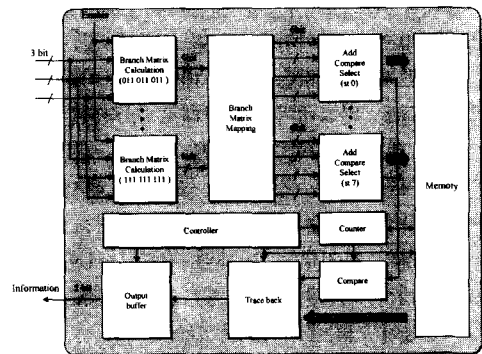


그림 5. Viterbi 디코더의 블록 다이어그램

IV. Viterbi decoder 하드웨어 제작 및 실험결과

본 논문에서 제안한 Viterbi 디코더의 설계는 VHDL^[7]을 이용한 top-down 방식^[8]으로 설계하였고, 동작 특성 및 성능분석은 VHDL 합성 툴인

Synopsys의 Design Compiler와 FPGA 시뮬레이션 툴인 MAX+plus II를 이용하였다^[9].

설계는 크게 전반부와 후반부 설계, 그리고 동작 검증 단계로 나뉜다. 전반부 설계 단계에서는 VHDL로 각 블록의 동작을 기술하고 Synopsys ver. 1998.08의 Design Compiler에서 합성(synthesis)한 후 netlist를 생성하였다. 후반부 설계 단계는 전반부에서 생성된 edf 형태의 netlist를 physical layout으로 만드는 과정이다. 이를 위해 synopsys에서 생성된 edf file을 FPGA(Field Programmable Gate Array) 시뮬레이터인 Max+plusII를 이용하여 검증을 하였다. 동작 검증 단계는 VHDL 수준의 상위 레벨 기능 검증(functional simulation)과 합성후 진행되는 게이트 레벨 타이밍 검증(gate level simulation)으로 구분한다. 각 블록의 설계 과정은 그림 6과 같다. Viterbi decoder는 컴퓨터 모의실험을 통해 얻은 결과를 기초로 하여 8레벨 soft decision 방식을 선택하여 구성하였다. 또한, constraint length를 고려하여 trellis depth가 50이 되도록 설정하였다. Viterbi decoder의 FPGA 설계에서는 Altera사의 FLEX 10K device를 이용하였고, 합성과정에서의 충분한 Logic cells 수를 고려하여 EPF10K70RC240-4를 사용하였다. Decoder의 hardware 제작과정 또한 Encoder board와 마찬가지로 EPC2LC20 EPROM interface를 이용하였다.

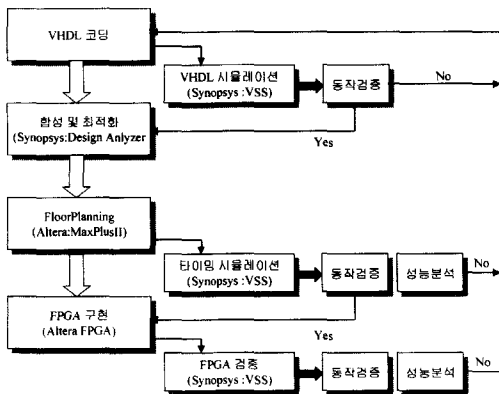


그림 6. Viterbi 디코더의 설계 흐름

제작된 Viterbi 디코더의 성능평가는 먼저 PC를 통해 10만개의 임의의 심볼(시뮬레이션 시간을 고려하여)을 random하게 발생시키고, 82C55A 마이크로 컨트롤러를 이용한 ISA 인터페이스 카드를 통해 TCM Encoder 보드로 송신한다. Altera사의 EPF10K20RC240-4 device로 FPGA 설계된 TCM

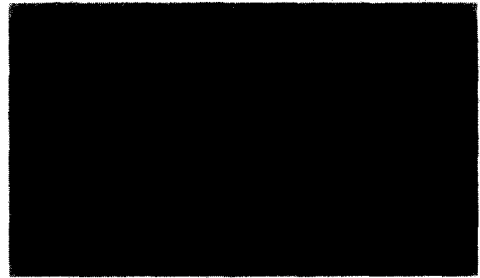


그림 7. Viterbi 디코더 하드웨어 구현 결과

Encoder에서는 수신한 심볼을 순차적으로 부호화하고 이를 PC로 재 전송한다. 여기서 PC는 AWGN 채널을 모델링한 것으로 PSK 변조된 송신 시퀀스를 각기 다른 Eb /N0 를 적용하여 수신기 모드로 동작하는 Viterbi Decoder 보드로 보내어진다. 양자 화레벨은 각 수신 비트에 따라 3개의 Multi-bit로 수신되는 8레벨 Soft Decision을 이용하였다.

제작된 Viterbi 디코더를 실험하기 위해 아날로그 회로부와 RF 회로부를 제외한 디지털 변복조단의 루프백 시험을 위해 요구되는 아날로그 및 RF 회로부의 역할을 PC 인터페이스 카드를 통해 PC로 대신하였으며, 또한 AWGN 채널 환경에서의 요구되는 Viterbi decoder의 성능분석을 위해 PC상에서의 C++ programming을 통해 채널 모델링하였다.

그림 8에서는 에뮬레이션 프로그램을 이용하여 하드웨어로 제작된 Soft Decision Viterbi Decoder 보드를 PC와 연동하여 실험한 결과를 보여준다. 본 실험에서는 PC 클럭에 따른 전체 지연시간을 고려하여 10만개의 심볼(20만개의 비트)을 임의로 발생시켜 Encoder Board로 전송하였고, 이를 통해 부호화된 출력을 PC로 업로딩하여 C++로 프로그래밍된 AWGN 채널을 적용하였다.

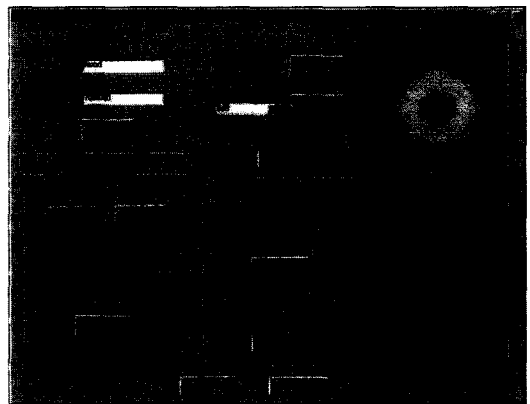


그림 8. 임의의 10만개 심볼에 대한 에뮬레이션 결과 윈도우

채널상에서는 PSK로 mapping된 각 심볼의 벡터 위상에 E_b/N_0 를 1[dB]에서 5[dB]까지 변화시켜가며 AWGN를 부가하였고, 이를 8레벨로 양자화한 심볼벡터열을 Decoder 보드로 전송하였다. Viterbi Decoder에서는 수신된 심볼벡터를 depth를 50으로 하여 각기 ML(Maximum Likelihood) 알고리즘에 따라 복호하였고, 각기 다르게 적용된 E_b/N_0 채널환경에 대한 복호출력을 PC로 전송하게되고 이는 PC상에서 임의로 발생된 10만개의 심볼과 비교되어 주어진 E_b/N_0 [dB] 환경에 대한 BER를 출력하게 된다. 그림8의 우측하단 윈도우에서는 본 실험에서 얻은 AWGN 채널상에서 수신된 심볼의 복호하여 얻은 BER 곡선을 나타내고 있다. 그림 8에서 보여주듯이 Uncoded QPSK의 경우 1.0E-05의 BER을 얻기위한 E_b/N_0 는 약 9.6[dB]의 수신전력을 요구하나 본 연구에서 사용한 TCM 모델의 부호화 이득 3.01[dB]와 8레벨 soft decision으로부터 얻게되는 약 2[dB]의 이득을 감안할 때 전체 약 5[dB]의 이득이 발생함을 잘 설명해 주고 있다. 표 1에서는 본 실험에서의 E_b/N_0 [dB]의 변화에 따른 BER을 나타낸 것이다.

표 1. E_b/N_0 [dB] 변화에 따른 비트에러율

E_b/N_0	임의의 20만개 비트에 대한 에러성능(BER)	임의의 200만개 비트에 대한 에러성능(BER)
1[dB]	0.007925	0.007531
2[dB]	0.001310	0.001392
3[dB]	0.000440	0.000368
4[dB]	0.000165	0.000080
5[dB]	0.000000	0.000013
6[dB]	0.000000	0.000000

V. 결론

본 논문에서는 오디오 신호의 무선전송을 위한 TCM 모델의 수신단에 필요한 Viterbi 디코더를 설계하였다. 고음질의 2채널 무선 오디오 신호(705,6kbps) 처리를 목적으로 Viterbi 디코더의 ACS 부와 traceback 메모리 블럭을 병렬로 설계하였으며 동작 및 수행절차를 분석하여 전체 사양 및 각 기능 모듈별 사양을 작성하였으며 실험을 통해 FPGA 설계와 동작분석 및 성능분석을 수행하였다. 본 논문에서 설계된 Viterbi 디코더는 Altera사의

FPGA 칩인 FLEX 10K devices를 이용하여 제작되었으며 traceback 메모리는 칩 자체에서 제공하는 내부 RAM을 이용하였다.

제작된 Viterbi Decoder는 아날로그 회로부와 RF 단을 제외한 상태에서 채널상에서의 루프백 테스트를 위한 PC Interface Emulation 보드로 구성되었으며, Dual mode의 82C55A Interface Controller를 통해 성능평가 하였다. 따라서 제작된 Emulation 보드는 PC상에서 C++ 프로그래밍을 통해 제어되며 채널상에서 발생하는 AWGN 환경을 모델링하여 부호기와 복호기를 연동 시험하였다. 그 결과 컴퓨터 모의 실험에서의 결과와 마찬가지로의 성능을 얻을 수 있었으며, 이는 부호화하지 않은 QPSK와 비교할 때 약 5~6[dB]의 부호화 이득을 얻을 수 있음을 보여주고 있다.

참고 문헌

- [1] G. Ungerboeck, "Trellis-coded modulation with redundant signal sets-Part I: Introduction," IEEE Commu. Mag., vol. 25 no. 2, pp. 5-11, Feb. 1987.
- [2] G. Ungerboeck, "Trellis-coded modulation with redundant signal sets-Part II: State of the art," IEEE Commu. Mag., vol. 25 no. 2, pp. 12-21, Feb. 1987.
- [3] S. B. Wicker, Error Control Systems for Digital Communication and Storage, Prentice Hall Inc.:Englewood Cliffs, NJ, 1995.
- [4] G. Fettweis, H. Meyr, "A 100 Mbit/s Viterbi Decoder Chip : Novel Architecture and its realization," IEEE International Conference on Communications, Atlanta, No. 307. 4, pp. 463-467, April 1990.
- [5] Andrew J. Viterbi, Jim K. Omura, Principles of Digital Communications and Coding, McGraw-Hill Inc., 1979
- [6] G. Fettweis, H. Meyr, "High-speed parallel Viterbi decoding: algorithm and VLSI-architecture," IEEE Communications Magazine, vol.29, no.5, pp. 46-55, May 1991.
- [7] Zainalabedin Navabi, "VHDL, Analysis and Modeling of Digital System", Layout, and Simulation", IEEE Press, 1998.
- [8] R. Jacob Baker, Harry W. Li, David E. Boyce,

“CMOS, Circuit Design, Layout, and Simulation,” IEEE Press, 1998.

- [9] Pran Kurup, Taher Abbasi, “Logic Synthesis Using Synopsys,” KAP, 1995.ohn, R. Peter, “Electric Communication Development,” Communications of the ACM, 40, pp. 71-79, May 1997.

김 성 진(Sung-Jin Kim)

정회원



1997년 2월 : 안양대학교
공과대학 정보통신공학과
(공학사)
1999년 8월 : 광운대학교 대학원
전자통신공학과
(공학석사)

1999년 8월~현재 : 광운대학교 대학원 전자통신공학과 박사과정

2000년 10월~현재 : 삼성탈레스(주임연구원)

<주관심 분야> 통신신호처리

정 회 석(Heui-Suck Jung)

정회원



1996년 8월 : 광운대학교
공과대학 전자통신공학과
(공학사)
1998년 8월 : 광운대학교 대학원
전자통신공학과
(공학석사)

1999년 3월~현재 : 광운대학교 대학원 전자통신공학과 박사과정

<주관심 분야> 음성인식, 화자인식, 음성신호처리

이 호 웅(Ho-Woong Lee)

정회원



1984년 2월 : 광운대학교
공과대학 전자통신공학과
(공학사)
1986년 2월 : 광운대학교 대학원
전자통신공학과
(공학석사)

2000년 2월 : 광운대학교 대학원 전자통신공학과 (공학박사)

1988년 4월~1996년 2월 : LG전자 영상미디어 연구소(선임연구원)

1990년 8월~1995년 8월 : LG전자 시카고연구소 (Zenith Electronics, U.S.A)

1997년 3월~현재 : 동원대학 정보통신과 조교수
<주관심 분야> 통신신호처리, HDTV

강 철 호(Chul-Ho Kang)

정회원

한국통신학회논문지 제26권 제6B호 참조