

ATM-PON의 OLT에서 상향 셀 위상감시를 위한 예측기의 구현

정희원 문상철*, 정해*, 김운하**

Implementation of a Predictor for Cell Phase Monitoring at the OLT in the ATM-PON

Sang-Cheol Mun*, Hae Chung*, Woon-Ha Kim** *Regular Members*

요 약

ATM PON (Passive Optical Network) 시스템은 OLT (Optical Line Termination)와 다수의 ONU (Optical Network Unit), 그리고 스플리터와 함께 PON을 구성하는 광케이블로 구성된다. 상향 전송에서 셀 충돌을 피하기 위하여, 새로운 ONU가 설치될 때 ranging이라는 정교한 절차를 필요로 한다. 이 절차가 종료된 후에 ONU는 OLT가 제공하는 승인에 따라 상향 셀을 전송할 수 있다. 여러 가지 요인의 변화에 의해 발생할 수 있는 셀 충돌을 예방하기 위하여, OLT는 지속적으로 셀 위상 감시를 수행해야 한다. 이는 OLT가 모든 상향 셀에 대하여 기대되는 도착 시점을 예측하고, 실제 도착하는 시점을 감시하여, 두 시점 간의 오차를 계산하는 것을 의미한다. 따라서, OLT의 TC (Transmission Convergence) 칩에는 현재 제공하는 승인에 대한 셀의 도착할 시점을 계산할 수 있는 예측기가 필요하다. 본 논문에서는 이러한 예측기를 등화 왕복지연에 해당하는 길이를 갖는 이동 레지스터를 이용하여 구현한다. 하나의 레지스터는 8 비트로 구성되어, OLT는 어떤 ONU가 어떤 종류의 셀을 보내는지 확인할 수 있다. 또한 TC 칩은 예측기의 기능을 이용하여 ONU의 유효 대역폭을 계산할 수 있다. 타임 시뮬레이션과 구현된 광 보드를 측정하여, 예측기의 동작을 확인한다.

ABSTRACT

An ATM-PON (Passive Optical Network) system consists of an OLT (Optical Line Termination), multiple ONUs (Optical Network Units) and the optical fiber which has a PON (Passive Optical Network) configuration with a passive optical splitter. To avoid cell collisions on the upstream transmission, an elaborate procedure called as ranging is needed when a new ONU is installed. The ONU can send upstream cells according to the grant provided by the OLT after the procedure. To prevent collisions being generated by the variation of several factors, OLT must perform continuously the cell phase monitoring. It means that the OLT predicts the expected arrival time, monitors the actual arrival time for all upstream cells and calculates the error between the times. Accordingly, TC (Transmission Convergence) chip in the OLT needs a predictor which predicts the time that the cell will arrive for the current grant. In this paper, we implement the predictor by using shift registers of which the length is equivalent to the equalized round trip delay.

As each register consists of 8 bits, OLT can identify which ONU sends what type of cell (ranging cell, user cell, idle cell, and mini-slot). Also, TC chip is designed to calculate the effective bandwidth for all ONUs by using the function of predictor. With the time simulation and the measurement of an implemented optical board, we verify the operation of the predictor.

* 금오공과대학교 전자공학부(mscgold@kumoh.ac.kr)
접수번호 : 010347-1120, 접수일자 : 2001년 11월 20일

** 한국통신가입자망연구소

I. 서론

ADSL (Asymmetric Digital Subscriber Line)은 전화국에서 가입자까지는(하향) 1.5Mbps ~ 8Mbps, 가입자부터 전화국까지는(상향) 64Kbps~1.4Mbps의 속도를 지원하는 비대칭 서비스이다. 이론상의 속도는 위와 같지만 실제로 설치지역의 여러 가지 여건을 고려할 때 속도가 더 저하될 수 있다. 그러므로, 이 서비스는 실질적으로 사용자에게 제공하는 대역폭을 고려할 때, 추후에 원격의료, 원격교육, 화상회의, VOD (Video on Demand), HDTV (High Definition Television) 등의 차세대 초고속 멀티미디어 서비스를 지원하기에는 부적합하다. 따라서 현재는 Post-ADSL이 고려되고 있으며^[1], 하나의 대안으로서 거론되는 가입자망이 바로 ATM-PON이다. 이는 VDSL (Very high rate DSL) 및 FTTH (Fiber to the Home) 서비스도 제공할 수 있어 단위 가입자당 전송속도를 향상시킬 수 있다. 본 논문은 ITU-T의 G.983.1을 기반으로 하는 ATM-PON에서 OLT의 TC 칩에 사용되는 예측기를 구현하는 것이 목적이다.

ATM-PON은 국사에 설치된 OLT와 가입자 측에 설치된 ONU들이 각각 일 대 다로 연결되어 광케이블을 공유한다. OLT에서 보내는 하향신호는 스플리터 (splitter)를 거쳐 ONU로 방송되며, ONU가 보내는 상향신호는 결합기 (combiner)를 거쳐 OLT에 전달된다. 다수의 ONU가 상향으로 ATM 셀을 보낼 때, 충돌이 발생하는 것을 막기 위하여 새로운 ONU가 등록될 때마다 ranging 절차를 필요로 한다. 이를 통하여, ONU는 등화지연 (equalized delay) 값을 할당받는다. 이 절차가 완료되면 OLT는 ONU의 요청에 따라 상향으로 셀을 전송할 수 있는 승인을 제공하며, 승인을 받은 ONU는 즉시 셀을 보내지 않고, 등화지연이 경과한 후에 셀을 전송함으로써 다른 ONU가 보낸 셀과 충돌을 방지한다. 이 등화지연은 OLT와 가까운 거리에 있는 ONU는 큰 값을 갖고, 먼 거리에 있는 ONU는 작은 값을 갖게 되므로 OLT의 관점에서 볼 때, 모든 ONU는 가상적으로 동일한 위치에 존재하는 것처럼 보인다. 결국, OLT가 승인을 제공한 직후부터 해당 ONU가 상향으로 보내는 셀이 도착하는데 까지 걸리는 시간은 모든 ONU에 대하여 일정하게 되며, 이를 등화 왕복전파지연 (equalized round trip delay)이라 한다^[2]. Ranging이 완료된 이후에도 온

도에 따른 광케이블의 수축, 클럭의 오차 등에 의해 셀이 도착하는 시점에 오차가 발생할 수 있기 때문에, OLT는 승인을 제공한 후, 예측기를 이용하여 ONU가 보내는 셀의 도착할 시점 (OLT의 기대치)과 실제 도착시점을 지속적으로 감시하고 비교하여야 한다. 만약 원래 예측했던 시점과 2 비트 이상의 편차를 가지면 다시 ranging을 수행하여 새로운 등화지연 값을 할당해야 다른 ONU가 보내는 셀과 충돌을 피할 수 있다.

본 논문에서는 G.983.1을 기반으로 하는 ATM-PON에서 OLT의 수신부의 TC 칩에 사용되는 예측기를 FPGA (Field Programmable Gate Array)로 구현한다. OLT가 승인을 보낸 후에 해당 승인에 대하여 ONU가 보내는 셀은 상향 셀 단위 (56 바이트의 길이)로 79 개 이상이 경과된 후에 도착한다^[2]. 따라서, 타이머를 이용하여 예측기를 구현할 경우, 등화 왕복전파지연 동안에 최소 79 개의 승인에 대한 예측이 요구되므로 최소 79 개의 카운터를 필요로 한다.

본 논문에서는 예측기를 단순하고 효율적으로 구현하기 위하여 등화 왕복전파지연에 해당하는 길이만큼의 이동 레지스터를 내장한다. 각각의 레지스터는 8 비트의 길이를 가지므로 어떤 ONU가 어떤 형태의 셀 (ranging 셀, 가변 비트율의 셀, 항등 비트율의 셀, 미니슬롯, Idle 셀)을 보내는지 감지할 수 있고, ONU가 실제로 사용하는 대역폭을 트래픽 유형별로 계산할 수 있다. 또한 ONU의 일련번호 (Serial number)를 획득할 때와 등화지연 측정을 위한 윈도우 (window)를 개설할 때와 개설하지 않을 때를 구별하여 각각의 승인에 대하여 정확히 동작을 수행하도록 설계한다. 구현된 회로와 시스템의 동작은 타임시뮬레이션과 논리분석기를 통하여 검증되며, 데이터 복구 및 셀 위상감시와 연계성을 검토한다.

본 논문의 구성은 다음과 같다. 먼저 II절에서 구현된 OLT TC 칩의 구조 및 예측기의 기능을 소개하고, III절에서는 세부적인 예측기의 구현 알고리즘과 동작 원리에 대하여 설명하며, IV절에서 타임 시뮬레이션과 계측기를 통하여 구현한 회로가 정상적으로 동작함을 확인한 후, V절에서 결론을 맺기로 한다.

II. 구현된 OLT TC 칩의 구조 및 예측기의 기능

ATM-PON의 TC 계층의 기능은 ITU-T G.983.1에 명시되어 있으며, 개략적인 계층구조와 기능이 표 1에 주어져 있다. 전송매체 계층은 크게 물리매체 계층과 TC 계층으로 나누어진다. 물리매체 계층은 광전 및 전광의 정합기능, 광선로 연결기능, 광신호의 송수신시에 파장분할을 적용하는 기능을 보유한다. 이러한 기능은 광 트랜시버 모듈에서 담당하게 될 것이다. TC 계층은 다시 ATM 계층과의 정합부와 PON 전송부로 분할된다. 전자는 ATM 계층과의 정합기능을 수행하며 I.732에 기술되어 있다.

ATM-PON 기술에 관한 고유한 기능을 보유하는 곳이 바로 PON 전송부라 할 수 있다. 기본적인 기능으로서 비트 동기, 버스트 동기 (상향 셀 동기) 프레임 정렬 (프레임 동기), ranging (배치), 보안, 셀 할당 기능 등이 있다²⁾.

지금부터 G.983.1에서 기술하는 TC 계층 기능을 수행하기 위한 OLT의 TC구조를 설명한다. 그림 1은 구현된 OLT의 TC 칩의 송신부 구조를 나타낸 것이다.

표 1. ATM-PON 망의 계층 구조

Path layer		Refer to I.732
Transmission Medium layer	TC layer	Refer to I.732
	Adaptation PON transmission	Ranging Cell slot allocation Bandwidth allocation Privacy and security Frame alignment Burst synchronization Bit/byte synchronization
Physical medium layer		E/O adaptation Wavelength division multiplexing Fibre connection

그림 1에서 보는 바와 같이 OLT의 송신부 전체를 관장하는 클럭은 FCLK (Frame Clock), PCLK (PLOAM(Physical Layer Operations Administration and Maintenance) Clock), CCLK (Cell Clock), C*CLK (Upstream Cell Clock), BCLK (Byte Clock) 등이 있다. 외부에서 전달되는 ATM 셀은 UTOPIA (Universal Test & Operations PHY Interface for ATM)를 통하여 내부 2 셀을 저장할 수 있는 FIFO에 저장된다. 그 외에도 PLOAM 셀과 Idle 셀을 저장하는 버퍼가 있다. PLOAM 셀은 Header (5), Identifier (1), Synch (2), Grant 및 CRC (Cyclic Redundancy Check) (31), Message 및 CRC (13), BIP (Bit Interleaved Parity) (1) 필드의 순서로 구성된다. PLOAM 셀 발생기는 프레임 동기 신호와 PLOAM 동기신호가 동시에 시작되는 순간에 첫 번째 PLOAM 셀을 전달한다. PLOAM 동기신호가 없는 구간에서는 2 셀 FIFO내에 ATM 셀이 저장되어 있을 때에는 셀이 MUX를 통하여 출력되고 그렇지 않을 때에는 Idle 셀이 출력된다. 이와 같이 28 개의 타임 슬롯이 구성되고 프레임 동기 신호 없이 PLOAM 동기 신호가 발생하면, 두 번째 PLOAM 셀이 전달된다. 이와 같은 방식으로 하향 프레임이 구성된다.

OLT는 하향 PLOAM 셀에 내부의 승인 필드를 이용하여 ONU가 셀을 OLT에게 전송하도록 허가한다. MUX를 통과한 모든 셀은 헤더에 HEC (Head Error Control) 필드를 채우기 위해 HEC block을 거쳐, BIP block에서 PLOAM 셀의 마지막 byte에 BIP를 계산한 후 값을 삽입한다. 하향의 혼화 기법은 상향의 혼화 기법과 다르다.

하향의 경우는 셀 기반 전송의 혼화 방식으로 ITU-T I.432.1에 명시되어 있다³⁾. 그 다음에 등장하는 HEC block은 ONU 수신부에서 비트 동기 및 셀 동기를 잡기 위해 혼화된 헤더의 HEC 필드를 다시 채워 넣기 위한 block이다. 그 후 parallel-to-serial을 거친 직렬 데이터는 LVPECL (Low Voltage Positive Emitter Coupled Logic) 버퍼를 거쳐 LVPECL 신호로 광 transceiver 입력으로 들어가게 된다.

OLT의 수신부의 주 기능은 상향으로 전달하는 사용자 셀, PLOAM 셀, ranging 셀, 미니슬롯 등을 G.983.1의 규격에 따라 처리하는 것이다. 사용자 셀은 TC 칩 외부로 전달하고, PLOAM 셀과 미니슬롯은 ranging 기능과 OLT와 ONU 간의 통신, 승인 요청 등 다양한 기능을 수행한다. PLOAM의 메시

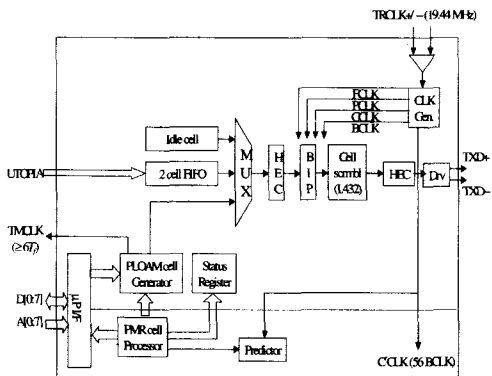


그림 1. OLT TC 칩에서 송신부의 구조

지는 CPU에 전달하여 프로토콜을 수행하도록 한다. 미니슬롯은 MAC (Media Access Control) 스케줄러에 전달되어 모든 ONU에게 승인을 제공하여 동적으로 대역을 할당한다.

그림 2는 TC계층의 OLT의 수신부의 기능 블록을 보여준다. 먼저 데이터 복구부에서는 광 receiver에서 LVPECL 신호를 받아서 데이터 신호와 클럭 신호를 복구한다. 상향 타임슬롯은 하향 타임슬롯과 달리 24 비트 길이의 오버헤드와 53 바이트 길이의 셀로 구성되어 있다. 오버헤드는 guard time, preamble, delimiter로서 각각 4, 12, 8 비트의 길이를 가진다. 따라서, 데이터 복구부에서는 다중위상 클럭과 상향 셀의 오버헤드에 있는 preamble을 이용하여 비트 동기를 복구하고, delimiter를 이용하여 바이트 동기신호를 복구한다. Delimiter는 승인 값과 동일한 내용을 담고 있으므로, 현재 도착한 셀이 어떤 ONU가 보낸 어떤 종류의 셀 인지를 판단할 수 있다. Delimiter 다음에 ATM 셀의 첫 번째 비트가 등장하기 때문에 사실상 셀의 경계 구분까지 데이터 복구부에서 제공할 수 있다. OLT는 자신이 제공한 승인 값에 맞게 ONU가 셀을 전송하는지, 그리고 정확한 시점에 셀이 도착하는지를 지속적으로 감시해야 한다. 이 기능은 그림 2에서 주어진 것처럼 예측기가 클럭/데이터 복구부 (Clock and Data Recovery, CDR)와 위상감시기 (Phase Monitor, PM)에게 각각 PMSE (Phase Monitor Synchronizer Enable) 신호와 delimiter 값을 제공함으로써 수행되어 진다.

즉, CDR에게 지금 새로운 셀이 도착할 시점이므로 preamble을 추출하여 비트 동기신호와 데이터를 복구하라고 명령을 내린다.

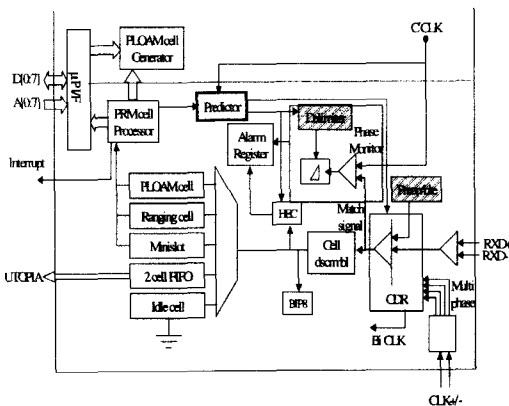


그림 2. OLT TC 칩에서 수신부의 구조

이에 따라 CDR이 preamble을 성공적으로 찾아 내면 PM에게 match 신호를 보낸다. PM이 match 신호를 받으면, 예측기가 제공하는 delimiter (OLT가 제공한 승인에 따라 도착이 기대하는 셀의 식별자)와 실제 유입되는 셀의 delimiter와 값과 비교하고, 기대하는 도착시점과 실제 도착하는 시점의 오차를 계산한다. G.983.1에서는 이 오차의 범위, Δ 를 1 비트 이내로 유지할 것을 권고한다. 위상감시기는 Δ 에 따라 다음과 같은 출력을 제공한다.

$$\begin{cases} |\Delta| < 1 & \text{Normal} \\ 1 \leq |\Delta| < 2 & \text{Alarm1} \\ |\Delta| \geq 2 & \text{Alarm2} \end{cases} \quad (1)$$

즉, 오차의 범위가 1 비트 미만인 경우는 정상 상태로 간주하며, 1 비트에서 2 비트 미만인 경우는 PLOAM 셀을 통하여 등화지연을 측정하고 새로운 등화지연을 ONU에게 제공해야 한다. 오차가 2 비트 이상인 경우에는 최초에 ONU가 등록될 때와 같이 다시 윈도우를 개설하여 ranging을 새로 수행해야 함을 지시한다. 이와 같이 지속적으로 위상감시를 수행하는 이유는 장치의 노후화 혹은 온도에 따른 광케이블의 수축에 따라 등화 왕복전파지연 값이 변화되어 서로 다른 ONU가 보내는 셀들과 충돌의 가능성이 존재하기 때문이다. 지금까지 설명한 바와 같이 예측기는 ranging 과정에서는 물론이고, 서비스가 활성화된 ONU에 대해서 지속적인 위상감시와 승인에 대한 정확한 응답을 감시하는데 필수적으로 구현되어야 할 요소이다. 다음절에서 이 예측기의 구현에 대하여 자세하게 다루게 될 것이다.

위상감시가 완료된 상향 셀은 역 혼화를 수행한다. 상향 셀에 대한 역 혼화는 G.983.1에 주어진 것처럼 비교적 단순하게 구현될 수 있다. 역 혼화가 완료된 데이터에 대하여 BIP 계산과 헤더 에러 검사를 수행한다. 이러한 과정이 완료된 후, 데이터 셀은 UTOPIA를 통해 외부에 전달되기 전에 내부의 2셀 FIFO에 저장되고, Idle 셀은 폐기되며, PLOAM셀, ranging셀, 미니슬롯 등은 PRM (PLOAM, Ranging, Minislot) 처리기에 전달된다. PRM 처리기에는 미니슬롯을 통한 ONU의 요청에 따라 승인을 분배하는 MAC 스케줄러가 내장되어 있다^[4].

지금까지 설명한 바와 같이 예측기는 CDR과 위상감시기가 동작할 수 있는 입력을 제공한다. 특히, CDR에 제공하는 PMSE 신호의 지속시간은 다음에

발생할 사건이 무엇이나에 따라 상향 셀의 도착 시점을 관측하는 기간이 달라진다. 상향 셀 (56 바이트) 클럭을 기준으로 다음에 발생할 사건이 일반 셀이 도착하는 경우라면 1 바이트, ranging 셀이 도착하는 경우는 윈도우의 길이에 해당하는 셀의 수에 해당하는 기간, 미니슬롯이 도착하는 경우는 1 바이트에 해당하는 기간이 8회에 걸쳐서 제공한다. 모든 ONU가 아무 것도 보내지 않을 경우에는 PMSE의 지속시간은 0이다. III절에서 예측기의 동작을 세부적으로 기술한다.

III. 예측기 구현 알고리즘

예측기는 MAC 스케줄러가 제공하는 승인의 종류에 따라 수행하는 알고리즘이 다양하다. 그림 3은 구현된 예측기의 블록도를 보여준다. 예측기는 PRM 처리기 (그림 2 참조) 내부에 있는 MAC 스케줄러가 제공하는 승인 테이블로부터 PLOAM 셀의 반 주기 ($T_r / 2$)마다 한꺼번에 28개의 승인을 승인테이블에 기록한다^[4]. 즉 상향 셀 클럭 (C'CLK)마다 28 개의 승인이 하나씩 TOL (Trailer of Line)에 주기적으로 옮겨지고 계속 오른쪽으로 이동된다. 궁극적으로 등화 왕복전파지연이 경과한 후에 HOL (Header of Line)의 직전의 위치에 있게 되며, 이제 곧 수신부에 도착할 셀의 delimiter로 사용된다. 승인이 전단 버퍼에서 TOL에 도착하면서 각각의 승인이 가지고있는 값에 따라 처리하는 방식이 다르다. 먼저, 윈도우가 개설되지 않는 경우를 설명하기로 한다. 이 경우의 승인 값은 무 할당 승인 (unassigned grant), 데이터 승인 (data grant), PLOAM 승인 (PLOAM grant, PL_GR)에 해당하며, 그림 3에서 보는 것처럼 각각의 승인 값은

C'CLK 하강 천이 시점에서 delimiter 값으로 데이터 복구부에 전달한다. Delimiter가 쓰여진 직후 PMSE 신호가 발생하며, 그것의 지속시간은 무 할당 승인의 경우는 0, PLOAM 승인과 데이터 승인의 경우는 1바이트, 분할슬롯의 경우는 1바이트씩 8회 유지된다. 왜냐하면 하나의 분할슬롯은 8 개의 미니슬롯으로 구성되기 때문이다^[5].

다음으로 윈도우가 개설되는 ranging 절차에 관련된 사항을 설명하기로 한다. 본 논문에서 사용하는 ranging 절차는 OLT와 ONU 사이의 광케이블의 거리를 변수로 포함하여 일반화함으로써 ITU-T G.983.1에서 제시하는 것보다 향상된 방식을 따르기로 한다^[6]. ITU-T의 절차에 따르면 ONU의 일련번호를 획득하거나 등화지연을 측정하는 과정에서 우선 윈도우를 먼저 개설해 놓고 나중에 ranging 승인이나 PLOAM 승인을 제공하는 방법을 사용한다. 그러나 본 연구에서 사용하는 방법은 윈도우의 길이를 줄이기 위하여, 예측된 광케이블의 거리에 따라 사전 할당지연 (pre-assigned delay)을 적용하기 때문에, 그러한 승인들은 항상 윈도우 안에 삽입되어 있다. 따라서, 현재 이동 레지스터의 맨 앞에 들어있는 승인이 일련번호를 획득하거나, 등화지연을 측정하기 위한 ranging grant (RA_GR) 혹은 PLOAM 승인이라면, 현재 TOL에 들어있는 승인은 윈도우에 걸쳐있는 무 할당 승인일 것이다. 그러므로 윈도우 내부에 있는 무 할당 승인과 윈도우가 아닌 곳에 있는 무 할당 승인을 구분하기 위하여 특별한 승인 값을 사용한다. 그것을 표 2에 기술하고 있다.

표 2. 승인 필드의 코딩 방식

구분	Et8	Et7	Et6~Et1	용도	비고	
채널용	1	1	111111	Idle	Fixed in G983.1	
			111110	Unassigned		
			111101	Ranging		
			111100	Window proceeding	Internally use	
			111011	Window end		
			111010~001000	Reserved for future		
			000111~000000	Divided slot (87)		
사용자 트래픽용	0	0	최대 64 개	FLOAM	Proposed in the previous study	
			1	최대 64 개		CER
			0	최대 64 개		VER

여기서 제안된 W_Pro (Window proceeding)과 W_End (Window end)는 TC 칩 내부에서만 사용

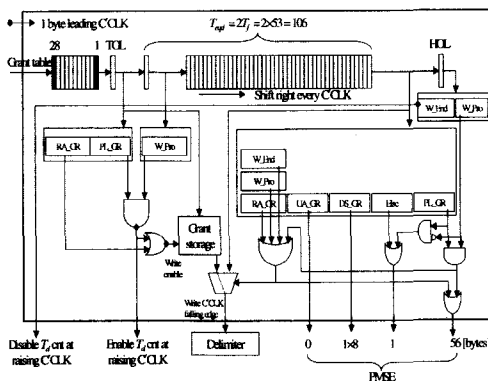


그림 3. 예측기의 구조

하는 승인 값으로, 만약 $2n + 1$ 개 셀의 길이에 해당하는 윈도우의 길이를 갖는 경우, 가운데가 ranging 승인 혹은 PLOAM 승인이고, 마지막 승인은 W_End에 해당하며, 그 외의 것은 모두 W_Pro 승인 값을 갖게 한다. 이러한 사실을 염두에 두고, 일련번호를 획득하기 위해 윈도우의 구성이 [W_Pro, ..., RA_GR, W_Pro, ..., W_End] 와 같은 형태인 경우를 고려해보자, 그림 3에 있는 것처럼 RA_GR이 TOL에 위치하면, grant storage에 저장될 것이다. 그리고 첫 번째 W_Pro가 TOL 직전에서 HOL 직전에 도달하는데, $T_{eqd} - 1$ 셀 타임이 소요될 것이다. HOL 직전에 W_Pro가 도착하면, delimiter로 제공되는 값은 grant storage에 저장된 RA_GR이 된다. 그리고, PMSE의 지속시간은 56바이트를 제공한다. W_End가 HOL의 직전에 도착할 때까지 계속 동일한 delimiter (RA_GR)가 유지된다. 그러므로 PMSE신호의 지속시간은 윈도우의 길이 만큼 유지되는 것이다.

다음은 등화지연을 측정하기 위해 PLOAM 승인이 삽입되어 윈도우 구성이 [W_Pro, ..., PL_GR, W_Pro, ..., W_End]와 같은 경우를 고려해 보자. 다음은 등화지연을 측정하기 위해 PLOAM 승인 앞서 설명한 것과 마찬가지로 PLOAM 승인 값은 grant storage에 저장된다. $T_{eqd} - 1$ 셀 타임이 소요된 후 HOL 직전에 윈도우가 도착하며, PL_GR 값이 delimiter 값으로 제공된다.

또한, PMSE신호의 지속시간은 56바이트가 된다. 윈도우 내의 PLOAM 승인 값이 HOL 직전의 위치에 도착하면, 현재의 값이 W_Pro인 상태이므로 역시 PMSE 지속시간이 56바이트의 길이를 가지게 된다. 단지 RA_GR과의 차이점은 그림에서 보는 것처럼 윈도우가 개설된 과정에서 PL_GR이 존재하면, 등화지연 값을 측정하는 카운트를 촉발하는 신호 (Enable T_d cnt)가 발생하는 것이다. 주의해야 할 점은 여기서 사용하는 PL_GR은 등화지연을 관측하기 위한 것이므로, 서비스 중에 있는 ONU에게 제공하는 PLOAM 셀 승인과는 의미가 다르다.

지금까지 설명한 데이터 복구, ranging, 등화지연 측정 등이 제대로 동작하기 위해서는 FCLK, PCLK, C'CLK, BCLK와 같은 클럭과 예측기가 정확히 동기가 맞은 상태에서 이루어져야 한다. 그림 4는 예측기의 동작과 여러 가지 클럭의 타이밍을 설명한다. C'CLK은 FCLK과 동시에 시작되어 53회 반복된 후 다시 FCLK과 시작된다. 그리고 첫 번째 PCLK 과 동시에 출발하지만 두 번째 PCLK

은 27번째 C'CLK의 정확히 중앙에 위치한다. C'CLK는 고 전위의 지속시간이 1바이트이고 저 전위의 지속시간이 55바이트의 신호로 구성되어 있다.

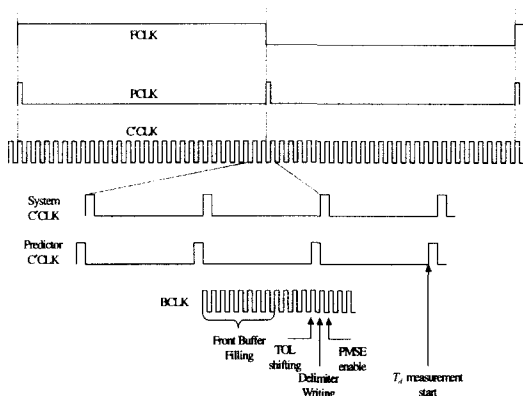


그림 4. 예측기 내부의 여러 가지 클럭들의 시간관계

그래서 첫 번째 PCLK이 발생하기 직전의 C'CLK 하강천이에서 시작하여 승인 테이블에 28개의 승인이 들어오고, 그 다음의 C'CLK의 고 전위 상태에 있을 때, 첫 번째 승인이 TOL에 들어와서 대기한다. 그 다음 바이트 클럭에서 delimiter가 제공되며, 두 번째 바이트 클럭에서 PMSE신호가 발생한다.

등화지연 측정은 C'CLK을 기준으로 시작하도록 설계하였기 때문에 만약 TOL에 있는 승인이 등화지연 측정을 위한 윈도우 내에 있는 PLOAM 셀이라면 시간의 측정은 다음 C'CLK에서 시작된다. 그러므로 측정된 값에서 한 셀 타임을 더해주게 된다. 지금까지 설명한 바와 같이 예측기는 다음 위치에 올 셀의 delimiter와 PMSE신호의 지속시간을 제공함으로써, 셀 서비스와 ranging 절차 및 위상감시를 수행하는데 있어서 중요한 역할을 수행한다.

IV. 예측기 모의 실험

그림 5, 6, 7, 8은 Xilinx사의 FPGA XCV600E-8을 target chip으로 선정하여, Mentor사의 Leonardo Spectrum을 사용하여 합성한 후, P&R (Place and Route)하여, ModelSim을 사용하여 예측기에 대한 타이밍 모의실험 결과를 나타낸 그림이다.

그림 5는 ranging을 수행하는 과정에서 ONU에 대한 일련번호를 알고, 거리 정보를 모를 경우 최대의 윈도우를 개설하여 등화지연 값 측정을 위한 모의실험을 나타낸 그림이다.

reset, fclk, pclk, cclk, cell_clk 는 각각 시스템에서 사용되는 reset 신호, 프레임 클럭, PLOAM 셀 클럭, 하향 셀 클럭, 상향 셀 클럭을 나타낸다. grant_input은 먼저 28개로 구성된 승인테이블에 저장하게 되는데, gt_wt신호가 고 전위 일 때 g_clk 클럭에 의해 저장하게 된다. Delimiter를 나타내는 delmtr 신호는 현재 도착하는 셀에 대한 PLOAM 승인 값 (10111110: 63 번째 ONU에 대한 PLOAM 셀 승인)을 가지고 있다. OLT는 pmse가 지속되는 동안에 이 delimiter 값과 일치하는 셀이 도착하기를 기대하고 있다. 여기서 거리 정보를 모르는 상황이므로 pmse의 지속시간은 최대 윈도우 길이 (약 2 프레임)에 해당한다. 63 번째 ONU는 승인을 받고 상향으로 PLOAM 셀을 전달하며, 이것은 pmse 기간의 중앙위치 정도에서 OLT에 도착한 것을 bit_in 신호에서 확인할 수 있다. CDR에서 overhead의 일치를 나타내는 match_signal 신호가 발생하면 delimiter를 확인하고, 등화지연을 측정하는 카운터를 중지함으로써 측정이 완료된다. 이후에 셀을 serial-to-parallel 하여 역 혼화를 수행한 후, 헤더 여러 검사를 하여 hec_out 신호로 출력된다.

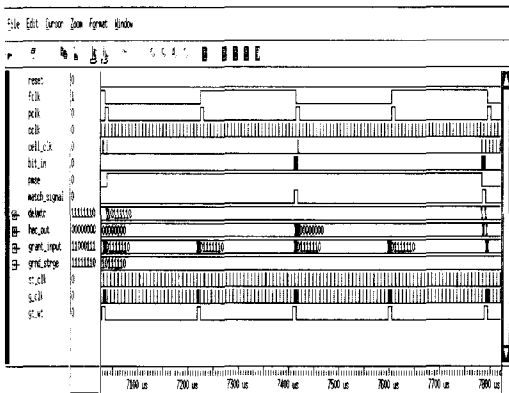


그림 5. ONU 위치를 모를 때 T_d 측정을 위한 예측기의 동작

그림 6의 경우도 ranging을 수행하는 과정에서 등화지연을 측정하기 위한 것이나 거리정보를 알고 있을 경우에 윈도우 길이를 짧게 개설하는 방법이 적용되는 경우이다⁶⁾. 윈도우의 길이는 운용자가 OLT와 ONU 사이의 거리를 정확하게 알고 있으면 윈도우의 길이를 짧게 설정할 수 있고, 거리의 편차가 심하면 길게 설정해야 한다.

그림 6에서는 약 5 셀 길이의 윈도우가 개설되어 있고, 윈도우의 중앙에 ONU가 보낸 PLOAM 셀이

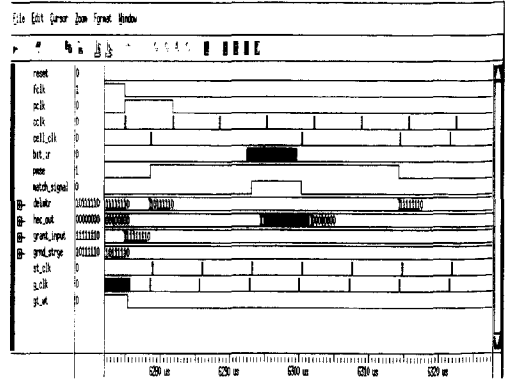


그림 6. ONU 위치를 어느 정도 알 때 T_d 측정을 위한 예측기의 동작

도착하고 있음을 보여준다.

155.52 Mbits/s의 상향 채널에서 56 바이트 길이를 갖는 셀의 지속시간이 2.98×10^{-6} s이고 광케이블에서 전파하는 빛의 속도가 약 2.0×10^8 m/s (진공에서 속도의 약 3분의 2)에 해당하므로 한 셀 타입의 물리적인 거리는 596 m에 해당한다.

따라서, 운영자가 알고 있는 광케이블의 길이에 대하여 오차가 ± 1 Km 이상 된다 할지라도, 윈도우 길이를 5 셀 정도로 하면 정확히 ranging을 수행할 수 있음을 의미한다.

그림 7은 미니슬롯이 도착할 때, 예측기가 제공하는 pmse 신호와 delimiter 값을 보여준다. 최대 64 대의 ONU가 하나의 OLT에 연결될 수 있고 하나의 분할슬롯은 8 대의 ONU가 보내는 미니슬롯을 포함할 수 있으므로, 최대 8 개의 그룹을 가져야 한다. 따라서 주어진 분할슬롯은 8 가지 ONU 그룹 중에서 하나의 그룹에 속한다. 그림 7은 delimiter 값이 11000111이므로 8 번째 그룹에 속한다. 미니슬롯의 올라오는 경우는 이미 ranging을 통해 등화

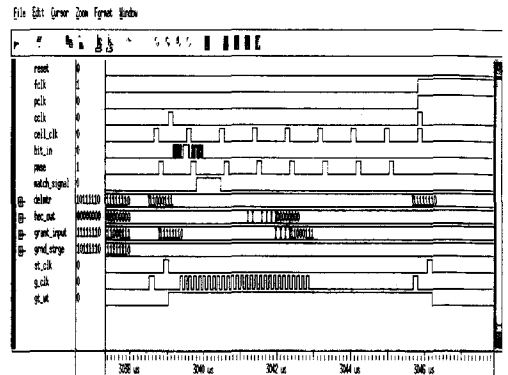


그림 7. 미니슬롯 도착 시에 예측기의 동작

지연 값을 할당받은 상태이므로 셀 위상에 대한 오차, d 가 2 비트 이내를 유지하고 있으므로, pmse의 지속시간은 1 바이트에 지나지 않는다. 순차적으로 pmse, bit_in, match_signal이 발생하는 것을 볼 수 있다.

그림은 8 번째 그룹의 두 번째 ONU의 미니슬롯이 도착하였음을 나타낸다. 하나의 분할슬롯에 8 개의 미니슬롯이 존재하므로 pmse 신호는 8회 반복된다.

그림 8은 ranging이 끝난 후에 ONU가 상향으로 CBR (Constant Bit Rate) 셀과 VBR (Variable Bit Rate) 셀을 올려보내고 있는 그림이다. delmtr 값은 00111110, 11111110, 01111110으로서 각각 63 번째 ONU가 보내는 VBR 셀, 무 할당 셀, 63 번째 ONU가 보내는 CBR 셀을 나타낸다. CBR 셀과 VBR 셀이 들어오는 시점에 PMSE신호가 1byte동안 유지되고, 무 할당 승인이 할당되었을 때는 PMSE 신호가 저 전위를 유지하고 있음을 볼 수 있다.

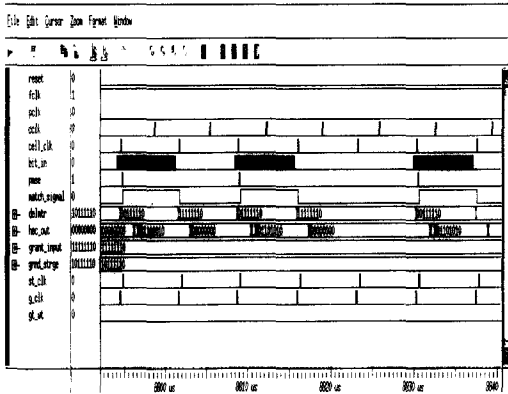


그림 8. CBR 및 VBR 셀 도착 시에 예측기의 동작

지금까지 모의 실험을 통하여, 구현된 예측기는 ONU가 보내는 모든 상향 셀에 대하여 각각의 해당 demiliter 값과 PMSE 신호를 제공함으로써, ranging 과정에서 필요한 등화지연 측정, 위상감시, 모든 ONU에 대한 소모 대역폭 감시를 수행할 수 있음을 보여 주었다. 그림 9는 설계된 예측기와 TC 칩의 전체를 모듈화하여 FPGA에 구현하고 그것을 바탕으로 실제 구현된 OLT 보드를 보여준다. 그림에서 왼쪽의 보드가 OLT이고, 오른쪽에 있는 2 개의 보드가 ONU이다. TC 칩은 광모듈에 연결되고 광모듈에서 나오는 케이블은 스플리터를 거쳐 ONU 보드에 연결된다. 여기서 사용된 광 모듈은

하향은 연속 스트림 방식으로 동작하며, 상향은 버스트 방식으로 동작하는 모듈을 사용하였다.



그림 9. 구현된 OLT 및 ONU 광보드

그림 10은 한 대의 OLT 보드를 스플리터를 통해 2 대의 ONU 보드와 연결한 다음, 동작 여부를 확인하기 위하여 FPGA (TC 칩)에 필요한 출력을 논리 분석기에 연결하고 분석기의 출력화면을 나타낸 것이다. datain은 하향 직렬 데이터 신호이고, reset은 매번 새로운 셀이 도착할 때마다 제공하는 신호이다.

dataend1와 dataend2는 각각 ONU1과 2의 TC 칩의 최종 송신단에서 보내는 직렬 데이터 신호이다.

PMSE는 OLT에서 위상감시를 enable하는 신호이며, mrx_out는 모든 ONU가 보내는 신호가 OLT에 도착하여 TC 칩에 입력되는 신호이다. HECOUT [7..0]은 OLT 내부에서 HEC 과정을 거쳐 출력된 병렬 데이터 신호로서 데이터가 손실없이 도착하는 것을 보여주고 있다.

PMSE와 HECOUT[7..0]을 제외한 모든 신호는 칩 외부의 LVPECL신호를 내부에서 TTL (Transistor-Transistor Logic)신호로 변환하여 출력한 것이다.

먼저 그림의 dataend2 신호의 시작부분은 ONU2에서 보낸 데이터로서 delimiter값이 00111110이므로, PON_ID 62번의 VBR 승인에 대한 응답을 보여주고 있다. 그 다음 dataend1 신호는 ONU1에서 보낸 데이터로 delimiter값이 01111111이므로 PON_ID 63번의 CBR 승인에 대한 응답이다. 연이어 ONU1의 미니슬롯과 ONU2의 미니슬롯이 수신됨을 볼 수 있다. 이 모든 동작은 상·하향 모두 155.52Mbps에서 동작한다.

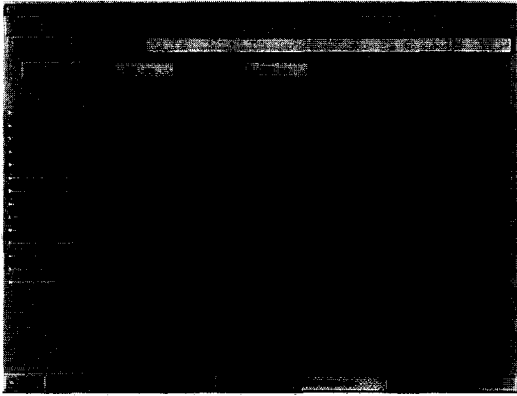


그림 10. 전체 동작을 보여주기 위한 논리 분석기의 모니터 출력

V. 결론

PON은 구성의 용이성과 경제적인 구현 측면이 부각되어, 전 세계적으로 빠르게 확산될 조짐을 보이고 있다. 유럽에서는 France Telecom, BT를 중심으로 시범 서비스가 행해지고^[7], 미국에서는 Bellsouth에서 FTTH를 위하여 ATM PON 시범 사업을 수행하였다. 국내에서는 한국통신과 전자통신연구소를 중심으로 연구개발이 진행되고 있다^[8].

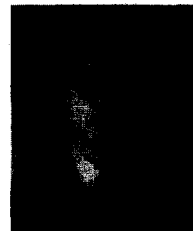
ATM PON의 핵심기술로서 TC 계층에서 ranging과 MAC의 구현과 물리계층에서 burst mode 광 송수신기의 구현을 꼽을 수 있다. 예측기는 ATM-PON의 ranging 프로토콜, 데이터 복구 및 셀 위상감지 기능을 수행하는데 필수적인 모듈에 해당한다. 그리고 미니슬롯을 입력으로 받아, 승인의 결과를 예측기에 제공하는 MAC 스케줄러도 OLT에 있어서 중요한 모듈이다. 본 논문에서는 ranging 수행 시에 윈도우 내에서 ranging 셀을 검출하고, 서비스 중에 도착하는 셀의 위상을 감지하는데 필요한 예측기의 알고리즘을 제시하고, 이를 바탕으로 구현한 회로를 timing simulation을 통하여 검증하였다. 또한 연구의 결과를 FPGA 상에 구현하여 실제 OLT와 ONU의 보드에 적용하여 결과를 확인하였다.

PON을 구현하는데는 ATM 방식과 Ethernet 방식이 사용될 수 있으며 추후에 대용량의 가입자 액세스 장치 구현을 위하여 WDM 기술이 접목될 것으로 판단된다. 구현된 예측기의 기본 아이디어는 ATM 뿐만 아니라, Ethernet과 같이 시분할 다중화 액세스 기법을 근간으로 하는 모든 PON에 적용될 수 있을 것이다.

참고문헌

- [1] 한국통신 기술조사평가단, “초고속 액세스 가입자망 시장 및 기술동향과 전망,” 기술조사평가 NEWS, 창간호특집, 2001. 9.
- [2] ITU-T Recommendation G.983.1, “Broadband Optical Access Systems Based on Passive Optical Networks (PON),” Geneva, Oct. 1998.
- [3] ITU-T Recommendation G.432.1, “B-ISDN user-network interface Physical layer specification General characteristics,” Geneva, Feb. 1999.
- [4] 김태민, 정해, 신건순, 김진희, “ATM-PON에서 MAC을 위한 승인분배 알고리즘의 FPGA 구현,” 대한전자공학회, 제 38권 TC편 제 10호, 2001.10.
- [5] 정해, 김진희, 권순철, “G.983.1 기반의 ATM PON에서 MAC을 위한 승인요청 프로토콜에 관한 연구,” 한국해양정보통신학회 논문지, 제 4권 제 1호, pp. 3 ~ 15, 2000. 3.
- [6] 정해, 김진희, 권순철, “G.983.1 기반의 ATM PON을 위한 Ranging 프로토콜에 관한 연구,” 한국해양정보통신학회 논문지, 제 4권 제 1호, pp. 17 ~ 25, 2000. 3.
- [7] U. Killat, “Access to B-ISDN via PONs: ATM Communication in Practice,” Wiley, 1996.
- [8] 정해 외, “ATM-PON TC 기능 모듈 구현 연구,” 한국통신 가입자망연구소 최종연구보고서, 2000. 12.

문 상 철(Sang-Cheol Mun)



1998년 : 금오공과대학교
전자통신공학과(공학사)
2002년 : 금오공과대학교
전자통신공학과(공학석사)
<주관심 분야> 가입자 액세스망,
ATM, ATM-PON 등

정 해(Hae Chung)



1987년 : 한양대학교
전자통신공학과(공학사)
1991년 : 한국과학기술원
전기 및 전자공학과
(공학석사)
1996년 : 한국과학기술원
전기 및 전자공학과
(공학박사)

1996년~1998년 : LG정보통신 선임연구원
1998년~현재 : 금오공과대학교 조교수
<주관심 분야> 가입자 액세스망, ATM망, 트래픽 제어, 통신 프로토콜 등

김 운 하(Woon-Ha Kim)



1980년 : 경북대학교 전자공학과
(학사)
1991년 : 한양대학교 전자계산학과
(석사)
1980년 4월~1983년 12월 :
한국전자통신연구원

1984년~현재 : 한국통신 가입자망연구소 가입자전송
연구팀장