

## 터널링 자기저항 소자의 정전기 방전 시뮬레이션

박승영\* · 최연봉 · 조순철

숭실대학교 정보통신전자공학부  
서울특별시 동작구 상도 5동 1-1, 156-743

(2002년 7월 22일 받음, 2002년 10월 13일 최종수정본 받음)

본 연구에서는 인체모델(human body model; HBM)을 터널링 자기저항(tunneling magneto resistance; TMR)소자에 연결하여 정전기에 대한 방전특성을 연구하였다. 이를 위해 제조된 TMR 시편을 전기적 등가회로 바꿔 HBM에 연결하여 PSPICE를 이용해 시뮬레이션하였다. 이러한 등가회로에서 접합부분의 모델링 요소들의 값을 변화시켜 방전특성을 관찰할 수 있었다. 그 결과 시편의 저항과 정전용량 성분의 값이 다른 요소들에 비해 수배에서 수백배까지 커서 정전기 방전(electrostatic discharge; ESD) 민감도를 좌우하는 주요한 요소임을 알 수 있었다. 여기에서 ESD 현상에 대한 내구성을 향상시키기 위해서는 정전용량을 증가시키는 것 보다 접합면과 도선의 저항값을 줄이는 것이 유리하다. 그리고 직류 전압에 대해 절연층의 전위 장벽이 낮아져 많은 전류가 흐르게 되는 항복(breakdown) 전압과 셀의 물리적 구조 및 성질이 변형되어 회복되지 못하는 파괴(failure) 전압을 측정하여 DC 상태에서의 내구성을 연구하였다. 이 결과를 HBM 전압에 대한 파괴 전압으로 간주하여 TMR 소자가 견딜 수 있는 HBM 전압을 예측할 수 있었다.

**주제어** : TMR, MRAM, ESD, 정전기 방전, HBM, 내구성, 신뢰성

### I. 서 론

자기 랜덤 액세스 메모리(magnetic random access memory; MRAM)나 고밀도 자기기록 헤드의 재료로 가장 주목받고 있는 것은 전자의 터널링 효과를 이용한 TMR 재료이다. TMR 소자는 현재 상용화되어 있는 거대자기저항(giant-magnetoresistance; GMR) 소자에 비해 높은 자기저항비를 보인다. 이러한 특징을 이용하여 TMR 소자는 하드디스크 드라이브의 헤드 재료로 많이 사용되고 있는 GMR 소자를 대체할 소자로 주목받고 있다. 또한 반도체 메모리 분야에 있어서도 높은 집적도를 달성할 수 있을 것으로 보고되고 있다[1]. 이러한 자기저항 소자들은 구조나 집적도의 측면에서 발전하는 과정에 있어서 많은 해결 과제를 가지고 있다. 이러한 과제들 가운데 집적회로 소자에서 많은 연구가 이루어지고 있는 ESD로부터 전기적으로 과도한 스트레스에 의한 소자의 손상은 MR 소자를 채용한 하드디스크드라이브 헤드에서도 무시할 수 없는 문제로 부각되고 있다. 이러한 예로 고착층으로 NiFe/FeMn을 사용하는 GMR 소자에서는 ESD 전류 변화에 의하여 자기적 성질이 변화하거나 녹는 현상이 보고되었고[1], TMR 소자의 경우 낮은 전압의 전기적 충격에도 더 이상 자기저항 변화비를 보이지 않아 센서로의 구실을 하지 못하는 사례가 보고되고 있다[2]. 박막 기록 헤드의 표준화된 HBM ESD 실험은 실제로 1995년까지는 정형화 되지 않았으나[3] 그 이후에 이루어진 실험결과와 이에 따른 보고에 의하면 MR 센서들의

일부 박막층이 약 100 V 이하의 HBM 전압에서 녹는다는 것이다[1]. 이러한 파괴 전압은 소자의 면적에 비례하기 때문에 소자의 면적이 작아지면 파괴 전압이 낮아져 낮은 HBM 전압에서도 쉽게 손상된다. 특히 TMR 소자는 중심에 절연층은 매우 얇은 산화층이 사용되는데, 이것은 시편을 제조, 측정 등 손으로 다룰 때 직류접압이나 과도한 정전기로부터 매우 민감하다[4].

따라서 본 연구에서는 CMOS 트랜지스터의 gate 산화층이나 GMR헤드의 정전기 민감도 측정 및 평가에 널리 사용되고 있는[5] HBM을 TMR 소자에 적용하여 방전특성을 연구하고자 하였다. 이를 위해 제조된 TMR 시편[6]에서 절연층을 기준으로 위층 도선(top lead)과 아래층 도선(bottom lead)의 저항과 접합면을 통과하는 부분의 저항을 측정한 결과와 전기적 등가회로를 구성하였다. 시뮬레이션은 PSPICE를 이용하였으며, 접합부분의 모델링 요소들의 값들을 변화시켜 이러한 방전특성을 관찰함으로써 ESD 민감도를 좌우하는 주요한 요소가 무엇인지 연구하였다. 그리고 직류 전압에 대한 항복 전압과 파괴 전압을 측정하여 이를 HBM 파괴 전압으로 간주하고 TMR 소자가 견딜 수 있는 HBM 전압을 예측하였다.

### II. 실험 및 모델링

#### 2.1. 시편제조

초기진공도  $4.0 \times 10^{-7}$  torr 이하에서 DC 마그네트론 방법으로 터널링 접합을 증착하였다. 터널링 접합은 금속 마스크를

\*Tel: (02)815-6471, E-mail: parksy@e.ssu.ac.kr

사용하여 십자형으로 하였으며 두 종류의 마스크를 사용하였다. 하나는 아래층 도선(bottom lead)과 위층 도선(top lead)을 증착하기 위한 것으로 바닥층과 위층은 서로 교차되게 배치하였으며 다른 하나는 절연층을 증착하고 산화시키기 위한 것이다.

표본으로 사용된 시편의 구조는 substrate (Si)/Ta(43Å)/NiFe (75Å)/FeMn(162Å)/NiFe (75Å)/CoFe(21Å)/Al<sub>2</sub>O<sub>3</sub>(22Å)/CoFe (31Å)/NiFe(113Å) 이고, 위층 도선과 아래층 도선의 폭은 200 μm이다.

각 층의 증착조건은 알루미늄층을 제외한 모든 층은 4 mTorr의 아르곤(Ar) 압력에서 증착하였다. 알루미늄층은 아르곤 압력 5 mTorr에서 30 watt로 하였으며 산화조건은 아르곤 : 산소 분압 27 mTorr에서 비율 1:2로 파워 60 watt에서 30 초 동안 플라즈마 산화를 실시하여 형성하였다[6].

2.2. 모델링 및 전류-전압 응답

Fig. 1(a)은 1.5 kΩ 저항과 100 pF 용량의 축전기를 이용한 표준화된 HBM 모델을 TMR 시편에 연결하여 ESD 모델을 설정한 것이다. 회로의 동작은 스위치를 충전 방향으로 접속하여 전압원에서 공급되는 전압을 축전기에 충전한다. 그리고 스위치를 반전시켜 방전으로 하여 축전기에 충전된 전류를

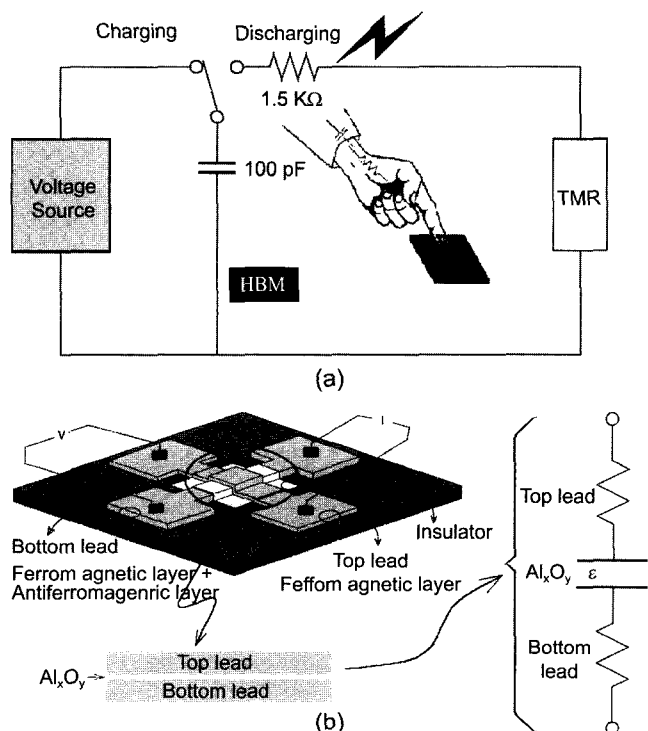


Fig. 1. (a) ESD(electrostatic discharge) simulation model for a TMR(tunneling magnetoresistance) sample which is connected with standard human body model. (b) TMR junction structure and junction model with a capacitor and resistors.

1.5 kΩ 저항을 통해 방전하여 시편에 걸리는 전압과 시료의 상태를 관찰할 수 있다.

Fig. 1(b)는 Fig. 1(a)에서 TMR 부분에 대한 모델을 제시한 것이다. 위층 도선과 아래층 도선 부분을 저항으로 표시하고, 도선에 의한 전극과 Al<sub>2</sub>O<sub>3</sub> 절연층에 의한 유전율(ε)이 있는 축전기를 적용하여 접합부분을 나타내었다.

Fig. 2(a)는 Fig. 1(b)를 보다 자세하게 볼 수 있도록 TMR 시편의 접합부분을 확대하여 나타낸 그림이다. 여기에서 각각의 도선과 접합면에 대해 저항과 축전기로 부위를 표시하였다. 그리고 이것을 기초로 Fig. 2(b)와 같은 구성의 등가회로를 작성하였다. Fig. 2(b)를 구성하는 소자들중 위층 도선과 아래층 도선의 저항값은 실제로 제조한 시편을 측정된 결과를 대입하였다. 그러나 실제 시편의 위층 도선과 아래층 도선은 반도체 공정에서 사용하는 전도성이 좋은 도선과 달리 전기 전도성이 크지 않은 자성박막을 사용하고 그 두께가 얇아 저항이 높다. 따라서 다음과 같은 상태를 가정하고 저

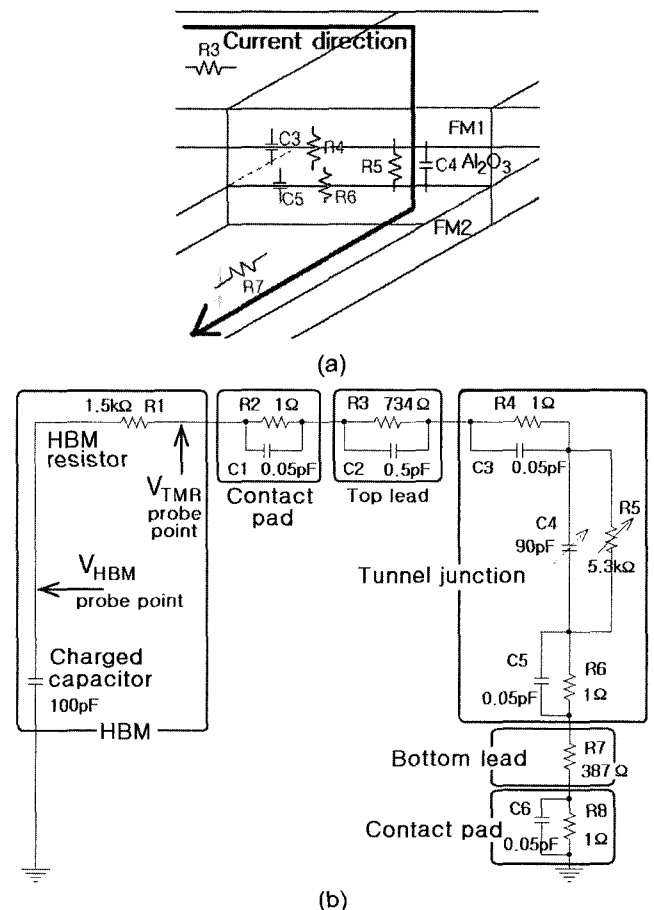


Fig. 2. (a) TMR junction model with resistors and capacitors of leads and junctions. (b) PSpice schematics (200 μm × 200 μm cell) with HBM model and descriptions of each parts of TMR (resistance in Ω (ohm) and capacitance in F (farad)).

항값을 조정하였다. 도선의 길이를 0.5 mm, 선포 2  $\mu\text{m}$ 의 구리 배선으로 하였을 때,  $R = R_{\square} \times L/W$ 에 대입한 결과 8  $\Omega$ 이다. 따라서 본 연구에서는 계산의 편의를 위해 R3와 R7을 10  $\Omega$ 으로 하여 계산하였다. 위층, 아래층 도선과 접촉 전극(contact pad)의 정전용량은 몇가지 요소들로 나누어 생각할 수 있으나 그것들의 값이  $10^{-2}$  fF/ $\mu\text{m}^2$  영역이므로 매우 작다 [8]. 따라서 본 연구에서는 이러한 것들을 고려하여 0.05 pF을 대입하여 설계하였다. 또한 접촉 전극의 저항은 알루미늄을 도선으로 사용하는 1  $\mu\text{m}$  CMOS 제조공정에서 측정된 금속간의 접촉에 의한 저항이 2  $\Omega$ 임을 [8] 감안할 때 매우 낮은 값을 가지므로 다른 소자들의 값에 비하여 상대적으로 매우 작은 값인 1  $\Omega$ 으로 설정하였다. 그리고 접합의 정전용량 C4는 소자 모델의 입력단에 구형파를 입력하고 그 출력을 관찰하여 비교함으로써 전달 지연을 결정하는 시정수를 측정하여 그 값을 90 pF으로 설정하였다 [7].

그리고 제조된 시편의 전류-전압 응답특성을 알아보기 위하여 Keithley 236 source measure unit을 이용하였다. 측정 방법은 전압을 인가하여 이때 접합을 통과하는 전류를 측정하는 것으로 일반적인 다이오드의 전류-전압 응답특성을 측정하는 방법을 택하였다.

### III. 결과 및 고찰

Fig. 3(a)는 Fig. 2(b)에서 접합면을 통과하는 저항 R5를 제조된 시편에서 측정된 값에 따라 5.3 k $\Omega$ 으로 고정하고 접합의 정전용량 C4를 변화시켜  $V_{\text{HBM}}$ 에 대해  $V_{\text{TMR}}$ 을 관찰한 것이다. 여기서  $V_{\text{HBM}}$ 은 Fig. 2(b)에서  $V_{\text{HBM}}$  probe point에서 계산된 것이며 축전기에서 방전되는 전압을 의미한다. 그리고  $V_{\text{TMR}}$ 은 HBM 저항을 지나 TMR 시편에 인가되는 전압을 의미하며  $V_{\text{TMR}}$  probe point에서 계산된 것이다. 이 결과에서 C4의 정전용량이 커짐에 따라 HBM 전압에 대해서 실제로 TMR 시편에 인가되는 전압이 작아지는 것을 관찰할 수 있다.

Fig. 3(b)는 접합면을 통과하는 저항 R5가 작아졌을 경우  $V_{\text{HBM}}$ 에 대해  $V_{\text{TMR}}$ 을 관찰한 것이다. 여기에서 접합면을 통과하는 저항 R5가 50  $\Omega$ 으로 작아지면 접합의 정전용량 C4의 크기에 큰 상관성 없이 시편에 걸리는 전압이 매우 작음을 볼 수 있다.

Fig. 4는 접합의 정전용량 C4의 변화에 따라  $V_{\text{HBM}}$  대비  $V_{\text{TMR}}$  비율의 변화를 살펴본 것이다. 또한 접합을 통과하는 저항의 변화에 대해서도  $V_{\text{HBM}}$  대비  $V_{\text{TMR}}$  비가 서로 어떠한 차이점이 있는지도 살펴보았다. 그 결과 시편의 접합면 면적이 작아질 경우 접합을 통과하는 저항의 크기가 커지고, 정전용량이 감소하였을 때 HBM 전압대비 TMR 시편에 인가

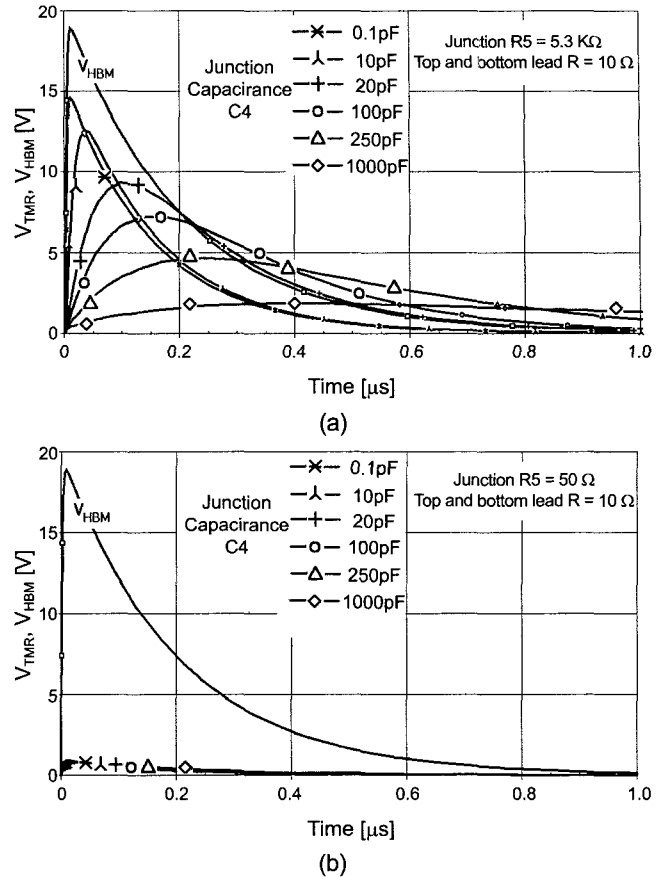


Fig. 3.  $V_{\text{HBM}}$  and voltage applied to TMR sample ( $V_{\text{TMR}}$ ) versus time (parameter: junction capacitance C4). (a) Discharge characteristics when junction resistance was 5.3 k $\Omega$  (b) Discharge characteristics when junction resistance was 50  $\Omega$ .

되는 전압비 1에 가까워진다.

이러한 이유로는 축전기의 정전용량이 커지면 급격하게 변하는 전압이 인가될 때 축전기의 임피던스가  $ja\omega C$ 에 반비례하여 작아진다. 여기에서  $\omega = 2\pi f$ 이고  $f$ 는 주파수이다. 따라서 HBM 저항과 TMR 시편의 임피던스가 직렬 저항 접속에서 전압분배법칙에 따라 TMR 시편에 걸리는 전압이 작아지게 된다. 이것을  $V_{\text{TMR}}/V_{\text{HBM}}$ 의 비율로 표시할 수 있고 비율이 1이면  $V_{\text{HBM}}$ 이 시편에 모두 인가되는 것이고, 비율이 낮아진다는 것은  $V_{\text{HBM}}$ 이 낮아진 비율 만큼 감소되어 시편에 인가되는 것이다. 따라서 축전기의 정전용량이 클수록 그리고 접합의 저항이 작을수록  $V_{\text{TMR}}/V_{\text{HBM}}$ 의 비율이 낮아져 TMR 시편에 걸리는 전압이 작아지고 결국 HBM 전압에 대한 내구성이 향상된다고 할 수 있다. 그러나 축전기의 정전용량이 커지기 위해서는 절연층을 중심으로 양단 접합 영역의 면적과 유전율이 커져야 한다. 유전율은 저항과 비례하지 않고, 또한 제어하기가 쉽지 않으므로 접합 영역의 면적을 크게 하여  $V_{\text{TMR}}/V_{\text{HBM}}$ 의 비율을 작게 만들어야 하는데, 이것은 기록

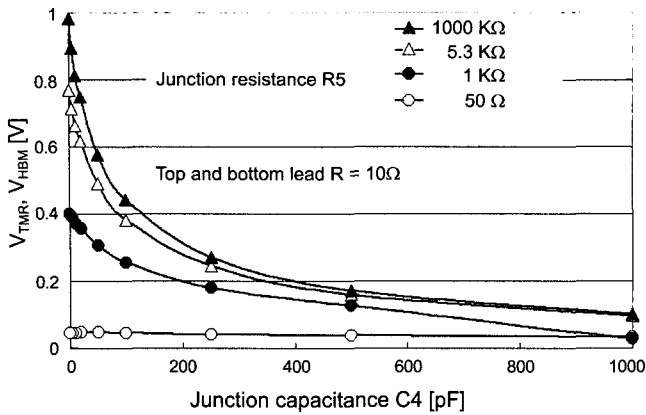


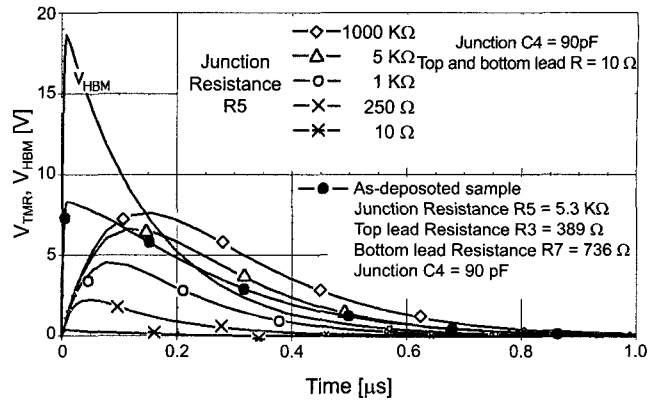
Fig. 4.  $V_{TMR}/V_{HBM}$  versus junction capacitance  $C_4$  (parameter : junction resistance  $R_5$ ).

밀도를 높이는데 방해요소가 될 뿐 아니라 반응 시간을 크게 하여 전달지연이 커지게 된다. 그리고 Fig. 3(b)의 결과에 따르면 정전용량이 200 pF 이상이면  $V_{TMR}/V_{HBM}$ 의 비율이 낮아지는 폭이 크지 않다. 따라서 정전용량을 조절하여 HBM 전압에 대한 내구성을 향상시키는 방법에는 한계가 있다.

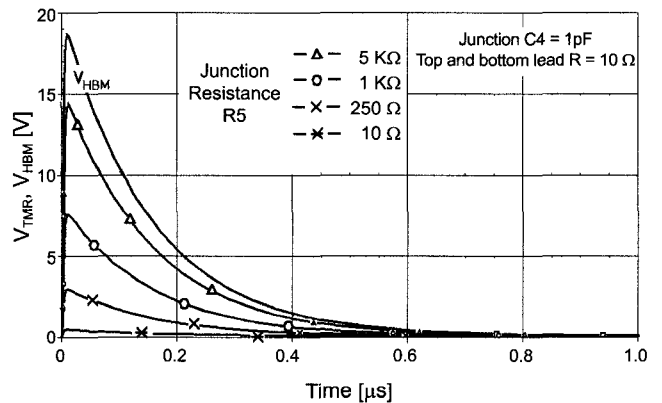
Fig. 5(a)는 Fig. 2(b)에서 접합면의 정전용량  $C_4$ 를 구형과 응답특성에 대한 시정수를 계산하여 예측한 값인 [7] 90 pF로 고정하고, 접합저항  $R_5$ 를 변화시켜 그 응답과형을 관찰한 것이다. 이 결과에서 저항  $R_5$ 가 작아짐에 따라 HBM 전압에 대해서 실제로 TMR 시편에 인가 되는 전압이 작아지는 것을 관찰할 수 있다. 또한 Fig. 5(a)에서 측정시 사용된 as-deposited 시편의 방전 곡선(●)을 나타내었다. 접합저항이 비슷하고 top 도선과 bottom 도선이 10  $\Omega$ 인 가상 시편의 결과(△)를 비교하였을 때 as-deposited 시편의 피크 전압이 25% 높게 나옴을 관찰할 수 있다. 따라서 도선의 저항을 작게 제조하는 것이 ESD에 대한 내구성 향상에 도움이 될수 있다.

Fig. 5(b)는 절연층을 형성시키는 조건을 변화시켜 접합의 정전용량  $C_4$ 의 크기가 1 pF으로 매우 작게 하였을 때 HBM 전압대 대한 응답특성을 관찰한 것이다. 이러한 결과를 통해 절연층을 중심으로한 접합의 정전용량이 매우 작으면 접합의 저항이 커질수록 HBM 전압대비 TMR 시편에 인가되는 전압비가 매우 높아져 HBM 전압이 TMR 시편에 거의 모두 인가됨을 관찰할 수 있었다.

Fig. 6은 접합면을 통과하는 저항  $R_5$ 의 값에 따라 HBM 전압대비 TMR 시편에 인가되는 전압비의 변화를 살펴본 것이다. 저항의 경우 축전기와 달리 임피던스가 이론적으로 저항값에 정비례한다. 따라서 저항의 크기가 작아질수록  $V_{TMR}/V_{HBM}$ 의 비율이 낮아져 시편에 인가되는 HBM 전압이 낮아진다. 여기에서 정전용량을 변화시켜 그 경향을 비교한 결과



(a)



(b)

Fig. 5.  $V_{HBM}$  and voltage applied to TMR sample ( $V_{TMR}$ ) versus time (parameter: junction resistance  $R_5$  (cell size: 200  $\mu$ m  $\times$  200  $\mu$ m)). (a) Discharge characteristics when junction capacitance was 90 pF. (b) Discharge characteristics when junction capacitance was 1 pF.

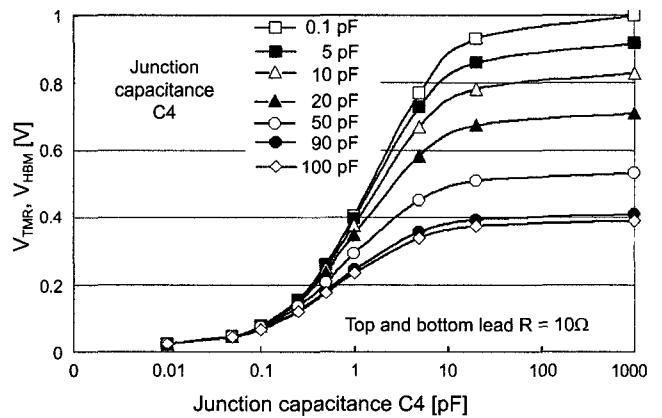


Fig. 6.  $V_{TMR}/V_{HBM}$  versus junction resistance (parameter : junction capacitance  $C_4$ ).

접합면을 통과하는 저항이 100  $\Omega$  미만에서는 접합의 정전용량의 크기에 따라  $V_{TMR}/V_{HBM}$ 의 비율이 크게 차이가 나지 않으나 그 이상에서는 많은 차이가 있음을 관찰할 수 있다. 그리고 제조된 시편의 경우 위층 도선과 아래층 도선의 재료

와 두께가 절연층의 위와 아래에 있는 자성층과 동일한 재료와 두께를 사용하여 저항값이 수백  $\Omega$ 로 매우 크다. 그러나 이를 전도성이 좋은 다른 재료를 사용하면서 그 두께를 크게 하거나 절연층의 제조 조건을 변화시켜 접합면을 통과하는 저항을 100  $\Omega$  정도가 되도록 제어할 수 있다면 작아지는 접합의 크기에 비례하여 줄어드는 정전용량에 상관없이 ESD 현상에 대해서 보다 좋은 내구성을 가질 수 있으리라 사료된다.

지금까지 살펴본 결과를 기초로 시편의 크기에 따른 ESD 현상에 대한 내구성을 유추할 수 있다. 시편의 크기가 작아지면 일반적으로 접합의 저항이 커지고 정전용량이 감소하게 된다. 제조된 시편을 1  $\mu\text{m} \times 1 \mu\text{m}$  크기로 축소시키면 이론적으로 0.022 pF의 정전용량을 갖는다[7]. 그리고 저항은 수백 M $\Omega$ 으로 커질 수도 있고, 그 경우 Fig. 4에서 볼 수 있듯이  $V_{\text{TMR}}/V_{\text{HBM}}$ 의 비율이 1에 가까워져 HBM 전압이 거의 대부분 TMR 시편에 인가된다. 이러한 현상은 Fig. 4에서 접합 저항 R5의 값이 50  $\Omega$ 인 그래프에서 볼 수 있듯이 적절한 두께의 절연층에 접합 저항을 최소화 할 수 있는 산화 조건을 도입하여 ESD 현상에 대한 내구성을 향상시킬 수 있다고 사료된다.

Fig. 7은 제조된 시편에 DC 전압을 인가하여 시편을 통과하는 전류량을 측정하여 전류-전압 곡선이다. 이 실험을 통해 시편이 견딜 수 있는 전압의 값이 얼마인지 고찰하고자 하였다. 실험 결과 약 1 V 이상에서 저항이 급격히 낮아지는 항복(breakdown)이 일어나 MR 효과를 보이는 시편의 특성에는 변화가 없었으며, 8 V와 9 V 사이에서 시편의 접합이 손상(failure)되어 다시 복구되지 않았으며 MR효과도 나타나지 않았다. 또한 본문의 2.1 시편 제조에 따라 제조된 시편에서 접합의 저항이 0.2 k $\Omega$ 에서 1 k $\Omega$ 으로 5배 이상 증가하였다. 이러한 원인으로는 제조된 시편의 위층의 전류밀도가  $3 \times 10^5$

A/cm<sup>2</sup>이다. 그러나 위층 도선이 절연층과 아래층 도선을 넘어가는 모서리 부분은 그 두께가 매우 얇아서 전류밀도가 높아진다. 따라서 electromigration 현상에 의해 도선의 일부가 손상되어 전류가 흐를 수 있는 유효 단면적의 크기가 감소된 것으로 여겨진다. 그리고 MR 현상이 재현되지 않는 점으로 미루어 볼 때 절연층 역시 크게 손상된 것으로 사료된다. 이 결과를 Fig. 5(a)와 비교해 보았을 때 제조된 TMR 시편은 접합저항 R5가 5.3 k $\Omega$ 이고 접합면의 정전용량 C4가 90 pF이므로 HBM 전압이 약 20 V일 때 시편에 인가되는 전압이 8 V 이하이다. 따라서 전류 전압곡선에서 나타난 파괴 전압을 제조된 TMR 시편이 견딜 수 있는 최대 전압이라고 한다면 이것이 견딜 수 있는 최대 HBM 전압은 약 20 V라고 할 수 있다.

#### IV. 결 론

본 연구에서는 HBM을 TMR 소자에 적용하여 정전기에 대한 방전특성을 알아보려고 하였다. 이를 위해 제조된 TMR 시편에서 절연층을 기준으로 위층 도선과 아래층 도선의 저항과 접합면을 통과하는 부분의 저항을 측정하여 전기적 등가회로를 구성하여 PSPICE를 이용해 시뮬레이션하였다. 접합부분의 모델링 요소들의 값들을 변화시켜 이러한 방전특성을 관찰함으로써 접합부분의 저항과 정전용량이 도선의 저항에 비해 상당히 크므로 ESD 민감도를 좌우하는 주요한 요소라 할 수 있다. 따라서 ESD 현상에 대한 내구성을 향상시키기 위해서는 접합의 정전용량을 증가시키고, 시료 전체의 저항 성분의 값을 줄이는 것이다. 그러나 정전용량은 시편의 면적과 비례하므로 top 도선과 bottom 도선은 저항률이 낮은 물질을 사용하고, 그 두께를 두껍게 하여 저항이 낮게 제조하고, 절연층은 두께나 산화 조건 또는 방법을 제어하여 저항을 낮추는 것이 기록밀도를 향상시키는 측면에서도 더 유리하다. 또한 접합면을 통과하는 저항이 100  $\Omega$  이하로 낮아지면 접합면의 크기에 따른 정전용량의 크기에 관계 없이 거의 일정하게  $V_{\text{TMR}}/V_{\text{HBM}}$ 의 비율이 작은 값을 보이는 계산 결과를 얻을 수 있었다. 그리고 직류 전압에 대한 항복 전압과 파괴 전압을 측정하여 이를 HBM 파괴 전압으로 간주하면 제조된 TMR 소자가 견딜 수 있는 HBM 전압이 약 20 V 정도로 예측할 수 있다.

#### 감사의 글

본 연구는 과학기술부에서 추진하는 21세기 프론티어사업 중 테라급나노소자개발사업단 지원에 의한 것이며 이에 감사드립니다.

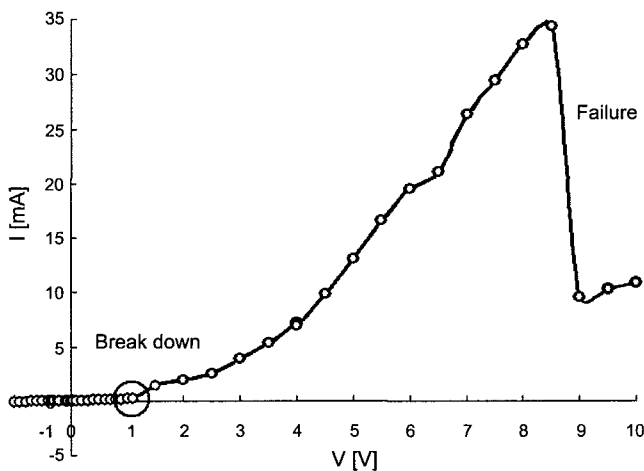


Fig. 7. IV curve of TMR sample and its breakdown and failure voltage.

### 참고문헌

- [1] A. Wallash, Y. K. Kim, IEEE Trans. Magn., **34**(4), 1519(1998).
- [2] A. Wallash, J. Hillman, M. Sharma, and S. X. Wang, IEEE Tans. Magn., **36**(5), 2809(2000).
- [3] A. Wallash, Presented at the 2000 ESDDiscovery 2000, www.wallash.com.
- [4] W. Oepts, H. J. Verhagen, W. J. M., Appl. Phys. Lett., **73**, 2363(1998).
- [5] M. J. S. Smith, Application-specific integrated circuits, Addison-Wesley, (1997), p. 100.
- [6] 최연봉, 박승영, 강재구, 조순철, 한국자기학회지, **9**, 296(1999).
- [7] 박승영, 최연봉, 조순철, 한국자기학회지, **12**(2), 68(2002).
- [8] J. M. Rabaey, Digital integrated circuits, A design perspective, Prentice Hall, NewJersey, (1996), p. 439-461.

## Electrostatic discharge simulation of tunneling magnetoresistance devices

S. Y. Park\*, Y. B. Choi, and S. C. Jo

*School of Electronic Engineering, Soongsil University, Seoul 156-743, Korea*

(Received 22 July 2002, in final from 13 October 2002)

Electrostatic discharge characteristics were studied by connecting human body model (HBM) with tunneling magnetoresistance (TMR) device in this research. TMR samples were converted into electrical equivalent circuit with HBM and it was simulated utilizing PSPICE. Discharge characteristics were observed by changing the component values of the junction model in this equivalent circuit. The results show that resistance and capacitance of the TMR junction were determinative components that dominate the sensitivity of the electrostatic discharge(ESD). Reducing the resistance of the junction area and lead line is more profitable to increase the recording density rather than increasing the capacitance to improve the endurance for ESD events. Endurance at DC state was performed by checking breakdown and failure voltages for applied DC voltage. HBM voltage that a TMR device could endure was estimated when the DC failure voltage was regarded as the HBM failure voltage.

**Key words :** TMR, MRAM, ESD, Electrostatic discharge, HBM, Endurance, Reliability.