

무손실 데이터 보상을 갖는 동기회로의 ASIC 구현

정회원 최진호*, 강호용**, 전문석***

ASIC Implementation of Synchronization Circuit with Lossless Data Compensation

Jin-ho Choi*, Ho-Yong Kang**, Moon-Seog Jun*** *Regular Members*

요약

하나의 클럭원으로 동기 되는 고속의 데이터 통신 시스템에서, 데이터와 클럭 사이의 다른 라우팅 경로나, 부품들의 다른 전달지연시간 또는 외부 잡음에 의한 데이터나 클럭의 불안정한 위상과 같은 여러 이유들로 인해 데이터를 잃어버릴 수가 있다. 본 논문에서는 이렇게 잃어버린 데이터를 탐지하고 원래의 데이터로 복원하여 보상 출력하는 기능을 갖는 디지털 회로를 제안하고 구현을 기술한다. 특히, 이러한 보상회로는 광 분야등과 같이 고속의 데이터 전송을 위한 통신 시스템에서 강한 안정성을 가지며 BER 개선에 상당히 크게 영향을 준다. 이 회로는 Verilog HDL로 구현이 되었으며 통신 및 데이터 전송관련 디지털 ASIC 구현에 기본적으로 응용이 가능하다.

ABSTRACT

In the fast data communication system, synchronized by a clock source, the loss of data will often occur due to several reasons as a differential routing path between data and clock, a differential propagation delay of components or an unstable phase of clock and data by external noise. In this paper, we describe the ASIC implementation of the data compensation circuit which can detect the data loss from above problems and recovery to original data with stable synchronization. Especially It supports a strong stability and a good BER in the communication system for fast data transfer as optic area. This circuit is implemented by Verilog HDL and available to the digital ASIC implementations related to fast data transfer.

I. 서론

광통신을 이용한 통신시스템이나 네트워크 시스템을 설계할 때, 시스템들 또는 보드들 사이에 하나의 마스터 클럭에 의해 운영되는 경우 클럭과 데이터의 동기문제는 시스템의 안정도에 중요한 요소이다. 특히 광통신분야와 같이 빠른 데이터의 전송 처리가 주가 되는 시스템에서는 중요도가 더해진다. 반도체 공정이 발전함에 따라 클럭의 속도가 빨라지고 결과적으로 데이터와 클럭의 여유분이 더더욱 작아지고 있다. 이때 내부적인 혹은 외부적인 물리적 문제로 클럭의 데이터의 위상이 변할 때 같은

데이터를 중복해서 인식할 수도 있거나 또는 그냥 읽지 못하고 지나치는 경우가 생겨 데이터가 신뢰적이지 못한 결과를 초래한다. 이런 요인들은 데이터 경로나 클럭의 경로가 달라 전달시간차에 의해 발생할 수도 있으며 신호의 감쇄 또는 외부 잡음이나 충격에 의해 발생하며 데이터나 클럭이 동기를 잃어버려 데이터의 손실을 초래 한다.

본 논문에서는 타이밍 위반이나 클리치 없이 비 동기 신호의 동기 신호로의 안정된 변환을 갖는 회로를 제안 설계하며, 시스템들이나 보드들 사이에 하나의 클럭원으로 발생하는 데이터일지라도 위에서

* LG전자 디지털미디어연구소 선임연구원(jinchoi@lge.com),
 ** 한국전자통신연구원 네트워크기술연구소 선임연구원(hoyong.kang@etri.re.kr),
 *** 숭실대학교 컴퓨터학과 통신연구실(mjun@computing.ssu.ac.kr)
 논문번호 : 020256-0603, 접수일자 : 2002년 6월 3일

언급한 요인들로 인해 데이터와 클럭의 위상이 달라질 때 또는 기준 클럭의 배수의 시간을 갖고 분주되는 클럭들이 기준 클럭과 위상이 달라져서 입력될 때 데이터 손실을 보상하는 기능을 갖는 회로를 제안하고 구현한다. 이러한 구현은 완전히 디지털적으로 ASIC화 할 수 있는 장점을 갖는 구조이며 기존의 DLL이나 PLL 구조를 이용하여 CMOS로 설계되어^[1,2] 사용하는 구조와는 차별을 둘 수 있다.

또한 시스템 레벨에서 고속의 데이터 통신을 위해 시스템들 사이의 상호 연결을 할 때 주로 DLL과 PLL구조의 Phase Detector를 이용하는 아날로그 소자인 LVDS(Low-Voltage Differential Signals)를 사용하지^[6,7], 본 논문에서 제안한 회로를 ASIC 설계된 입력 단에 한 블록으로 이용한다면 별도로 LVDS소자를 사용하지 않고 안정적인 데이터를 얻을 수가 있다. 클럭과 데이터의 위상이 달라져 데이터 손실이 발생하는 예를 그림 1에 보여준다.

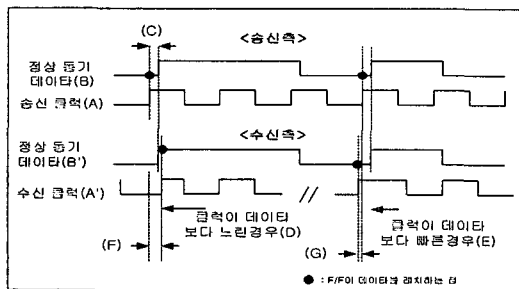


그림 1. 클럭이나 데이터의 시간차로 인한 손실 타이밍도

그림 1을 보면 클럭이 데이터보다 느린 경우(D)와 클럭이 데이터 보다 빠른 경우(E) 두 가지를 보여준다. 이는 반대로 데이터가 클럭보다 빨리 도착하는 경우와 늦게 도착하는 경우와 같이 생각할 수 있으며 또한 클럭이나 데이터가 어떤 요인들에 의해 위상이 변동된다고 할 수가 있다.

동작을 Rising Edge동작으로 가정한다면, 정상적인 경우 송신 측에서 기준 클럭(A)과 정상 동기 데이터(B)는 하나의 F/F 전달시간과 선로전달시간만큼(C)의 지연을 가지고 수신 측으로 보내지며 수신 측에서도 같은 위상으로 받아야 동기가 맞는다고 말한다. 그러나 (D)와 같이 수신측 클럭이 데이터보다 늦게 수신한다면, 혹은 클럭이 변동(F)이 생겨 Rising Time이 지연된다면 Low를 읽어야 할 순간 High를 읽음으로서 데이터의 왜곡이 발생하게 된다.

또 (E)와 같이 데이터가 늦는 경우(G)는 Duty 50%를 넘지 않는 한 클럭과 데이터의 위상이 바뀌지 않으므로 별 문제는 없으므로 무시한다.

이러한 현상은 155 MHZ(Duty Cycle 3.22 nsec)로 데이터를 주고받는 광통신의 시스템 설계 시에 나타나는 현상이며, 시스템간의 데이터와 클럭의 위상이 미세하게 변하면서 발생하게 된다. 다시 말해, 50 MHZ 이하로 시스템이 동작할 때 수 nsec의 지연 및 변동은 10 nsec의 Duty를 생각할 때 무시할 수는 있지만 155 MHZ와 같이 3.22 nsec의 Duty를 가진 회로라면 1 또는 2 nsec의 흔들림도 데이터 손실에 치명적일수가 있는 것이다. 많고 빠른 데이터양의 필요와 반도체 공정 및 메모리의 발전으로 인하여 통신 시스템과 관련 부품들은 점점 클럭의 속도가 올라가고 데이터의 전송이 고속화되어가면서 무손실 데이터 전송의 중요성이 크게 부각되어지고 있는 상황이다. 이런 이유로 현재는 보통 고속 데이터 전송에는 상용 소자인 LVDS 소자를 사용하여 데이터 전송을 한다. 본 논문에서는 이러한 소자를 사용하지 않으면서 글리치 없이 무손실 데이터 전송을 할 수 있도록 완전한 디지털 회로를 제안하고 설계하였다.

본 논문에서는 무손실 데이터 전송 회로를 구성하기 위하여 PLL이나 DLL 방식의 Phase Detector를 이용하는 방법^[1,2] 사용하는 대신에 완전히 디지털로 구현 할 수 있는 비동기 동기 변환 회로^[3] 이용하여 데이터 복구 기능이 있는 새로운 구조의 데이터 전송 회로를 제안하고 구현한다. 이는 종전의 구조가 CMOS Layout을 통해 구현하여 IC가 제작되고도 아날로그적인 실험을 거쳐야 하는 반면, 제안된 구조는 ASIC 설계에 적합한 구조로 Verilog나 VHDL로 설계 할 수가 있다.

논문의 구성은 다음과 같다. II장에서는 종전의 비동기 동기 변환 회로인 동기신호 출력회로에 대하여 설명하고^[3] 이 방법으로는 비트 보상의 기능이 없음을 분석, 기술한다. III장에서는 비트보상을 하며 비동기 데이터를 동기 데이터로 변환하는 회로와 기능을 기술하고 결론을 맺는다. 본 논문에서 보여주는 구조는 Verilog-HDL로 구현하고 Synopsys사의 Design Compiler로 합성하고 CADENCE사의 검증 툴인 Signlscan으로 Netlist 검증을 마쳤다. Library는 TSMC의 0.18um Standard Cell을 사용하였다.

II. 종래의 비동기 신호 출력회로의 제약

2.1 비동기 신호 출력 회로의 분석

신호 제어분야에서 가장 기본적인 부분이 타이밍 위반이나 클리치 없이 비동기신호를 동기신호로 변환하여 안정적인 동기신호를 제공하는 것이고, 일반적으로 송신 단에서 보내준 송신신호는 수신단의 클럭과 동기 되어야만 정상적으로 데이터 처리를 할 수 있다. 이번 장에서는 종래 기술인 비동기 신호를 기준이 되는 특정 클럭에 동기 시켜 출력을 하는 회로에 대하여 분석 설명한다^[3]. 이러한 동기 신호 변환 회로의 구성은 그림 2와 같이 하나의 래치(latch)와 하나의 멀티플렉서 그리고 AND 게이트, 최종으로 클럭의 Rising Edge에 출력하도록 하기위한 F/F로 구성된다. 동작 설명은 MUX에서는 기본 클럭인 CLK를 선택 신호로 이용하여 High일 때 ASYNC_IN의 변화를 반영하고 Low일 때는 Latch로 High때 반영된 값을 유지 시키도록 하는 구조이다. 이 구조에서 데이터 손실이 일어나는 경우에 대하여 타이밍을 분석하며 설명을 하면 다음과 같다.

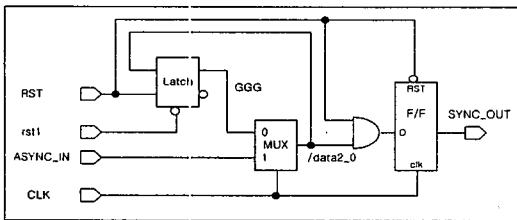


그림 2. 종래의 동기신호 출력회로[3]

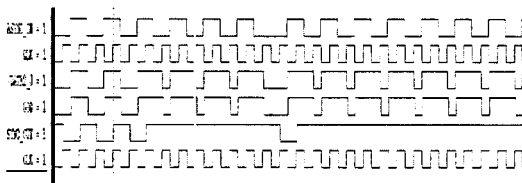


그림 3. 종래구조의 데이터 손실 타이밍도(Netlist Level)

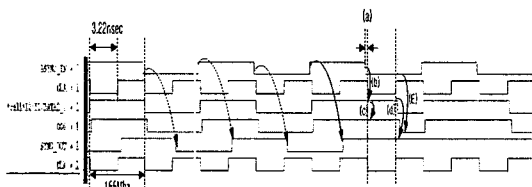


그림 3. 종래구조의 데이터 손실 세부 타이밍도

종전의 동기신호 출력회로에서 해결하지 못하는

점들을 그림 3과 그림 4의 타이밍도 에서 볼 수 있다. 그림 2의 종래의 비동기 동기 변환 회로 구조는 클럭 변환 회로^[3] 경우와 같이 플래그 신호 같은 비동기적으로 변하는 선택신호나 두 클럭 정도의 여유를 가지고 동기변환을 해도 기능에 문제가 없는 회로에서는 유효한 회로가 될 수가 있다. 즉, 현재 클럭에서 비동기 데이터 ASYNC_IN의 변화를 탐지를 못해도 다음 클럭에서 탐지를 한다면 문제가 없는 경우 인 것이다. 그러나 매 클럭 단위로 변하는 데이터를 출력에 반영해야하는 회로에서는 그림 3, 4와 같이 손실이 발생할 수 있는 구조를 갖는다.

그림 4와 같이 CLK의 Rising이나 Falling 근처에서 데이터의 전이가 매 번 비동기성을 가지며 연속적으로 생기는 경우에 대해서는 문제가 된다. 실시간으로 변하는 연속적인 데이터이므로 현재 클럭에서 탐지를 못하면 잃어버릴 수밖에 없는 것이다. 즉, 클럭이나 데이터의 위상차로 ASYNC_IN을 탐지 못한다면 SYNC_OUT이 ASYNC_IN를 반영을 못하여 High를 계속해서 유지하므로 결국 데이터를 잃어버리는 결과를 갖는다. 그림 3은 데이터 손실이 발생하는 전체 타이밍 도를 보여주는데, 실제 광통신 시스템에서 고속 데이터 전송 시뮬레이션 시에 클럭과 데이터가 미세 변동하여 나타난 결과이다. 이 결과 검증을 위한 클럭은 광통신의 기준 클럭인 155 MHz를 사용하였고, ASYNC_IN의 위상을 23T(6.44 nsec * 23)마다 0.01 nsec씩 이동을 시키면서 출력 SYNC_OUT을 분석한 결과이다. 그림 3을 확대한 세부 타이밍도인 그림 4의 타이밍 도를 보면서 자세히 설명하면 다음과 같다.

그림4에서 문제가 되는 구간은 ASYNC_IN이 High에서 Low로(a) 바뀔 때 CLK이 High에서 Low로 전이가 일어날 때의 경우(b)이다. 이는 그림 2의 구조에서와 같이 CLK을 MUX의 선택 신호로 사용하므로 MUX의 선택 신호가 Low로 바뀌는 시간(b)에 MUX의 입력인 ASYNC_IN의 High에서 Low로의 전이(a)가 동시에 일어나므로 현재의 변화를 MUX의 출력으로 반영을 못하고 바뀌기 전인 High 값을 유지하는 경우이다. 즉, CLK의 High가 타이밍 여유가 있어 ASYNC_IN의 전이된 결과를 탐지를 하고 Low로 전이 되었다면 문제가 되지 않지만 탐지를 못했다면 이전 High값으로 계속 인지를 하기 때문에 Data2_0은 (c)와 같이 계속 이전 값 High를 유지하게 된다. Data2_0라는 NET 이름은

합성 후에 Tool에 의해 자동으로 붙여진 이름이다.

이 값은 CLK가 반 클럭 지난 다음 High구간 (CLK의 Rising Edge구간)에서 Low로 반영(E)이 될 것이다. 그러나 Low로 반 클럭 후에 반영이 되었어도, SYNC_OUT은 CLK의 Rising Edge에서 신호를 발생시키므로 같은 시간에 반영된 이 Low(E)는 (d)와 같이 SYNC_OUT에 반영을 못시키고 이전 값 High를 계속 반영시킬 수밖에 없게 되며 데이터를 손실하는 결과를 초래한다. 이렇게 CLK와 ASYNC_IN의 타이밍 관계가 미세하게 흔들리며 입력이 계속될 경우에는 그림3, 4와 같이 연속적으로 두 클럭마다 하나씩 데이터를 잃어버리는 경우가 생기게 된다.

III. 제안된 비트보상을 갖는 무손실 데이터 동기회로

2장에서는 기존의 비동기 신호를 동기신호로 변환하는 기술이 분주된 클럭이나 매번 변하는 데이터를 전송하는데 타이밍 적으로 손실이 발생하여 데이터를 잃는 경우 때문에 데이터 전송에는 적합하지 않음을 설명하였다. 3장에서는 이러한 단점들을 개선하여 데이터의 손실을 탐지하고 복원하는 회로의 구조를 제안 설명하고 시뮬레이션 결과에 따른 타이밍 도를 설명한다.

본 논문에서 제안하는 무손실 데이터 전송회로의 장점은 다음과 같다. 우선 클럭이나 데이터의 불안정으로 인한 타이밍적인 손실을 탐지하고 보상하여 원래의 데이터를 복원하는 기능을 가진다. 전송한 바와 같이 데이터를 복원하는 회로들은 많이 논문으로 발표되어 있으나 완전히 디지털로 구현하여 ASIC 설계에 적합한 복원회로는 찾기가 어렵고 대부분이 PLL이나 DLL구조 또는 LVDS 소자를 사용하는 종전의 아날로그나 CMOS VLSI 레벨의 구조가 주를 이루고 있다^[1,2,5,6]. 본 논문은 이러한 구현과는 달리 완전히 디지털로 ASIC화하여, 하나의 블록으로 ASIC 설계 시에 Verilog나 VHDL Code에 적용할 수 있는 장점을 갖는 회로를 제안하고 이를 Verilog HDL로 구현하여 합성, 검증한다. 제안한 회로의 전체 구성이 그림 5에 보여주며 동작 타이밍도가 그림 8과 그림9, 10에 보여준다.

회로의 전체 구성은 크게 3개의 블록으로 이루어져 있다. 비동기 데이터를 기준 클럭에 동기 시켜

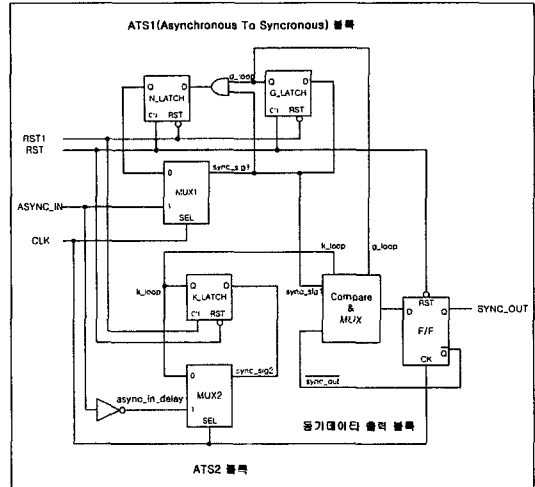


그림 5. 제안된 비트 보상의 데이터 무손실 데이터 동기회로

출력하는 ATS1 (Asynchronous To Synchronous) 블록과, 같은 비동기 데이터를 NOT 게이트의 전달 시간만큼 지연시켜 기준 클럭에 동기 시켜 출력하는 ATS2 블록, 그리고 이들에 의해 발생된 제어신호들 g_loop, k_loop, sync_sig1을 받아 비교와 다중화를 거쳐 데이터 보상기능을 가지고 기준 클럭에 동기 시켜 출력하는 동기 데이터 출력 블록으로 구성된다.

각 구성별 동작은 다음과 같다. 우선 RST와 RST1은 버퍼지연만큼의 같은 신호이며 두 가지 목적으로 사용된다. 첫째는 Netlist Simulation시 초기화로 인한 Unknown값 발생을 방지하기 위함이고 둘째는 안정된 Latch를 구성하는데 사용된다. 이 래치 구성 회로를 그림 6에 회로를 보여주는데, Latch를 구성하기 위해서는 Enable신호가 필요하다. 본 회로에서 필요한 Enable은 시스템이 Power On되면 항상 Active하게 데이터의 변화를 기다리도록 해야 하므로 RST 신호를 Enable로 사용하였다. 하지만 다른 신호를 만들어서 Latch의 Enable로 사용하면 Synopsys로 합성 후에 Latch가 생성되지 않고 조합 논리 회로로 생성되므로 DFT(Design For Test)에서 치명적인 타이밍 루프가 발생되어 ASIC 설계할 때 좋은 설계 방법이 될 수 없다. 그리고 RST와 RST1을 인버터만큼의 지연을 둔 이유는 Reset시에 Reset과 Enable이 같은 시간에 동시에 들어가기 때문에 타이밍 위반이 생겨 Data_Out의 값이 Unknown 값으로 출력되므로 이 Data_Out를 입력으로 받는 모든 Latch나 F/F의 출력은

Unknown값으로 변하게 되어 Netlist Simulation이 불가능하게 됨을 막기 위함이다. 물론 Behavioral Simulation시에는 문제가 되지 않는다.

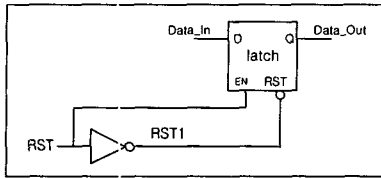


그림 6. RST를 Enable로 사용한 Latch의 구성 회로

ATS1블록과 ATS2 블록의 기본 동작은 유사하다. 그림 5의 ATS1 블록을 설명하면 다음과 같다. MUX1은 비동기 신호 ASYNC_IN을 입력으로 받아 그 변화를 선택 신호로 사용되는 CLK의 High 구간에서 출력시키는 역할을 하는데 클럭이 High구간일 때 ASYNC_IN의 변화를 sync_sig1에 반영하여 출력한 후 G_LATCH에 저장해 놓고, CLK의 Low 구간에서는 G_LATCH의 출력인 g_loop와 MUX1의 sync_sig1과 논리곱 연산을 거친 후 N_LATCH를 통해 MUX1로 입력되어 CLK이 High 기간 중의 변화 값을 CLK가 Low일 때 유지하도록 한다. 여기에서 논리곱 연산기는 타이밍을 맞추기 위해 필요하다.

2장에서 데이터 손실의 예를 보여준 것 같이, ATS 블록의 단점이 매번 변하는 데이터(ASYNC_IN)들이 CLK의 전이 부근에 입력된다면 타이밍의 제약으로 변화 값을 반영을 못하는 것인데, 이를 극복하기 위하여 Inversed ATS2 블록을 사용 하였다. 즉, ATS2는 ATS1 블록의 CLK의 전이부근에서 탐지하지 못한 변화를 다시 한번 탐지하는 역할을 수행한다. 즉, ASYNC_IN을 NOT 게이트를 이용해 하나의 NOT게이트만큼의 지연을 가지며 반전된 async_in_delay를 발생하여 ATS2 블록에 제공한다. 그러면 MUX2에서, MUX1의 동작과 마찬가지로, CLK가 High일 때 sync_sig2에다 async_in_delay의 변화를 출력하여 K_LATCH를 통해 k_loop값으로 유지하게 한다. 이렇게 Inversed ATS2 블록을 두는 구조를 가지므로 클럭의 Rising때나 Falling때에 ASYNC_IN이 전이가 발생한다면 적어도 두개의 ATS 블록중 하나는 변화를 탐지를 할 수 있게 된다. 그럼으로써 ASYNC_IN의 변화를 놓치지 않고 읽을 수 있게 되는 것이다.

ATS1 블록에서 ASYNC_IN의 변화를 탐지 못하

면 적어도 ATS2 블록에서 탐지할 것이고 반대의 경우에도 ATS1 블록에서 탐지를 할 것이지만 전자의 경우가 데이터 손실이 생기는 경우이므로 ATS2 블록에서 탐지하는 것이 의미가 있게 된다. 이렇게 ATS1 블록과 ATS2 블록에서 발생된 sync_sig1과 sync_sig2를 래치를 이용하여 유지해 놓은 신호들이 g_loop과 k_loop이다. 결과적으로 반전된 ASYNC_IN을 가지고 발생된 이들 g_loop와 k_loop 역시 반전된 관계이기 때문에 항상 다른 값을 유지해야 정상적인 동작이라고 간주 할 것이다. 즉, 어느 한쪽의 ATS 블록이 변화를 탐지를 못했다면 이 g_loop과 k_loop는 같은 값을 가지게 되고 이는 데이터를 보정해주어야 하는 조건이 되는 것이다.

이렇게 발생된 g_loop과 k_loop는 동기 데이터 출력 블록의 Compare & MUX블록으로 입력되어 출력을 선택하기 위한 선택 신호가 된다. 정상적으로 동작을 할 경우 g_loop과 k_loop의 값이 그림 8과 같이 항상 반대의 값을 가짐을 알 수 있고, g_loop과 k_loop가 다른 값을 가질 때에는 ATS1 블록에서 동기 변화된 sync_sig1 신호를 MUX를 통해 F/F로 전달하여 클럭의 Rising Edge에 맞추어 SYNC_OUT으로 출력하게 된다. 이에 대한 Compare & MUX블록을 그림 7에 보여준다.

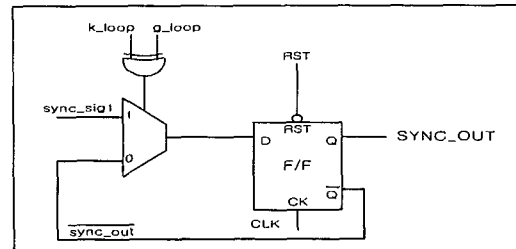


그림 7. Compare & MUX를 갖는 데이터 출력 회로

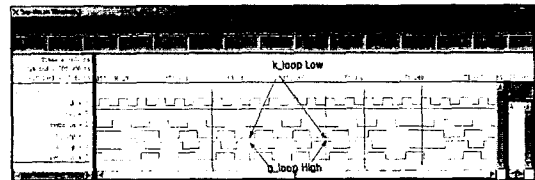


그림 8. 정상 동작 할 때의 g_loop와 k_loop의 타이밍도

g_loop와 k_loop의 비교 결과가 같은 경우에는 어느 하나의 ATS가 ASYNC_IN의 변화를 탐지를 못한 경우인데, ASYNC_IN이 Low일 때, 2장의 그림 4에서 설명한바와 같이, g_loop는 이 변화를 반

영을 못하여 High가 계속 되는 결과를 발생하게 된다. 그러나 k_loop는 인버터 하나 만큼의 지연을 가진 후 반영된 값이므로 AT2S1에서 ASYNC_IN을 탐지를 못했다 해도 AT2S2에서 High를 갖는 async_in_delay의 변화를 탐지하게 되어 k_loop값은 정상적으로 High값을 갖게 된다. 결과적으로 g_loop과 k_loop가 같은 값 High를 가지게 되는 것이다. 이 값들을 그림 7의 Compare & MUX블록에서 받으면 현재의 ASYNC_IN이 전이가 일어났음을 알 수 있는 것이므로 MUX는 sync_sig1을 내보내지 않고 F/F의 반전된 Q값인 Inversed SYNC_OUT값을 선택하여 F/F의 입력D를 통해 출력 시키도록 한다. 그림으로써 g_loop가 잘못 탐지한 ASYNC_IN의 값이 High일지라도 k_loop에서 탐지를 하였으므로 SYNC_OUT Low값으로 보상하여 출력한다.

이에 대한 타이밍도는 그림 9와 그림 10에 보여준다. 추가적으로 ASYNC_IN과 Async_in_delay의 타이밍은 합성시 Async_in_delay의 Inverter가 독립적으로 합성되어 생성되질 않고 다른 복합적인 library에 포함되어 생성되므로 다른 조치를 취하지 않으면 타이밍을 보기가 어렵다. 그래서 출력으로 강제로 뽑아서 시뮬레이션을 한 타이밍이 그림 11에 보여준다.

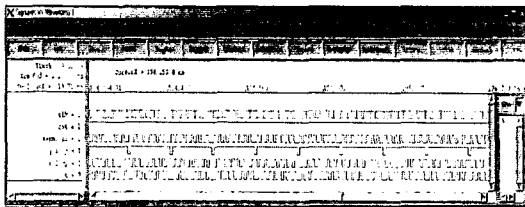


그림 9. 데이터 손실시의 보정 변환 전체 타이밍도

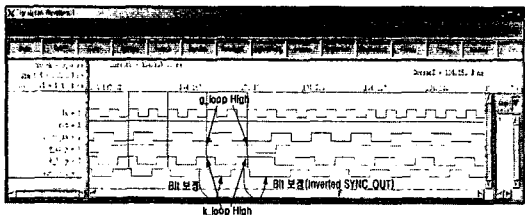


그림 10. 데이터 손실시의 보정 변환 세부 타이밍도

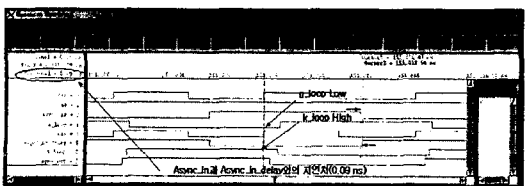


그림 11. Async_in과 Async_in_delay의 타이밍도

마지막으로 본 논문에서 제안한 무손실 데이터 동기회로의 Synopsys Tool에 의한 합성그림을 그림 12에 보여준다. 이 회로는 0.18 um의 TSMC Library를 가지고 합성 하였으며 전체 Gate Count는 Timing & Area Constraints를 주지 않고 합성하여 558 (조합논리회로 207, 비조합회로 351) NAND 등가 게이트가 소요되었다.

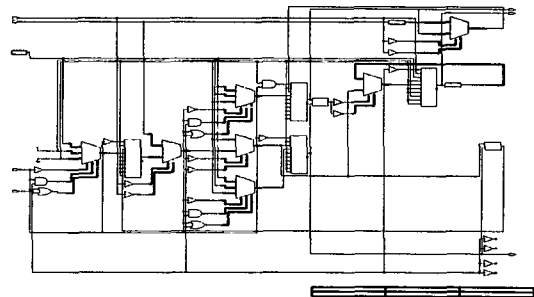


그림 12. 무손실 데이터 동기 전송 회로의 합성 결과

IV. 결론

본 논문에서는 종전의 DLL이나 PLL구조의 CMOS로 설계된 데이터 복원회로와는 다른 실제적으로 완전히 디지털 ASIC 설계에 응용될 수 있는 무손실 데이터 전송 회로를 제안하였고 구현 검증을 하였다. 제안된 무손실 데이터 전송회로는 서로 반대 위상을 갖는 비동기 신호의 동기 변환 블록을 인버터만큼의 시간차를 두고 반전하도록 하는 구조를 가짐으로써 매번 변하는 데이터나 기준 클럭으로 분주된 클럭이 서로 다른 지연이나 왜곡으로 인한 타이밍 위반이 발생하더라도 데이터를 보상하여 동기된 데이터로 출력한다. 이 회로의 구현은 광전송에 적합하도록 155 MHz에서 동작할 수 있도록 Verilog HDL로 구현되었으며 Synopsys tool을 이용하여 합성되었다. 광통신 이외에도 시스템 안정도가 중요하며 클럭 속도가 빠른 시스템간의 디지털 데이터 전송에 적용될 수 있다.

참고 문헌

- [1] A. Hati, M. Ghosh and B.C. Sakar, "Phase detector for data-clock recovery circuit", Electronics Letters 14th February 2002 Vol.38 No.4 pp.161-163.
- [2] HOGGE, C.R., "A Self correcting clock recovery circuit", J. Lightwave Technol., 1985,

- LT-3, (6), pp. 1312-1314.
- [3] 최진호, 강호용, 건문석, "Safe Mode를 갖는 동기 클럭 발생 회로의 ASIC구현", 한국 통신학회 논문지, 제 26권, 제 7B호, 2001년 7월.
 - [4] Boaz Patt, "A Theory of Clock Synchronization," Massachusetts Institute of Technology, October 1994.
 - [5] Philip A. Ferclito and Sunnyvale, "Clock Switching Apparatus and Method For Computer Systems", United States Patent, Patent Number 5274678, Date of Patent Dec. 28, 1993.
 - [6] Michael B. bendak, Ronald D. Fellman and Paul M. Chaue, "CMOS VLSI Implementation of Giga Byte/Second Computer Network Links", Circuits and Systems, 1996. ISCAS '96., Connecting the world, 1996 IEEE International Symposium on, Volume: 2, 1996, pp. 269-272 vol. 2
 - [7] J.M. Benedetto and A. Oliver, "High- Speed Data Transmission for Spaceborne Applications", Radiation Effects Data Workshop, 2001 IEEE, pp. 67-71.

선임연구원
2000년~현재 : 한국전자통신연구원 액세스 기술연구
부 PON기술팀 선임연구원
<주관심 분야> 광가입자망, 기가비트 이더넷, VLSI
설계

전 문 석(Moon-Seog Jun) 정회원



1980년 : 숭실대학교 전자계산학과
졸업(학사)
1986년 : University of Maryland
전산과 졸업(석사)
1989년 : University of Maryland
전산과 졸업(박사)

1989년 : Morgan State University 전산수학과 조교수
1989년~1991년 : New Mexico State University 부
설 Physical Science Lab. 책임연구원
1991년~현재 : 숭실대학교 정보과학대학 정교수
<주관심 분야> 컴퓨터 알고리즘, 병렬처리, VLSI
설계, 암호학, 네트워크 보안, PKI

최 진 호(Jin-Ho Choi) 정회원

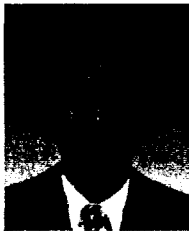


1992년 2월 : 숭실대학교
전자계산학과 졸업(학사)
1994년 2월 : 숭실대학교
컴퓨터학과 졸업(공학석사)
1994년~1999년 : 대우전자 반도체
연구소 주임연구원

1999년~현재 : LG전자 디지털미디어연구소 선임연
구원

<주관심 분야> 정보통신, 디지털 미디어 ASIC Design

강 호 용(Ho-Yong Kang) 정회원



1989년 2월 : 부산대학교
전자공학과 졸업
2001년 3월~현재 : 충남대학교
정보통신공학과 석사과정
1988년 12월~1993년 12월 :
대우통신 반도체연구소
주임연구원

1994년 1월~2000년 5월 : 대우전자 ASIC Center