

論文2002-39TE-4-1

검사 용이화를 위한 VHDL의 동작기술 합성에 관한 연구

(A Study on the Behavioral technology Synthesis of VHDL for Testability)

朴鍾泰*, 崔玄鎬**, 許炯八**

(Jong-Tae Park, Hyun-Ho Choi and Hyong-Pal Her)

요약

본 논문은 검사 용이화를 위하여 VHDL을 이용하여 설계를 할 때, 상위 수준 합성 방법에서 자체검사가 가능한 데이터 경로 구조를 자동으로 합성할 수 있는 알고리즘을 제안하였다. 그리고 MUX와 레지스터는 본 논문에서 제안된 디자인 시스템의 데이터 패스에 할당되어진다. VHDL에 의하여 기술된 하드웨어 명세를 검사 가능한 라이브러리로 매핑을 할 수 있는 검사 가능한 회로가 된다. 결과적으로 충돌그래프에서 레지스터를 최소로 하는 할당 알고리즘에 의하여 H/W로 매핑되는데 BILBO(built-in logic block observation) 레지스터를 재구성하여 TPG(test pattern generator)와 MISR(multi input signature response)로서 데이터 경로 구조가 자체검사가 가능하게 되는 것이다.

Abstract

For the testability, this paper proposed the algorithm at autonomous synthesis which includes the data path structure as the self testing as possible on high level synthesis method when VHDL coding is used in the system design area. In the proposed algorithm of this paper, MUXs and registers are assigned to the data path of designed system. And the designed data path could be mapped the H/W specification of described VHDL coding to the testable library. As a results, it was mapped H/W to the assign algorithm that is minimized MUX and the registers in collision graph.

I. 서론

최근 반도체 설계 기술의 발달로 하나의 칩(chip)상

* 正會員, 朝鮮大學校 大學院 電子工學科

(Dept. of Electronic Engineering Graduate School Chosun University)

** 正會員, 順天第一大學 電子情報通信學部

(Dept. of Electronics & Telecommunication Engineering Suncheon First College)

接受日字:2002年5月27日, 수정완료일:2002年10月15日

에 집적할 수 있는 회로의 수가 급격하게 증가하고 설계 시간의 단축이 중요한 문제로 대두되고 있다. 따라서 설계된 회로의 검사를 위한 시간이 회로 설계 시간보다 길어지고 비용이 많이 필요하게 되었다. 먼저 전자의 해결책으로는 하드웨어 기술언어를 이용하여 동작적 수준에서 설계하여 최적화를 통한 레지스터 전송 수준(register transfer level) 설계 추상화(design abstraction)로 상위 수준 합성 기법으로 해결하려는 노력이 있어왔고¹⁾, 후자의 해결책으로는 검사 가능한 설계

기법(DFT : design for testability)의 도입으로 해결하려는 노력들이 이어지고 있다. 하드웨어 기술언어를 동작적 방법에서 보면 두 가지로 구별되는데 동작 합성과 동작모델이다. 동작합성은 하드웨어의 명세를 자동으로 생성하는 것을 말하며, 하드웨어가 현재상태와 입력신호의 값에 따라서 어떻게 응답하는가를 규정하는 입력 명세로서 주어진다. 동작 모델은 입력 명세를 상위 수준 프로그래밍 언어(조건부, 할당 문장, loop)로 이에 관한 알고리즘으로 구성되어 있다. 레지스터 변환 수준(RTL: register transfer level)의 모델에서 합성처리의 출력은 부울 식과 메모리 소자 같은 하드웨어 구조로 구성된 명세가 된다. RTL 모델은 논리합성 시스템에 의하여 논리 게이트와 쌍 안정 소자로 구성되어 구조적 모델에 직접 매핑된다. <그림 1>은 동작 합성과 논리 합성의 변환구조이다.^[2]

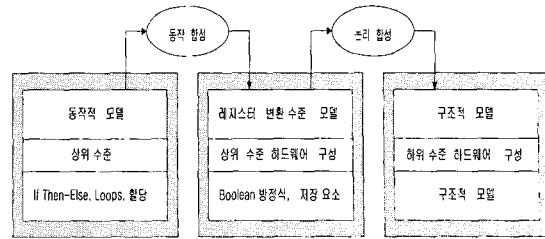


그림 1. 합성절차
Fig. 1. Synthesis procedures.

합성방법에서 다양한 방식의 동작 합성 시스템이 제안되었는데, 데이터 패스, 제어 논리, 중간 논리합성과 같이 동작 합성의 처리가 관심의 초점이었다.

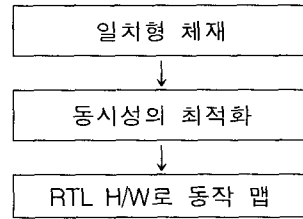


그림 2. 동작 합성 절차
Fig. 2. Behavior synthesis procedure.

주로 합성에서 주된 목적은 VHDL로 기술된 동작 모델의 입력을 동기적인 VHDL RTL 모델로 변환하기 위함인데, 이는 선택된 테스터용이화설계(DFT : design for testability)의 운용을 위하여 사용자에게 의해 최적화된 구조적 VHDL 요소의 라이브러리에 용이하게 매핑할 수 있게 한다. 합성 절차에서는 또한 동작 모델에서 산술과 논리적 연산과 관계적 표현을 인식하여서 VHDL 소자 라이브러리에 포함되어야 할 하드웨어 연산기(가산기, 승산기, 비교기)에 일치하도록 매핑된다. 따라서 구현하고자 하는 검사 방법을 위하여 최적화된 라이브러리를 하드웨어 소자에 적용되도록 하여야 한다. VHDL은 동작 합성 처리의 입, 출력으로 하드웨어 기술에 사용된다. 합성 방법은 시뮬레이션 동안에 동작 모델의 동작에 따라서 하드웨어 매핑 입력으로 사용되며, <그림 2>는 동작합성절차를 나타낸다.^[3-4]

이 본 논문에서 제안하는 레지스터 할당 알고리즘이다. 따라서 본 논문에서는 BIST 구조를 사용하여 데이터 흐름에 의한 상위 수준 합성 기법을 제안한다.

검사 가능한 설계 기법에서 가장 널리 사용되는 방법이 내장형 자체검사 기법이다. 그 중에서 의사 랜덤 내장형 자체검사(Pseudo Random Built-in Self Test; PR-BIST)기법을 이용한 테스트 패턴 생성과 테스트 응답 압축을 하는 기법이 널리 보급되어 있다.^[5]

II. 동작적 모델을 위한 VHDL

1. 동작모델

동작 모델은 모델의 입력신호를 출력신호에 매핑하는 기능을 정의함으로써 하드웨어의 동작을 기술하는 반면에 VHDL 문으로 구성된 구조 모델은 하드웨어 모델을 구성하는 소자와 이들 소자가 어떻게 내부적으로 연결하는가를 기술함으로써 하드웨어의 구조를 정의한다.

2. 동작모델의 변환

합성 절차에서의 첫 번째 작업은 입력 동작 모델을 일치되는 즉, operation적으로 등가인 동작 모델 또는 설계자 코딩 바이어스(VHDL에서 주어진 동작을 특정 짓는 방식은 많이 있다.)에 독립적이고 이어서 효과적으로 최적화 될 수 있고 매핑될 수 있는 데이터 구조로 변환하는 것이다.

조합논리가 자체검사 가능한가를 데이터 경로 구조로 확인 할 수 있도록 레지스터 블록의 할당 절차 동안 간단한 제한 조건이 발생할 경우 BIST에 부가적인 오버헤드를 최소화하면서 절차의 간략화를 이루는 것

합성절차는, 시뮬레이션 동안에 동작하는 LRM(Linear Register Model)에 의해 모델이 어떻게 명세 되는가에 기반 되어 동작하는 모델을 설계자가 계획하는가를 결정하고, 합성 절차가 자동화 될 수 있도록 이러한 정

보를 일반형식으로 변환하는데 사용된다.

(1) 동시 구문의 변환

동시형 소자 예시 문장은 합성된 모델로 통과하고 수정되지 않고, 주문된 하드웨어를 표현하는 예시된 소자를 가정하는 것은 동작합성 처리에 의해 합성되는 것을 필요로 하지 않는다.

마지막 동시문, 동시형 선언 문장은 동작 모델의 시뮬레이션 동안에 기대치 않은 신호값이나 직면치 않은 타이밍 속박 같은 flag 에러 조건에 수동 동작처럼 일반적으로 구현된다.

동작 모델에서, 선언문을 표현하는 “동시형 선행 채킹의 합성이나 BIST 회로”는 앞으로의 연구 주제이다.

(2) 순차 구문의 변환

동시문 변환에 이어, 처리문에 포함된 순차문은 복사와 상수전달, 비회전 루핑, 절차와 기능의 in-line 확장, 무효 코드 삭제 같은 기본 컴파일러 최적화 기술을 사용하여 간소화된다.

1) 처리문에서, 모든 상수, 변수 그리고 신호는 다음 순차문장에서 참조된 포인트에 전달하여 사용되기 전에 세트된다.

2) VHDL은 2 가지 타입의 순차 삽입문을 제공한다. [while-loop와 for-loop 문] 하드웨어 매핑을 간소화하기 위하여, 한정 제한을 갖는 모든 순차 루프문은 전개된다.

3) 모든 순차 조건문은 하드웨어 매핑을 간단하게 구하도록 확장하여 준다. VHDL은 2개의 순차 제어문을 제공한다.[if-then-else와 case 문]

3. 동시성의 최적화

동작의 두 가지 형태는 동작 모델의 동시성을 최대한으로 하기 위하여 실행된다. 이는, 하드웨어 매핑 단계 동안에 레지스터 같은 메모리 소자에 매핑 될 수 있는 변수를 제거한다. 더구나 순차 할당문의 목표가 process 내의 이전의 어떤 문의 결과에 의존하지 않는다면, 목표는 process 내의 다음의 어떤 문에 의해 사용되지 않고, 할당문이 단일 할당문에 변환될 수 있다면, 모델에서 다른 문으로 동시에 실행할 수 있다. <그림 3>은 블럭문에 있는 문장 순서는 무관하다. 블럭문에 있는 각 문장은 별도의 처리문을 표현한다.

다음으로, 합성 절차는 할당이 명백하도록 단일 처리문에 특별한 신호에 모든 할당을 모으도록 시도한다.

표 1. 순차구문의 최적화 기술

Table 1. Optimization technique of Sequential Statements.

1	Copy and Constant Propagation
2	Loud Unrolling
3	Conditional Statement Expansion

```

Process With Multiple Sequential Statements:
process (clk) begin
  if (clk = '1') then
    C <= B;
    B <= A;
    A <= pipe_in;
  end if;
end process;

Sequential Statements Transformed to Concurrent:
block (clk=' 1 ' and not clk'stable)
begin
  A <= guarded pipe_in;
  B <= guarded A;
  C <= guarded B;
end block;
    
```

그림 3. 순차 구문에서 동시 구문의 변환

Fig. 3. Sequential Statements Transformed to Concurrent.

4. 매핑

모든 변환이 실행되고, 동작이 최대화-동시성으로 된 후에, 합성처리는 할당문과 처리 민감도 리스트에 포함된 신호에 참조된 신호들 사이에서의 관련성에 기초를 둔 RTL 모델 내에 동기와 조합 논리 각자에 동작 모델에서의 각 신호 할당문을 매핑 한다.

신호 할당문이 순차논리에 동기 되도록 맵되는 것을 <그림 4>에서 보여준다. 신호할당 문장을 각각의 순서나 조합 논리에 매핑한 후에, 각 처리문의 남은 동작으로 조합 논리에 맵된다.

CASE 문은 MUX에 매핑되고, 논리표현은 조합논리식에 등가적으로 직접 매핑되고, 산술과 관계 표현은 comparators, adders, and multipliers 같은 라이브러리 소자에 매핑 된다.

```

Behavioral Model RTL Model
process (selA) begin process (clock) begin
if (selA = '1') then if (clock='1') then
Dout <= A; Dout <= (selA and A)
end if; or (not selA and Dout);
end process; end if;
    
```

그림 4. 동기 순차논리로 매핑
Fig. 4. Mapping to synchronous sequence logic.

III. 제안 알고리즘

본 논문에서는 PRPG(Pseudo Random Pattern Generation)와 MISR이 각각 별개로 동작하여도 자체검사 동작동안 요구되는 두 개의 안정된 레지스터를 할당하여 설계에서 자체 근접 레지스터의 수를 최소화하는 할당알고리즘을 제시한다. 조합논리가 자체검사 가능한가를 데이터 경로 구조로 확인 할 수 있도록 레지스터 블록의 할당 절차 동안 간단한 제한 조건이 발생할 경우 BIST에 부가적인 오버헤드를 최소화하면서 절차의 간략화를 이루는 것이 본 논문에서 제한하는 레지스터 할당 알고리즘이다. 레지스터 할당의 절차는 입력이 설계의 동작 할당된 데이터 흐름기술로 구성되어진다. 그 다음의 절차는 레지스터 충돌그래프는 레지스터에 저장되어야 할 변수를 결정하는 데이터 흐름기술의 분석을 구성 레지스터 충돌 그래프에서 데이터 흐름 기술에서 변수를 저장해야하는 레지스터를 표현하기 위해서 노드를 생성한다. 노드들은 입력 데이터 흐름 기술에서 클럭 사이클과 경계를 교차하는 각 변수를 위해 레지스터 충돌 그래프를 부가한다.

<그림 5(a)>는 VHDL 동작적 기술을 보여주며 (b)의 그림에서는 (a)를 데이터 흐름 그래프로 표현하여 (c)로 검사도 충돌 예지를 포함하는 레지스터 충돌 그래프로 나타낸다. 데이터 흐름 기술에 레지스터를 할당하는 과정은 BIST 기술을 이용하여 조합 자체검사가 가능한 데이터 경로 설계가 된다. 레지스터 충돌그래프에 의해 할당되므로 데이터 경로 설계의 결과면적이 최소화된다. <그림 6(a)>에서는 레지스터 할당 절차가 변수를 레지스터에 할당하면 레지스터의 세트가 감소 동작을 하게되는데 두 입력으로 서로 상관없는 동작 입력이 된다. 동작에 있어서 서로 상관관계에 있더라도 MUX의 할당은 요구되는 MUX의 입력 수를 최소화하기 위해서는 레지스터의 입력 세트를 구성하여야 한다.

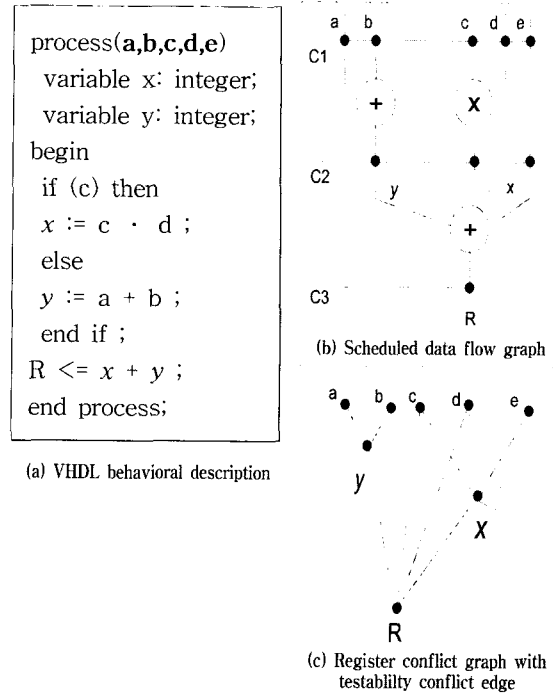


그림 5. 다중입력과 지연을 고려한 레지스터 할당
Fig. 5. Register assignment multiplex for input and delay.

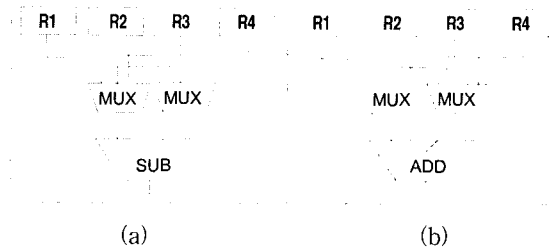


그림 6. 입력 R1과 R2에 따른 동작을 위한 MUX할당
(a) 부 상호적인 동작 (b) 상호적인 동작
Fig. 6. Mux assignment for operation to input R1 & R2. (a) non-commutative operation (b) commutative operation.

<그림 6(b)>에서와 같이 2:1 MUX를 두 개를 사용하여 구현할 수 있다.

IV. 결과 및 검토

검사도 충돌 예지가 삽입되면 데이터 흐름 그래프에서 다항식이 되며 기능 블록이 되어 검사도 충돌예지가 지정하는 것은 조합논리 기능 블록의 입/출력이 다

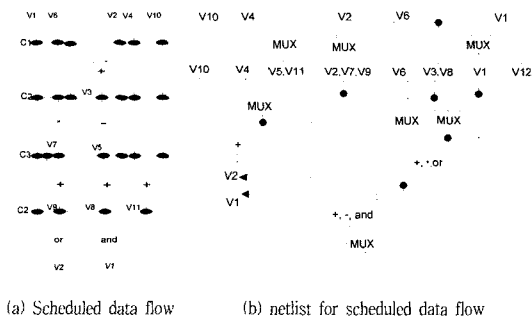


그림 7. 스케줄된 데이터 흐름도와 Tseng의 netlist
 Fig. 7. scheduled data flow graph & netlist of Tseng.

표 2. 예제회로와 비교표
 Table 2. An exercise circuit & comparison table.

name	NSAR	SAR	MI	IC	CS	cost
Tseng[86]	3	5	15	31	23	304
Proposed	5	1	17	33	27	212

른 레지스터에 할당이 된다. 동작 할당된 데이터 흐름 그래프를 구현하는 데는 레지스터의 수에 영향을 받지 않지만, 자체 근접 레지스터가 존재하면 영향을 받는다. <그림 (7)>은 [Tseng 86]^[5]에서 동작할당으로부터 자체 근접 레지스터의 수를 최소화하는 알고리즘에 의해 자체 근접 레지스터를 최소화한다.

합성된 H/W의 설계 비용은 레지스터 MUX, 내부연결, 제어신호 수에 의해 생성되는데 다음과 같다.

$$\text{cost} = 20(\text{NSAR}) + 35(\text{SAR}) + \text{MI} + \text{IC} + \text{CS} \quad (1)$$

- NSAR : non-self adjacent register
- SAR : self adjacent register
- MI : MUX input
- IC : interconnect
- CS : control signal

<표 2>에서는 자체 근접레지스터의 수를 최소화하는 할당 알고리즘을 이용하여 Tseng[86]과 비교한다.

V. 결론

본 논문에서 설명된 검사 용이화를 위한 기법은 VHDL 동작 모델로부터 검사 용이화 RTL 모델의 하

드웨어 합성을 실현하는데 사용할 수 있다. 합성 방법은 동작을 구현하는 하드웨어에 동작의 입력을 매핑하는 VHDL 시뮬레이션 특성의 사용을 만들고, 합성 방법은 검사 용이화 라이브러리 소자에 동작을 매핑할 수 있다. 동작 합성 처리 중에 검사도 삽입은 설계 시간을 감소시키고, 검사도 삽입과 관련된 위험을 최소화하고, 다양한 검사도 양상을 명세하는데 최적화 될 수 있는 RTL 모델 결과를 가능하게 한다. 그리고 레지스터 할당과정에서 자체검사를 가능하게 하여 데이터 경로 논리의 크기를 증가시키지 않고 자체 근접레지스터 수를 최소화하였으며 효율적으로 H/W를 구현하기 위한 자체검사가 가능하였다. 동작 모델에서, 선언문을 표현하는 동시형 선행 검사의 합성이나 BIST 회로에 대한 동작 합성구현이 앞으로의 연구과제이다.

참고 문헌

- [1] B. Konemann, J. Mucha, and G. Zwiehoff "Built-in Logic Observation Techniques", Proc. Int. Test Conf., pp. 200~204, 1982.
- [2] Thomas, D. E., et. al., "Automatic Data Path Synthesis," IEEE Computer, December 1983, pp. 59~70.
- [3] Avra, L., and E. J. McCluskey, "Behavioral Synthesis of Testable Systems with VHDL," Dig. COMPCON Spring 90, San Francisco, pp.410, Feb. 26-Mar. 2, 1990.
- [4] Amann, R., M. Newer, G. Ratio, W. Rosenstiel, "CASTOR: Control Part Synthesis in a Behavioral Synthesis System," International Workshop on Logic Synthesis Proceedings, May 1989.
- [5] L. T. Wang, E. J. MaClusky, "Concurrent Built-In Logic Observer(CBILBO)," Intl'l. Symp.. On Circuits and Systems, Vol. 3, pp. 1054~1057, 1986.

저 자 소 개



朴 鍾 泰(正會員)

1989년~1996년 2월 : 조선대학교
전자공학. 1996년~1998년 2월 : 조
선대학교 석사과정. 1998년 3월~
현재 : 조선대학교 박사과정. <주
관심분야 : 멀티미디어 SoC 설계,
네트워크 보안>

許 炯 八(正會員) 第36卷 T編 第2號 參照



崔 玄 鎬(正會員)

1982년 2월 : 조선대학교 전자공학
과 졸업(학사). 1985년 8월 : 인하
대학교 대학원 전자공학과 졸업(공
학석사). 1998년 8월 : 조선대학교
대학원 전자공학과 졸업(공학박사).
1985년 12월~1987년 5월 : 삼성반
도체통신. 1987년 5월~1993년 3월 : 한국전기연구소.
1993년 3월~현재 : 순천제일대학 전자정보통신학부 조
교수. <주관심분야 : 디지털통신, B-ISDN>