

主題

SDR을 위한 기저대역 신호처리 소자 기술*

아주대학교 전자공학과 정 석 현, 선우명훈

차례

1. 서론
2. 재구성 가능 프로세서
3. SDR을 위한 신호처리 프로세서
4. SDR을 위한 SoC
5. 결론

1. 서론

SDR(Software Defined Radio) 기술은 하드웨어 재구성과 소프트웨어 변경을 통해 단일 시스템에서 다양한 무선 통신 표준을 수용할 수 있는 기술이다[1]. 이러한 특징을 갖는 SDR에 있어, 전통적인 통신 시스템과의 가장 큰 차이는 프로그램 가능한 프로세서에 의한 신호처리이다. 기존의 통신 시스템에서 DSP(Digital Signal Processor), 마이크로 프로세서와 같은 프로그램 가능한 프로세서는 프로토콜 제어, 음성 코딩 등의 일을 담당해 왔다. 그러나 SDR에서는 다양한 기능의 처리를 위해 기존의 전용 하드웨어(ASIC)가 수행하던 기저대역 모뎀, 채널 코딩, 소스 코딩 등의 역할을 프로그램 가능한 프로세서가 수행할 수 있도록 설계해야 한다.

이러한 변화는 공정기술 발달에 의한 프로그램 가능한 프로세서의 비약적인 성능 향상에 기인한다. 표 1은 SIA(Semiconductor Industry Associa-

tion)의 반도체 기술에 관한 예측을 나타낸다[2]. 하나의 칩에 집적할 수 있는 트랜지스터의 수와 클럭 속도는 무어의 법칙에 따라 계속적으로 증가하고 있다. 이에 따라 전용의 하드웨어로 수행해야만 했던 연산들이 프로그램 가능한 프로세서로 수행 가능할 것이다. 또한 다수의 프로세서, 주변장치(Peripheral), 메모리 등을 하나의 칩으로 집적한 SoC(System-on-Chip)가 보편화될 것이다. 따라서, 개발, 유지 보수 및 시스템 업그레이드(Upgrade)가 용이한 프로그램 가능한 프로세서 기반의 시스템 설계는 필연적인 결과이다.

이렇듯 프로그램 가능한 프로세서는 SDR에 있어 필수적이지만, 현재의 프로그램 가능한 프로세서는 SDR이 요구하는 성능, 저전력 등의 요구를 만족시키지 못하고 있다. 따라서 SDR을 위한 새로운 고성능의 프로그램 가능한 기저대역 신호처리 소자가 필요하게 되었다. 먼저 기존의 기저대역 신호처리 소자에 대해 살펴본 후, SDR에 적합한 새로운 기저대역

* 본 연구는 과학기술부에서 시행하는 국가지정연구실사업, 한양대학교 HY-SDR 연구센터 및 IDEC의 부분적인 지원을 받아 수행되었습니다.

표 1. SIA의 반도체 기술 예측(2001년)

Feature	Unit	1993	1995	1999	2001	2003	2005	2008	2011	2014	2016
Process	microns, nm	0.50	0.35	180	130	100	80	70	50	34	22
Internal Clock (high performance)	Mhz, Ghz	200	300	750	1.68	2.31	5.17	6.74	11.5	19.3	28.7
Logic transistors	million/cm2	2	4	6.6	13	24	44	109	269	664	
Microprocessor	million transistors/chip	5.2	12	23.8	47.6	95.2	190	539	1523	4308	
DRAM size	Mbit, Gbit	16	64	256	512	1	2	6	16	48	
SRAM size	Mbit, Gbit	1	4	16	64	256					
Voltage	Vdd	5	3.3	2.5	1.2	1.0	0.9	0.7	0.6	0.5	0.4

신호처리 소자에 대해 설명한다.

디지털 시스템 설계에 사용되는 전통적인 기저대역 신호처리 소자에는 DSP, FPGA(Field Programmable Gate Array), ASIC(Application-specific Integrated Circuit)이 있다. 표 2는 이들간의 장단점을 비교하고 있다[3]. 상용(Commercial Off-The-Shelf : COTS) ASIC은 성능 및 전력소비에서 가장 유리하나 SDR이 요구하는 프로그램 능력을 가지지 못하고, 개발기간이 길다. DSP는 복잡한 분석, 의사 결정을 포함하는 기능에 대해 최선의 선택이지만 ASIC이나 FPGA에 비해 성능이 떨어진다. FPGA는 공간적 연산(Spatial Computation)을 통해 고속의 병렬처리에 적합하지만, 게이트 사용이 효율적이지 못하며 전력소비가 크다.

이 요구하는 고성능, 프로그램 능력, 저전력을 동시에 만족시키지 못한다. 따라서, DSP와 FPGA 정도의 프로그램 능력을 가지면서 고성능, 저전력인 소자의 개발이 필요하다. 그림 1은 기저대역 신호처리 소자들의 성능, 유연성, 전력소비에 대한 대략적인 비교이다[4].

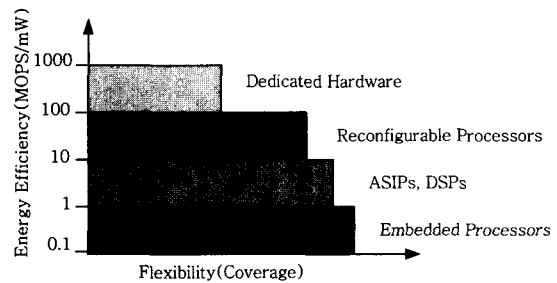


그림 1. 기저대역 신호처리 소자의 비교

표 2. 기저대역 신호처리 소자의 비교(높을수록 우수)

평가 항목	COTS ASIC	DSP	FPGA
프로그램 능력	1	5	4
개발기간	5	3	1
성능	5	3	4
전력소비	5	3	2

이와 같이 기존의 기저대역 신호처리 소자는 SDR

그림 1에서 보는바와 같이 적절한 유연성과 고성능을 가지는 소자로 재구성 가능 프로세서(Reconfigurable Processor), 특정용도 신호처리 프로세서(Application-specific Digital Signal Processor : ASDSP), 특정용도 명령어 프로세서(Application-specific Instruction Set Processor : ASIP), 이종 멀티 프로세서(Heterogeneous Multi Processor) 등에 대해 많은 연구가 수행되

고 있다. 또한, 차세대 무선 통신 시스템의 플랫폼은 이러한 재구성 가능한 이중의 멀티 프로세서로 구성 되고, 특정 응용영역(Application-specific)을 위한 플랫폼이 될 것이라고 예상하고 있다[5]. 본 고에서는 이 프로세서들에 대해 고찰한다.

2. 재구성 가능 프로세서

재구성 가능 프로세서는 응용영역에서 요구하는 연산의 수행을 위해 동적으로 재구성이 가능한 프로세서이다. 재구성 가능 프로세서는 응용영역과 알고리즘에 맞게 구조 변경이 가능하기 때문에 고성능과 유연성, 저전력을 동시에 제공할 수 있다[4]. 그림 2는 두 가지 재구성 가능 프로세서의 구조를 나타낸다. 그림 2(a)는 재구성 가능 로직을 포함하는 구조이고[6-8], 그림 2(b)는 데이터 경로 회로(Data Path)의 연결을 재구성하는 구조이다[4, 9-11]. 전자는 병렬 연산이 가능한 재구성 가능 로직을 코프로세서 형태로 이용하여 고속의 신호처리를 수행하는 경우이고, 후자는 데이터 경로 회로를 응용영역의 신호처리 알고리즘에 맞게 연결하여 효율적인 연산을 수행하는 경우이다. 두 구조의 구분은 데이터 경로 회로 자체를 재구성할 수 있는가에 달려있다. 즉, 재구성의 범위(Grain)에 따라 구분된다. 재구성의 범위가 미세하면(Fine Grain) 유연성이 증가하지만, 로직 블록과 연결 네트워크(Interconnection Network)의 재구성을 위한 데이터 양이 증가하여

재구성이 복잡해지고 재구성 로직 사용의 효율성이 떨어지게 된다. 재구성의 범위가 성글어 질수록(Coarse Grain) 유연성이 감소하는 대신, 재구성이 용이해지고 전용 하드웨어와 유사한 이득을 얻을 수 있다.

재구성 가능 프로세서에서 재구성의 범위와 함께 중요한 문제는 재구성 가능 로직과 프로세서의 결합 정도(Coupling)이다. 이는 재구성 가능 로직이 주로 연산에 사용되고, 일반 프로세서가 재구성 가능 로직을 제어하며 연산된 데이터를 사용하는데서 연유한다. 이로 인해, 프로세서와 재구성 가능 로직과의 데이터 교환 시 발생하는 지연이 성능 향상에 제약 요소가 된다. 이 문제를 해결하기 위해 재구성 가능 로직과 프로세서가 하나의 칩에 집적된 구조가 제시되었다[12-14]. 이러한 구조는 기존 구조에 비해 SDR에 더 적합하며, 향후에 더 광범위하게 사용될 것으로 생각된다. 이런 구조의 예로, Xilinx의 Platform FPGA와 Chameleon Systems의 RCP(Reconfigurable Communications Processor) 등이 있으며 이들에 대해 자세히 살펴 본다.

2.1 Xilinx Platform FPGA

그림 3은 Xilinx의 Platform FPGA[12]로, 내장형 프로세서(Embedded Processor), DSP 기능, 고속 통신 접속(Communication interface)

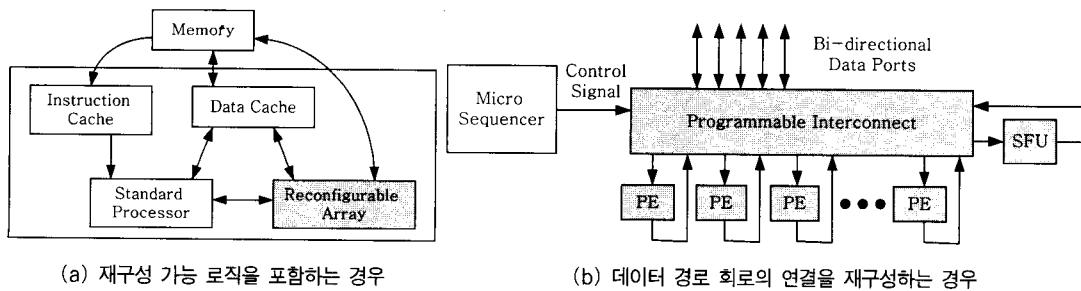


그림 2. 재구성 가능 프로세서

을 포함하는 대용량 FPGA이며, 향후 1000만 게이트의 용량과 200MHz의 클럭 속도를 지원할 것으로 예상된다. Platform FPGA에 내장된 IBM의 PowerPC 405 코어는 300MHz로 동작하고 재구성 가능 로직과 6GByte/s 이상의 속도로 통신할 수 있다. 또한 내장된 곱셈기들은 초당 6천억 번의 MAC(Multiply and Accumulate) 연산을 수행할 수 있다. 재구성 방식에 있어서는 부분적, 동적인 재구성을 지원한다. 즉, 전체가 아닌 부분만의 재구성이 가능하며, 연산 수행과 동시에 다른 부분을 재구성할 수 있다.

이러한 성능은 기존의 프로그램 가능한 프로세서들을 앞서는 것으로 SDR이 요구하는 고성능을 만족시킬 수 있을 것이다. 그러나 FPGA는 소수의 재구성 가능한 로직들과 대부분을 차지하는 연결 네트워크로 구성되기 때문에 게이트 사용률 및 전력소비 면에서 효율적이지 못하며, 재구성이 미세한 단위(Fine Grain)로 이루어지기 때문에 재구성이 복잡하고 시간이 많이 걸린다.

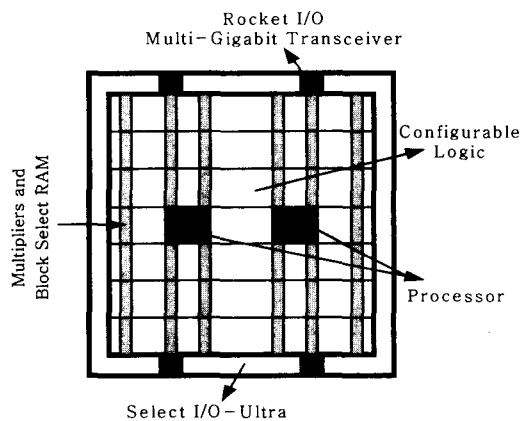


그림 3. Xilinx Platform FPGA

2.2 Chameleon Systems RCP

Chameleon의 RCP[13, 14]는 32비트 내장형 프로세서, 32비트 재구성 로직, 고속 시스템 버스, 프로그램 가능한 I/O로 구성되어 있다. 또, PCI 제어기, 메모리/DMA 제어기를 통해 다른 메모리와 프로세서에 연결 가능하다. 이들 구성요소는 128비트 버스에 연결되어 2GByte/s의 속도로 통신할 수 있다. RCP는 현재 0.25 μ m 공정으로 제작되며 125MHz로 동작할 수 있다. 내장된 프로세서는 125MHz에서 120MIPS의 성능을 갖는 32비트 ARC 프로세서이다. 그림 4는 RCP의 구조를 나타낸다.

재구성 가능 로직은 여러 개의 슬라이스(Slice)로 나뉘어 지며, 각 슬라이스는 독립적으로 재구성될 수 있는 타일(Tile)로 구성된다. 타일은 산술 연산을 수행하는 7개의 데이터 경로 회로, 곱셈기, 지역 메모리, 제어기로 구성된다. 제어기는 각 데이터 패스를 위한 명령어를 저장하고 있으며 이에 의해 재구성의 효과를 얻을 수 있다. RCP도 Xilinx Platform FPGA와 같이 부분적, 동적인 재구성을 지원한다.

RCP는 FPGA에 비해 재구성의 기본단위가 크다(Coarse Grain). 즉, 재구성 가능 로직이 32비트 산술/논리 연산기, 시프터, 16 x 16비트 곱셈기 등으로 구성되어 있다. 이러한 방식은 유연성에 한계가 있지만, 재구성이 용이하고 FPGA와 같이 낭비되는 연결 네트워크 자원이 적다. Chameleon에서는 RCP의 성능 비교 자료를 제시하고 있는데, 16비트 데이터의 1024점 복소 FFT 연산에 있어, 비교 대상인 Texas Instruments의 TMS320C62 300MHz DSP로 연산 시 68.7 μ s가 걸린 연산을 10 μ s에 수행 가능하다고 한다[13].

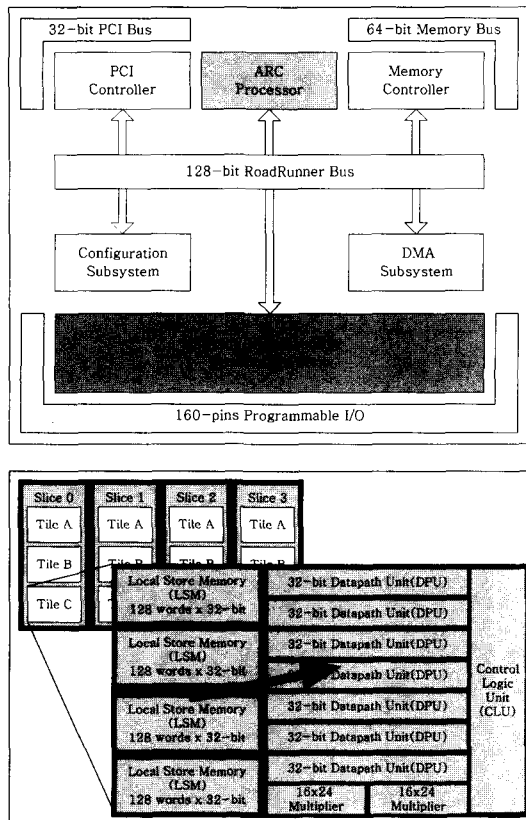


그림 4. Chameleon의 RCP

3. SDR을 위한 신호처리 프로세서

3절에서는 특정 응용영역에 적합하게 설계된 연산 유닛을 사용하여 성능을 향상시키는 특정용도 신호처리 프로세서와 특정 응용영역을 위한 명령어, 코프로세서를 가지는 상용 DSP에 대해 살펴본다.

3.1 특정용도 신호처리 프로세서

최근 통신 및 멀티미디어 관련 규격들의 사양이 고도화, 다양화되면서 기존의 전용 ASIC 기반의 시스템은 개발 기간의 장기화, 설계 비용 증대, 설계 변경의 어려움 등의 문제로 인하여 빠르게 변하는 시장에 대처할 수 없다. 반면 범용 DSP들은 광범위한 응용

을 위해 설계되어 다양한 분야에 쓰일 수 있으나 고가, 고전력 소모, 특정 알고리즘의 부적합성, 성능 부족 등으로 점차 높아지는 실시간 시스템 사양을 만족시킬 수 없다.

특정용도 신호처리 프로세서는 이러한 문제점을 해결하기 위해, 일반적인 디지털 신호처리 프로세서에 특정 응용 목적 알고리즘의 효율적 구현이 가능하도록 전용 명령어와 데이터 경로 구조를 설계하고, 특수 기능 블록을 추가한 신호처리 프로세서이다 [15]. 특정용도 신호처리 프로세서는 범용 신호처리 프로세서로 구현하기 어려운 연산을 전용 명령어와 적용 알고리즘에 적합하게 설계된 연산유닛으로써 구현한다. 즉, 효율적인 연산 구조 배열과 데이터 흐름 제어로 고성능, 저전력 소모를 동시에 달성할 수 있다. DSP의 유연성을 가지면서 동시에 성능을 향상시킨 구조로 SDR에 적합하다고 할 수 있다.

특정용도 신호처리 프로세서 구조의 예로 비터비(Viterbi) 디코딩과 RS(Reed-Solomon) 알고리즘 연산을 위한 구조를 설명한다 [16, 17]. 그림 5는 비터비 디코딩을 위한 연산 블록들을 나타낸다. 비터비 디코딩의 과정 중, ACS(Add Compare Select) 연산은 한 쌍의 덧셈, 비교, 선택 및 저장의 과정을 거치며 이러한 일련의 과정들을 여러 사이클 반복한다. 또한 생존자 경로 계산은 디코딩 깊이 만큼의 반복 연산의 요구로 DSP 칩에서 가장 처리하기 어려우며 실제 전송률을 좌우한다. ACS 연산의 경우 연산 유닛은 기존 DSP 유닛들을 사용하고 데이터 경로 회로와 쉬프트 레지스터만을 추가하여 덧셈과 비교 연산의 연속 수행이 가능하게 함으로써 연산 사이클을 감소시킬 수 있다. 또, 생존자 경로 계산을 위해서는 기존 DSP의 레지스터 파일을 경로 메모리로 사용하고 단순히 멀티플렉서만 추가하여 연산 사이클의 감소가 가능하다. 이러한 구조 변경을 통해 비터비 디코딩 수행 시 성능 향상을 얻을 수 있다 [16].

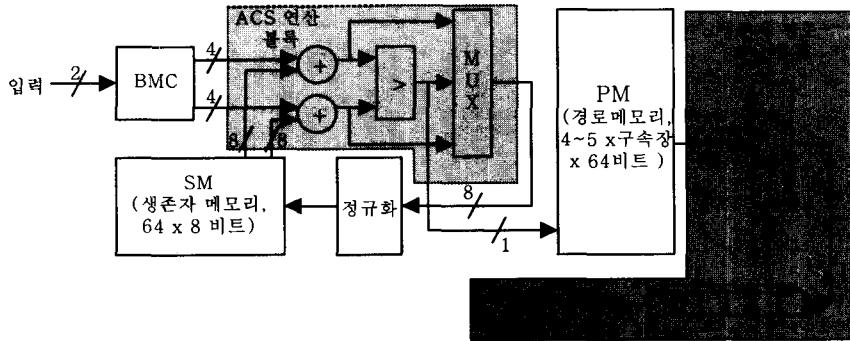
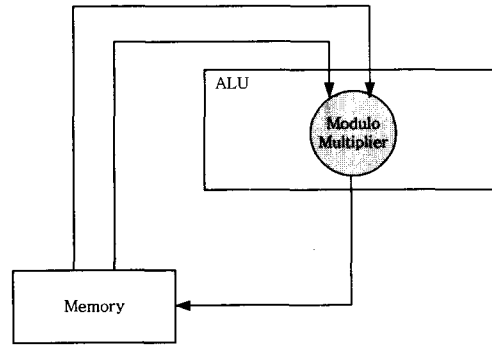


그림 5. 비터비 디코딩을 위한 연산 블록

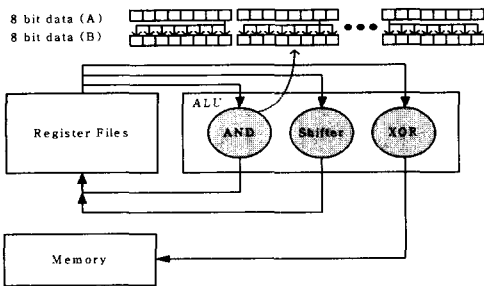
기존 DSP 칩에서 RS 알고리즘의 모듈로 (Modulo) 곱셈 연산은 그림 6(a)와 같이 구현된다. 모듈로 곱셈 연산을 처리하기 위해 ALU의 AND와 쉬프트 연산 유닛을 여러 번 반복 사용하여 처리하므로 많은 수행 사이클이 요구된다. 이를 대신하여 RS 부호/복호의 고속 수행을 위해 모듈로 곱셈을 위한 전용의 연산 유닛 회로 및 명령어를 개발하여 명령어 수 및 연산 사이클을 대폭 줄일 수 있다. 전용 연산 유닛으로 그림 6(b)에 나타난 모듈로 곱셈기가 논리 게이트들의 조합으로 설계된다. 이는 8비트 덧셈기 정도의 게이트 수를 가져 DSP 하드웨어 구현에 부담이 없고 고속 회로 구현이 가능하다. 또한 전용의 모듈로 곱셈기는 통신 표준들의 다양한 차수와 원시 다항식을 지원하기 위해 프로그램 가능하게 구현할 수 있다. 이러한 전용 곱셈기 회로를 적용할 경우 기존 DSP의 RS 복호에 소요되는 사이클을 대폭 감소시킬 수 있다[17].



(b) ASDSP의 모듈로 곱셈 연산 구현

그림 6. 모듈로 곱셈 연산 구현

이상의 예와 같이, 여러 응용영역에 걸쳐 특화 된 명령어와 연산유닛을 갖는 특정용도 신호처리 프로세서에 대한 연구가 진행되었다[16-20]. 표 3은 국외 DSP 회사 및 연구 기관의 특정 응용 목적을 위한 ASDSP 개발 현황을 나타낸 것이다. Sandbridge의 SandBlaster DSP는 효율적인 C 컴파일러와 명령어 지원에 의해 GSM, GPRS, WCDMA, 802.11a/b/g 무선랜, GPS, Bluetooth의 무선 통신 프로토콜과 MPEG-4, AC-3의 멀티미디어 프로토콜을 지원한다[21]. Motorola는 DSP 코어와 프로세서인 M-Core를 통합하여 무선 응용 DSP56690을 발표하였다[22]. 이 DSP는 내장 프로그램을 변경하여 제 2세대 무선 통신인 GSM, CDMA, TDMA, GPRS, 주파수공용통신의



(a) 기존 DSP의 모듈로 곱셈 연산 구현

iDEN을 지원함으로써 하나의 칩으로 다양한 표준에 적용할 수 있도록 하는 현 ASDSP 기술 추세의 좋은 예라 할 수 있다. 최근에는 시스템 업체들이 자사 제품 전용(In-house)을 목적으로 ASDSP를 개발하고 있다. IBM은 자체 개발한 ISP-5.7 DSP를 이용하여 모뎀 및 PC 시스템에 이용하고 있으며 [23], CDMA 기술을 선도하고 있는 미국의 Qualcomm은 MSM3300, 5100, 5500에 자사 제품 전용으로 개발한 QDSP2000™ 코어를 내장하였다. 일본의 Toshiba는 ASDSP 코어를 내장하여 IMT-2000용 MPEG-4 비디오폰을 목적으로 한 시스템 LSI를 개발하였으며[24], Matsushita는 MPEG-4, H.263, H.261을 지원하는 ASDSP 코어를 개발하여 99년에 발표하였다[25].

3.2 특정 응용영역을 지원하는 범용 DSP

특정용도에 적합한 명령어와 연산유닛을 추가하는 것은 특정용도 신호처리 프로세서뿐만 아니라, 일반적인 신호처리 프로세서에서도 일반화된 사실이다. 표 4는 StarCore의 SC140, Texas Instru-

ments의 TMS320C55x, TMS320C64x 신호처리 프로세서의 특정 응용영역을 위한 명령어를 나타낸다[26, 27]. SC140과 TMS320C55x는 통신용 신호처리 프로세서로 FFT, 비터비 디코딩, 필터 등을 위한 명령어를 지원한다. TMS320C64x는 범용 신호처리 프로세서로 그래픽, 통신을 위한 다수의 명령어를 지원한다. 이러한 특정 응용영역을 위한 명령어와 함께, SC140과 TMS320C64x는 다수의 연산 유닛들을 갖는 VLIW(Very Long Instruction Word) 구조를 채택하여 성능을 향상시키고 있다. 이 프로세서들은 특정용도를 위한 명령어와 함께 코 프로세서 형태의 가속기도 지원하고 있다. SC140은 비터비와 필터 코프로세서를 지원하고, TMS320C6416은 구속장, 부호율, 데이터율 등의 파라미터가 조절 가능한 비터비와 터보 코프로세서를 지원한다.

특정용도 신호처리 프로세서는 응용영역에 적합한 전용 연산유닛을 사용하여 성능 향상을 얻고 있다. 이는 재구성 가능 프로세서가 재구성 가능로직을 사용하여 성능을 향상시키는 것과 유사하다. 그러나 특정용도 신호처리 프로세서는 특정 응용에 대해서는

표 3. 국외 DSP 연구 기관의 특정용도 신호처리 프로세서 개발 현황

분류	제품명	내용	개발 기관
ASDSP	SB9600(SandBlaster)	● 응용분야: 무선 단말기, 이동 통신 기기	Sandbridge Technologies
	PEB22812	● 응용분야: VDSL 모뎀	Infineon(독일), Savan Communications(이스라엘)
	Zipper	● 응용분야: VDSL 모뎀	STMicroelectronics, Telia Research
	DSP56690	● 응용분야: GSM, CDMA, TDMA	Motorola
	DSP56366	● 응용분야: 오디오 디코더, DVD	Motorola
	TMS320C55x	● 응용 분야: 무선 단말기, 디지털 카메라, 휴대 오디오 플레이어	Texas Instruments
자사제품 전용 ASDSP	ISP-5.7(Mwave)	● 응용분야: 모뎀, 오디오 ● 노트북, PC의 모뎀 카드	IBM
	QDSP2000	● 응용분야: 무선 멀티미디어 ● MSM3300/5100/5500에 내장	Qualcomm
	CXD2529Q	● 응용분야: CD 플레이어	Sony Semiconductors(일본)
	TC9486F/XB, T3	● 응용분야: 디지털 오디오 플레이어 (AAC, AC3, MP3)	Toshiba(일본)

표 4. 상용 신호처리 프로세서의 특정용도 명령어

프로세서	명령어	설명	응용영역
StarCore SC140	SUBL	Shift left and subtract	FFT
	MAX2VIT	Select maximim for Viterbi	Viterbi decoding
	VSL	Viterbi shift left	Viterbi decoding
TI 55x	FIRS, FIRSN	Symmetric and asymmetric FIR filtering	Filter
	LMS	Least mean square	Adaptive filtering
	BFXPA, BFXTR	Bit field expand/extract	Convolution encoder
	ADDSUB, SUBADD	Parallel add and sub	Viterbi decoding
	MAXDIFF	Maximum difference	Viterbi decoding
TI 64x	GMPY4	Galois Field MPY	Reed Solomon
	SHFL	Bit interleaving	Convolution encoder
	DEAL	Bit de-interleaving	Cable modem
	SWAP4	Byte swap	Endian swap
	XPNDx	Bit expansion	Graphics
	MPYHix, MPYLix	Extended precision 16 x 32 MPYs	Audio
	AVGx	Quad 8bit, Dual 16bit average	Motion compensation
	SUBABS4	Quad 8bit Absolute of differences	Motion estimation
	MAD	Minimum absolute difference	Motion estimation
	SSHVL, SSHVR	Signed variable shift	GSM Vocoder
	BITR	Bit reverse	FFT
	MAX2/MIN2	Maximum, minimum	Viterbi decoding

현저한 성능향상을 얻을 수 있으나 범용적인 응용에는 적합치 않은 것이 단점일 것이다. 그러나, 재구성 가능 프로세서보다는 전력소비 및 성능 면에서 더 효율적인 연산이 가능하다.

4. SDR을 위한 SoC

지금까지 설명한 재구성 가능 프로세서, 특정용도 신호처리 프로세서를 포함하는 개념으로 이중 멀티 프로세서 구조를 들 수 있다. 언급한 프로세서들과 전용 하드웨어 및 재구성 가능 로직은 이중 멀티 프로세서 구조에서 하나의 프로세서로 사용될 수 있다. 이중 멀티 프로세서 구조는 다수의 이중 프로세서들을 연결 네트워크를 통해 연결해 병렬 처리를 실현하는 구조이다. 최근의 고성능 프로세서들이 채택하고 있는 VLIW, Superscalar, Multithreading,

Vector Processing, SIMD(Single Instruction Multiple Data) 등의 기술은 성능 향상에 한계가 있으나, 멀티 프로세서 구조는 프로세서의 수를 증가시켜 지속적인 성능 향상을 얻을 수 있는 구조이다. 따라서, SDR이 요구하는 고성능을 가장 잘 충족시킬 수 있는 구조이다. 그림 7은 이러한 이중 멀티 프로세서 구조를 나타낸다. 다수의 이중 프로세서들이 연결 네트워크를 통해 연결되어 병렬처리를 수행하고, 메모리 및 I/O 등의 자원은 공유하는 방식이다.

이중 멀티 프로세서 구조는 전체적인 성능에서는 가장 좋으나, 프로세서들 간의 통신 및 자원 공유를 위한 효율적인 연결 네트워크 구성과 작업 분배, 제어 방법 등의 연구가 필요하다. 또한, DSP, FPGA, ASIC, 마이크로 프로세서 등의 이중 프로세서들 간의 통신, 공정 기술의 발달에 의한 멀티 프로세서들 원칩화하기 위한 연구도 필요하다. 현재 효율적인 멀티

티 프로세서 구조와 이러한 문제들에 대한 연구가 수행되고 있다[28-31]. 멀티 프로세서 구조는 재구성 가능 프로세서, 특정용도 신호처리 프로세서 자체와 비교할 때 연산의 효율은 떨어지지만 고성능과 유연성을 더 갖추고 있기 때문에 향후에는 많이 사용될 것으로 예상된다. 또한, 공정 기술의 발달에 따라 원 칩화 될 경우 가장 효율적인 구조가 될 것이다.

5. 결론

지금까지 고성능, 유연성, 저전력 소비 등의 특징을 가져 SDR에 적합하다고 판단되는 기저대역 신호처리 소자로써, 재구성 가능 프로세서, 특정용도 신호처리 프로세서, 멀티 프로세서에 대해 살펴보았다. 이들은 성능, 유연성, 전력소비 등의 면에서 서로 장단점을 가지고 있다. 유연성과 전력 소비 대비 성능은 반비례의 관계를 보이고 있다. 그러나 장단점을 가짐과 동시에 서로의 특징을 부분적으로 공유하고 있다. 즉, 성능향상을 위해 다수의 연산유닛을 사용하고 있다. 재구성 가능 프로세서는 코프로세서 형태로 재구성 가능 로직을 사용하고, 특정용도 신호처리 프로세서는 특정 연산에 적합하게 설계된 다수의 기능 유닛 및 특정용도의 코프로세서를 사용하며, 이중 멀티프로세서는 다수의 이중 프로세서를 사용하여 성

능을 향상시킨다. 이렇게 전력 소비 대비 성능과 유연성이라는 상충되는 목적을 충족시키기 위해서는 특정용도에 적합한 프로세서 개발이 필요할 것이다. 즉, SDR을 위한 기저대역 신호처리 소자는 응용영역이 요구하는 수준의 적절한 유연성을 가짐으로써 저전력 소비와 고성능을 얻을 수 있다.

SDR을 위한 차세대 기저대역 신호처리 프로세서는 언급한 프로세서들 중 하나의 특성만을 가지는 것이 아니라, 모든 특성을 포함하게 될 것이다. 이는 공정 기술의 발달에 따라 다수의 프로세서, 주변장치 및 메모리 등이 하나의 칩으로 집적되는 것(SoC)에 따른 필연적인 결과일 것이다. 즉, SDR을 위한 기저대역 신호처리 프로세서는 DSP, 마이크로 프로세서, 재구성 가능 로직, 특정용도의 전용 하드웨어가 하나의 칩으로 만들어지는 이중 멀티 프로세서 구조가 될 것이다. 따라서, 이 프로세서들 간의 효율적인 통신 및 제어 방법과, 효율적인 연산과 저전력 소비를 위해 응용 영역에 맞게 재구성하는 방법이 중요한 이슈가 될 것이다. SDR을 위한 차세대 기저대역 신호처리 프로세서 구조를 정의한다면, 특정 응용영역에 맞게 재구성이 가능하고 원 칩화된 이중의 멀티 프로세서 구조라고 할 수 있을 것이다.

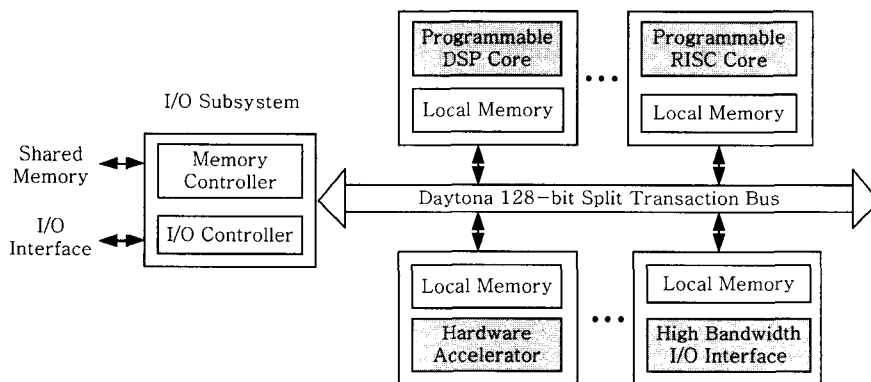


그림 7. 이중 멀티 프로세서

참고 문헌

- (1) SDR Forum [Online]. Available: <http://www.sdrforum.org>
- (2) Semiconductor Industry Association [Online]. Available: <http://www.semichips.org>
- (3) L. Pucker, "Wireless infrastructure: paving paths to software radio design [Online]." Available: <http://www.commsdesign.com/story/OEG20010521S0118>
- (4) H. Zhang, V. Prabhu, V. George, M. Wan, M. Benes, A. Abnous, and J. M. Rabaey, "A 1-V heterogeneous reconfigurable DSP IC for wireless baseband," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 1697-1704, Nov. 2000.
- (5) H. Meyr, "Why we need all these MIPS in future wireless communication systems-and how to design algorithms and architecture for these systems," in *Proc. IEEE Workshop on Signal Processing Systems*, 2001, pp. 2.
- (6) K. Bondalapati, and V. K. Prasanna, "Reconfigurable computing systems," *Proceedings of the IEEE*, vol. 90, pp. 1201-1217, July 2002.
- (7) I. Kramberger, "DSP acceleration using a reconfigurable FPGA," in *Proc. IEEE International Symposium on Industrial Electronics*, vol. 3, 1999, pp. 1522-1525.
- (8) J. R. Hauser, and J. Wawrzynek, "Garp: a MIPS processor with a reconfigurable coprocessor," in *Proc. The 5th Annual IEEE Symposium on Field-Programmable Custom Computing Machines*, 1997, pp. 12-21.
- (9) G. Sassatelli, L. Torres, P. Benoit, T. Gil, C. Diou, G. Cambon, and J. Galy, "Highly scalable dynamically reconfigurable systolic ring-architecture for DSP applications," in *Proc. Design, Automation and Test in Europe Conference and Exhibition*, 2002, pp. 553-558.
- (10) G. W. Donohoe, and P. S. Yeh, "Low-power reconfigurable processor," in *Proc. IEEE Aerospace Conference*, vol. 4, 2002, pp. 1969-1973.
- (11) L. I. Chen, W. L. Liu, O. T. Chen, and R. L. Ma, "A reconfigurable digital signal processor architecture for high-efficiency mpeg-4 video encoding," in *Proc. IEEE International Conference on Multimedia and Expo*, vol. 2, 2002, pp. 165-168.
- (12) Xilinx Platform FPGAs [Online]. Available: <http://www.xilinx.com>
- (13) B. Salefski, and L. Caglar, "Reconfigurable computing in wireless," in *Proc. Design Automation Conference*, 2001, pp. 178-183.
- (14) Chameleon Systems [Online]. Available: <http://www.chameleonsystems.com>
- (15) *Electronic Engineering Times*, Feb. 1 2001.
- (16) Jung Hoo Lee, Jae Sung Lee, Myung H. Sunwoo, and Kyung Ho Kim,

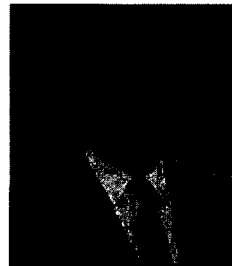
- "Design of new DSP instructions and their hardware architecture for the Viterbi decoding algorithm," in *Proc. International Symposium on Circuits and Systems (ISCAS2002)*, Phoenix, Arizona, USA, May 2002, pp. 561-564.
- [17] Jae S. Lee and Myung H. Sunwoo, "Design of DSP instructions and their hardware architecture for a REED-SOLOMON codec," in *Proc. Signal Processing Systems (SIPS2002)*, San Diego, California, USA, Oct. 2002.
- [18] Y. Bajot, and H. Mehrez, "Customizable DSP architecture for ASIP core design," in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 4, 2001, pp. 302-305.
- [19] Jae S. Lee, Young S. Jeon, and Myung H. Sunwoo, "Design of new DSP instructions and their hardware architecture for high-speed FFT," in *Proc. Signal Processing Systems(SIPS 2001)*, Belgium, Sep. 2001, pp. 80-90.
- [20] P. C. Tseng, C. K. Chen, and L. G. Chen, "CDSP: an application-specific digital signal processor for third generation wireless communications," *IEEE Transactions on Consumer Electronics*, vol. 47, pp. 672-677, Aug. 2001.
- [21] Sandbridge Technologies Inc [Online]. Available: <http://www.sandbridgetech.com>
- [22] Motorola Inc [Online]. Available: <http://e-www.motorola.com>
- [23] J. Glossner, J. Moreno, M. Moudgill, J. Derby, E. Hokenek, D. Meltzer, U. Shvadron, and M. Ware, "Trends in compilable DSP architecture," in *Proc. IEEE Workshop Signal Processing Systems: Design and Implementation*, Oct. 2000, pp. 181-199.
- [24] T. Nishikawa, M. Takahashi, M. Hamada, T. Takayanagi, H. Arakida, N. Machida, H. Yamamoto, T. Fujiyoshi, Y. Maisumoto, O. Yamagishi, T. Samata, A. Asano, T. Terazawa, K. Ohmori, J. Shirakura, Y. Watanabe, H. Nakamura, S. Minami, T. Kuroda, and T. Furuyama, "A 60MHz 240mW MPEG-4 video-phone LSI with 16Mb embedded DRAM," in *Proc. IEEE Int. Solid-State Circuits Conference*, Feb. 2000, pp. 230-231.
- [25] S. Kurohmaru, M. Matsuo, H. Nakajima, Y. Kohashi, T. Yonezawa, T. Moriiwa, M. Ohashi, M. Toujima, T. Nakamura, M. Hamada, T. Hashimoto, H. Fujimoto, Y. Iizuka, J. Michiyama, and H. Komori, "A MPEG4 programmable codec DSP with an embedded pre/post-processing engine," in *Proc. IEEE Custom Integrated Circuits Conference*, May 1999, pp. 69-72.
- [26] StarCore LLC [Online]. Available: <http://www.starcore-dsp.com>

- [27] Texas Instruments Incorporated [Online]. Available: <http://www.ti.com>
- [28] J. Williams, B. Ackland, and N. Heintze, "Communication mechanisms for parallel DSP systems on a chip," in *Proc. Design, Automation and Test in Europe Conference and Exhibition*, 2002, pp. 420-422.
- [29] S. K. Tewksbury, V. Gandakota, K. Devabattini, and P. Adabala, "Integrated memory/network architectures for cluster-organized, parallel DSP architectures," in *Proc. IEEE Symposium on IC/Package Design Integration*, 1998, pp. 21-26.
- [30] B. Ackland, A. Anesko, D. Brinthaup, S. J. Daubert, A. Kalavade, J. Knobloch, E. Micca, M. Moturi, C. J. Nicol, J. H. O'Neill, J. Othmer, E. Sackinger, K. J. Singh, J. Sweet, C. J. Terman, and J. Williams, "A single-chip, 1.6-billion, 16-b MAC/s multiprocessor DSP," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 412-424, March 2000.
- [31] O. Paker, J. Sparso, N. Haandbaek, M. Isager, and L. S. Nielsen, "A heterogeneous multiprocessor architecture for low-power audio signal processing applications," in *Proc. IEEE Computer Society Workshop on VLSI*, 2001, pp. 47-53.



정석현

2002년 2월 아주대학교 전자공학 학사, 2002년 3월 ~ 현재 아주대학교 전자공학과 석사과정 재학 중. <주관심분야 : 통신용 ASIC 설계, DSP 설계, SDR>



선우명훈

1980년 서강대학교 전자공학 학사, 1982년 한국과학기술원 전기 및 전자공학 석사, 1982년~1985년 한국전자통신연구소(ETRI) 연구원, 1985년~1990년 Univ. of Texas at Austin 전기 및 컴퓨터 공학 박사, 1990년~1992년 미국 Motorola, DSP Chip Division, 2001년~현재 IEEE Senior Member, 1992년~현재 아주대학교 전자공학부 교수. <주관심분야 : VLSI 및 SoC Architecture, 멀티미디어 통신용 DSP 칩 및 ASIC 설계>