

主題

# 멀티모드용 SDR 기반 디지털 IF 기술

송실대학교 정보통신전자공학부 이 원 철

차 례

- I. 서 론
- II. 디지털 IF 기술의 필요성 및 기본 동작 원리
- III. 디지털 IF를 구성 및 적용을 위한 핵심 기술
- IV. 결 론

## 요약

향후 다양한 무선 통신 규격들의 통합 수용을 위한 SDR (Software Defined Radio) 기술이 IMT-2000 이후의 4세대 이동 통신 시스템을 위한 핵심 기술로써 심각하게 고려되고 있다. 이에 부응하여 SDR 기반의 멀티모드용 통신 시스템을 구성하기 위한 주요 기술로서 디지털 IF 기술에 대한 필요성이 급속도로 고조되고 있는 상황이다. 최근 ADC/DAC 및 범용 디지털 신호처리 소자들의 고속화 및 고성능화로 인해 IF (Intermediate Frequency) 대역과 기저대역 신호들 간의 직접 디지털 변환의 구현이 현실화되고 있다. 사용자의 관점에서 국지적으로 상용화되고 있거나 장래에 출현할 다양한 이동 통신 시스템 규격들 및 이에 대해 사업자들에게 할당되는 주파수 대역들이 서로 다른 점을 고려할 때, 이종 시스템 혹은 사업자들에게 할당된 주파수 대역에 구애받지 않고 언제 어디서나 자유롭게 무선 채널을 액세스하고 또한 특정 채널을 임의로 선택하기 위한 디지털 IF 기술의 실현이 필수적이다. 이러한 SDR 기반 디

지털 IF 기술은 소프트웨어적으로 재구성 가능한 하드웨어 구조를 요구하며, 특정 이동 통신 규격의 물리 계층만을 지원하는 무선 인터페이스가 아닌 다중 이동 통신 모드를 지원할 수 있는 유연성이 가미된 채널화 알고리즘이 필요하게 된다. 따라서 디지털 IF 기술은 무선 인터페이스 처리 부분, 즉 주파수 상·하향 변환 및 채널 선택·조합을 용도에 맞게 단일의 하드웨어 플랫폼 상에서 고속 디지털 신호처리 알고리즘을 기반으로 동작하기 위한 기능을 필연적으로 요구한다. 본 논문에서는 향후 SDR 기반의 기지국 및 단말기 운영 및 구성 모델을 제시하며, 디지털 IF에 대한 필요성 및 동작 원리, 그리고 요소 기능들에 대한 구체적인 동작 원리 및 디지털 IF와 더불어 활용 가능한 기술에 대하여 논의한다.

## I. 서 론

현재 전세계적인 무선 통신, 특히 이동 통신 환경은 유럽의 GSM, 북미의 D-AMPS, 일본의 PDC, PHS 그리고 우리나라의 IS-95 CDMA와 같은 다

양한 다중 모드 2세대 디지털 시스템들이 주류를 이루고 있다. 또한 전세계적인 로밍 서비스를 목표로 단일 규격화를 추진하였던 3세대 광대역 IMT-2000 규격 역시 특성이 상이한 북미의 3GPP2 cdma2000과 유럽/일본의 3GPP W-CDMA 시스템으로 크게 이분화 되어 국지적으로 상용화될 예정이다. 결국 국지적인 2세대 및 3세대 이동 통신 규격들은 서로 상이한 무선 인터페이스와 비호환적인 접속 프로토콜로 인하여 각기 별도의 독립적인 송수신 시스템을 요구하며, 이들 시스템간의 로밍이 매우 어려운 것이 사실이다. 따라서 2000년대 초반은 다양한 품질 요구 및 기능을 갖는 많은 무선통신 시스템이 혼재하는 상황에서, 하드웨어의 수정 없이 모듈화된 소프트웨어의 변환만을 통해 여러 무선접속 규격을 복합적으로 수용할 수 있는 SDR 기술의 중요성이 더욱 크게 부각되고 있다[1]-[3].

무선통신 시스템은 1970년대와 1980년대를 거치면서 반도체 분야의 급속한 발전에 힘입어 아날로그 시스템에서 디지털 시스템으로 발전을 이루어왔다. 최근 들어 100 Msps에 가까운 표본화 속도를 갖는 고속 Analog-to-Digital Converter (ADC) 및 Digital-to-Analog Converter (DAC)의 발전으로 인해 중간 주파수 대역 (IF)과 기저대역 신호들 간 직접 디지털 변환의 구현이 가능하게 되었다. 또한 범용 디지털 신호처리 (Digital Signal Processor; DSP), Field Programmable Gated Array (FPGA)와 같은 디지털 신호처리 소자들의 성능이 점차 고성능화 하면서 소프트웨어로 재구성이 가능한 (software reconfigurable) 디지털 트랜시버의 구현이 가능하게 되었다. 이러한 기술적인 발전은 지금까지 개념적으로만 제안되어 오던 SDR 시스템의 효과적인 실제 구현을 점차 가능케 하고 있다[4,5].

SDR 기술은 첨단 디지털 신호처리 기술과 고성능 디지털 신호처리 소자를 기반으로 하드웨어 수정 없이 모듈화된 소프트웨어 변경만으로 단일의 송수신

시스템을 통해 다수의 무선 통신 규격을 통합·수용하기 위한 무선 접속 기반 기술이다. SDR 기술은 크게 소프트웨어에 의하여 재구성이 가능한 하드웨어와 이 하드웨어를 특정 규격 또는 특정 목적의 통신 송수신 시스템으로 바꾸어 주는 소프트웨어 모듈들로 구성된다[1]. SDR 기술 진화 과정상의 가장 큰 특징은 ADC/DAC의 위치가 기저대역으로부터 IF 혹은 RF 안테나까지 근접시킴으로써, 시스템의 표본화 처리 대역을 RF까지 증가시킬 수 있다는 점이다. 또한 SDR은 전통적인 디지털 회로와 저속 DSP 및 CPU 들을 사용하는 기존의 소프트웨어적인 제어의 디지털 라디오 (Software-Controlled Digital Radio)의 개념이 아니라, 고속 DSP 및 CPU들을 사용하여 프로그램 가능한 IF 혹은 RF, 채널 액세스 모드, 채널 변조 등이 가능한 총체적으로 프로그래머블한 디지털 라디오 개념으로 이해되어야 한다. 따라서 SDR은 단일 송신 및 수신 하드웨어 플랫폼 상에 소프트웨어 모듈만을 변경함으로써 다양한 무선 규격을 유연성 있게 제공할 수 있다.

SDR 기술은 다음과 같은 여러 측면에서 그 필요성을 찾을 수 있다. 먼저, 무선통신 운용업체 및 서비스 제공 업체에서는 사용자에게 통합 서비스를 제공하고, 단말기의 업그레이드와 새로운 서비스의 추가가 용이하며, 특별한 하드웨어 수정 없이 다중모드 전환 문제의 해결이 가능하다는 장점이 있다. 또한, 사용자의 측면에서는 무제한적 로밍이 가능하며, 장래 무선통신 규격 선정에 따른 단말기와 기지국의 특별한 하드웨어 업그레이드가 불필요하게 된다. 한편, 시스템 제조업체는 하드웨어 플랫폼의 간소화 및 이종 규격간의 통합형 단말 플랫폼의 판매, follow-up 소프트웨어의 판매가 가능하며, 사용자에게 추가적인 기능을 매우 손쉽게 제공할 수 있다.

그림 1은 이동 통신 네트워크 상에서 SDR을 기반으로 한 기지국 및 컨버전스 단말기를 이용한 통신 운용 과정을 나타낸다. 즉 사용자 측면에서 영상, 음성 혹은 데이터 등의 멀티미디어 서비스들 중 원하는

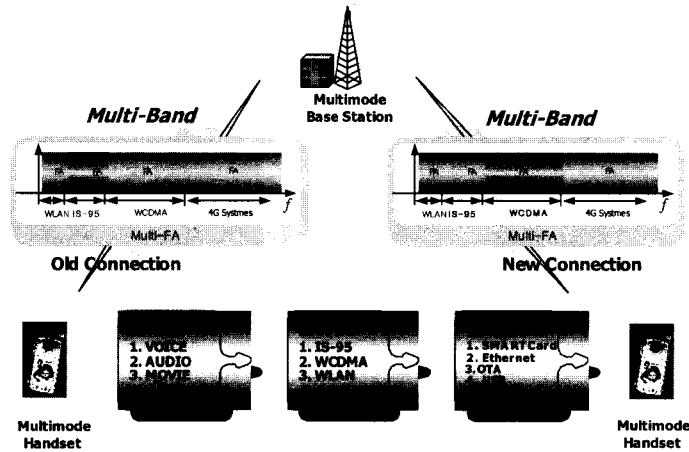


그림 1. SDR 기반의 무선 통신 시스템 접속 과정.

서비스를 택하게 되면 다수의 주파수 대역을 보유하고 있는 통신 사업자가 운영하고 있는 멀티모드 이동통신 규격들이 선택 사양으로 나열되며, 사용자는 이들 중 경제적인 측면과 품질 측면에서 가장 적합한 규격을 선택하게 된다. 사용자가 보유하고 있는 SDR형 컨버전스 단말기는 특정 운영체제를 갖추고 있으며, 선택된 규격을 동작시키기 위한 응용 소프트웨어 및 디바이스 작동 파라미터군을 스마트 카드 형

태의 저장 장치로부터 혹은 기지국으로부터 공중으로 혹은 인터넷을 통한 유선으로 다운받아 사용하게 된다. 이때 이전의 서비스를 사용하고 있었다면 이를 종료하고 새로운 서비스를 위하여 사용 주파수 대역천이가 소프트웨어적으로 제어되어야 하며, 기지국은 새롭게 변경된 주파수 대역으로 사용자 단말기와 끊임 없이 통신 연결이 지속되어야 한다. 따라서 이러한 통신 시스템 운용을 위해서는 동일한 하드웨어 플

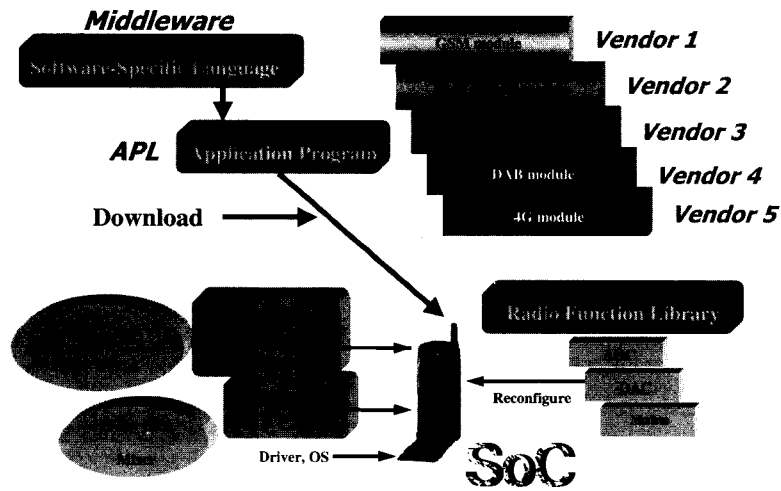


그림 2 : SDR형 단말기 구성 하드웨어 및 소프트웨어 운영 모델.

랫폼 하에서 멀티밴드/멀티모드간의 자연스러운 변경을 위한 SDR 기술이 필수적으로 요구된다.

그림 2는 향후 출현할 SDR형 컨버전스 단말기의 하드웨어 구성 및 소프트웨어 운영 기능을 도시하고 있다. 단말기는 기본적으로 특정 운영체제 하에서 외부에서 다운받은 응용 소프트웨어를 실행 시켜 각종 통신 규격을 동작시키게 된다. 이때 단말기상의 미들웨어는 이러한 응용 소프트웨어들의 동작을 지원하기 위해 단말기에 내장된 라이브러리 함수들을 선택하고 이를 조합하며, 다운받은 디바이스의 적합한 동작을 위한 관련 파라미터들을 참조하여 디바이스 드라이버를 실행시켜 정해진 운영체제 하에서 실행 소프트웨어를 구성하게 된다. 그림 2에서 볼 수 있듯이 SDR형 컨버전스 단말기를 구성하는 하드웨어는 크게 분류하여 RF 신호처리를 위한 아날로그 소자들, 즉 발진기, 증폭기, 믹서 및 아날로그 필터 등과 후단의 디지털 신호처리 과정에 필요한 ADC, DAC 및 기타 기저대역 처리를 위한 FPGA (Field Programmable Gate Array) 및 DSP (Digital Signal Processor) 등의 소자들로 구성된다. 이때 소프트웨어적인 재구성성을 위하여 사용되는 프로그래머블 소자

인 FPGA는 디지털 트랜시버와 같은 고속/저복잡도의 기능을 수행하게 되며, DSP는 상대적으로 저속/고복잡도의 모뎀관련 기능을 수행하는데 필요하게 된다.

단말기는 기본적인 모뎀 알고리즘 처리를 위한 라이브러리 함수를 갖추게되며, 선택된 특정 통신규격을 운영하기 위해 제공받게 되는 응용 소프트웨어는 이러한 기본 라이브러리 함수를 이용하게 된다. 또한 응용 소프트웨어는 여러 외부 업체에 의해 개발될 수 있으며, 서비스 사업자 혹은 일반 사용자는 이들에 대한 성능 비교를 토대로 최적의 소프트웨어를 선택할 수 있게 된다. SDR형 단말기의 실현을 위해 가장 중요시되는 기능은 다수의 주파수 밴드를 유연하게 선택하기 위한 기능이며, 이를 위해서는 정해진 RF 주파수 대역을 직접 기저대역화 시키기 위한 Zero-IF 기술에 대한 연구가 현재 활발히 되고 있다.

그림 3은 향후 출현할 SDR 기반의 기지국 시스템 구성 모델을 나타내고 있다[6]. 기본적으로 현재의 기지국 시스템과 상이한 점은 RF/IF 처리단과 기저대역 및 모뎀 처리단이 별도로 분리되어 있다는 점이

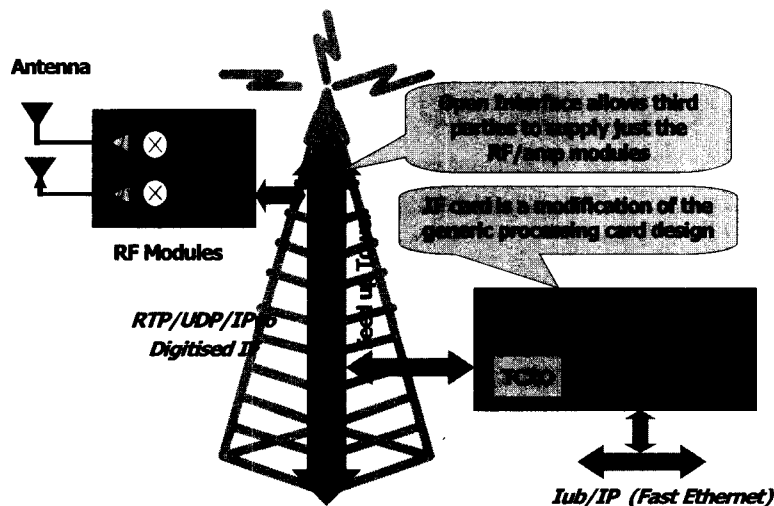


그림 3 : SDR형 기지국 시스템 구성 모델.

며, 여기서 RF 트랜시버 모듈은 디지털 IF 기술을 적용하여 디지털화된 IF 대역 신호를 디지털 인터페이스를 통해 기저대역 처리단으로 송수신하는 구조를 적용하고 있다는 점이다. 이러한 구조는 현재 옥외용 기지국 시스템이 안테나와 기저대역 처리단을 같은 공간내에 위치함으로 인해 소요되는 설치비용 및 운용/보수비용을 대폭 절감할 수 있다는 장점을 갖게 된다. 또한 RF/IF 처리단과 기저대역 처리단 사이의 데이터 송수신은 개방형 구조의 디지털 인터페이스 프로토콜들, 예를 들어 RTP (Real-time Transport Protocol), UDP (User Datagram Protocol), IPv6 (Internet Protocol version 6)를 통해 이루어지며, 이러한 개방형 인터페이스를 전달된 디지털 IF 대역 신호 데이터를 취득하여 기저대역 처리를 수행하기 위한 별도 모듈을 두게 된다.

기저대역 모듈은 소프트웨어적인 재구성이 용이하도록 프로그래머블 디지털 소자들로 구성되며, 최종적으로 고속 전송이 가능한 대용량 개방형 디지털 인터페이스를 통해 무선 교환국으로 보내지게 된다. 이러한 SDR형 기지국 시스템은 모듈별 전문 업체들에 의해 개발될 수 있다는 장점을 가지고 있으며, 이를 통해 전체적인 기지국 시스템 구축에 소요되는 비용을 절감할 수 있다. 즉 다시 말해서 향후 SDR형 기지국 시스템은 전체 시스템을 하나의 업체에서 개발하기보다는 개방형 디지털 인터페이스 규격을 만족하는 안테나 모듈에서부터 RF 트랜시버 모듈 및 재구성 가능한 기저대역 처리 하드웨어 플랫폼 등 모듈별 전문 개발 업체를 통해 "black box" 형태로 별도 개발될 수 있으며, 서비스 사업자는 경제성 및 성능 비교를 통한 최적의 모듈을 선택하여 전체 기지국 시스템을 조립 구성하고 단지 이동 통신 규격을 수용하기 위한 소프트웨어 개발을 통해 시스템을 운영할 수 있게 된다. 단지 현재 이동 통신 전송 시스템에서 송신단 고출력 증폭기나 수신단 저잡음 증폭기의 비선형성에 의한 신호 왜곡 방지를 위해서 고려되는 다양한 선형화 기법들은 기본적으로 기저대역 신호를 필요로

하며, 이를 위해서는 기저대역 처리단이 RF 트랜시버 모듈과의 연동이 필수적이다. 그러나 향후 디지털 사전 왜곡기 등과 같은 디지털 영역에서의 처리될 수 있는 적응형 선형화 기술이 실현된다면 사실상 기저대역단에 모든 선형화 작업이 이루어 질 수 있게 되며, 따라서 그림 3과 같은 구조가 실현 가능하게 될 것이다. [7].

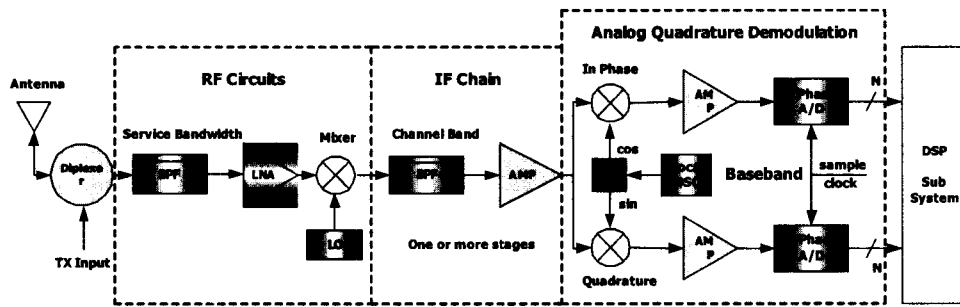
위에서 언급한 SDR형 단말기와 기지국 시스템의 실현을 위해서 디지털 트랜시버의 구축이 가장 선행되어야 하며, 이를 위해서는 복합적인 다중모드/다중밴드 운용상 원하는 주파수 대역을 소프트웨어적인 변경만으로 이를 선택하고 기저대역 디지털 신호로 변환하기 위한 혹은 이의 역과정을 위한 디지털 믹싱, 필터링 기능 및 디지털 자동 이득 조절 등을 수행하는 디지털 IF 기술이 필수적이라 볼 수 있다. 또한 부수적으로 송신단 및 수신단 증폭기의 효율을 극대화하기 위한 디지털 선형화 기술을 필요로 한다. 본 논문은 이러한 다중모드형 디지털 IF의 구성에 대하여 논한다. 먼저 II 절에서는 디지털 IF 기술에 대한 필요성 및 기본 동작 원리에 대하여 정리한다. III 절에서는 디지털 IF를 구성 및 적용을 위한 핵심 기술들에 대한 기능에 대하여 구체적으로 기술하며, 마지막으로 IV 절에서 결론을 맺는다.

## II. 디지털 IF 기술의 필요성 및 기본 동작 원리

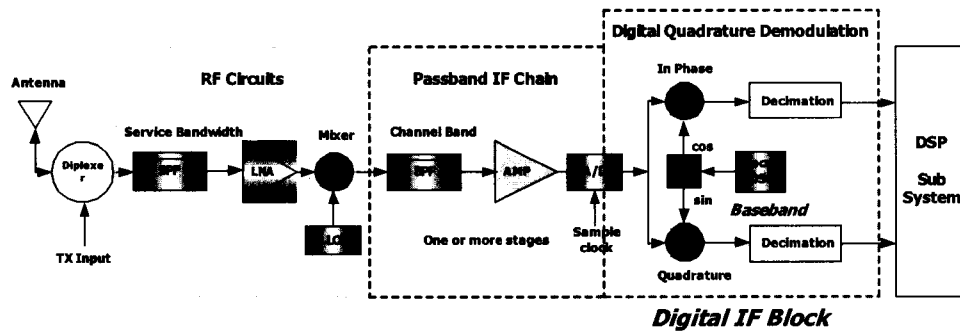
SDR형 기지국 혹은 단말기를 위한 디지털 IF는 앞의 절에서 설명한 바와 같이 소프트웨어적으로 재구성 가능한 프로그래머블 소자들로 구성되므로 인해 아날로그처럼 소자의 주변환경에 의한 혹은 노후화에 의한 특성변화를 보상하기 위한 별도의 정기적인 튜닝과정이 필요 없을 뿐더러, 소프트웨어로 업그레이드가 가능하므로 유지보수 및 변경이 용이하며, 또한 아날로그 IF 보다 고성능 디지털 신호처리 기법을 적용하여 정밀한 신호분리 및 처리가 가능하다. 일반적

으로 아날로그식 트랜시버가 지니고 있는 문제점은 증폭기의 비선형 특성에 의한 신호 왜곡, 비정상적인 이득 조절에 의한 신호 포화, DC 오프셋, I-Q (Inphase and Quadrature phase) 신호 이득

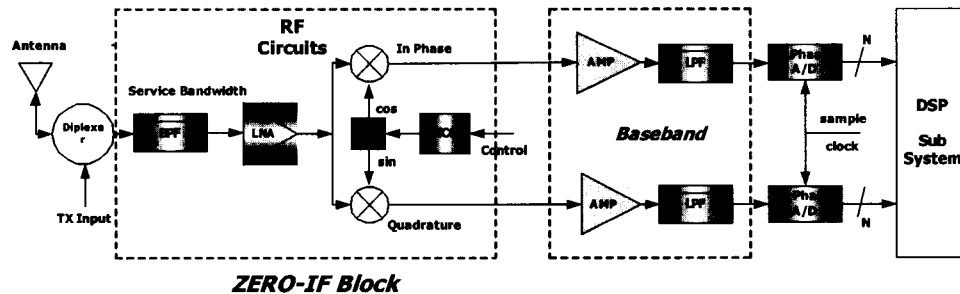
의 불일치, I-Q 위상 불일치 등이며, 이러한 문제점들에 의해 성능이 저하될 수 있다. 특히 Zero-IF를 적용한 경우 이러한 문제점 발생에 의해 심각한 성능 장애가 발생할 수 있다. 그러나 이러한 트랜시버 기



(a) 일반적인 슈퍼헤테로다인 형태의 수신단 구조.



(b) 디지털 IF 기능이 적용된 수신단 구조.



(c) Zero-IF 기능이 적용된 수신단 구조.

그림 4. 통신 시스템에 적용되는 세가지 유형의 트랜시버 구조.

능을 디지털로 구현함으로써 위에서 언급한 문제점들을 디지털 신호처리 알고리즘을 적용하여 오프라인으로 해결할 수 있다 [8]. 이러한 특징들을 고려할 때 디지털 IF는 향후 SDR 기반 기지국 및 단말 시스템 구축을 위해 최우선적인 필수 기능으로 대두되고 있으며, 단일의 하드웨어 플랫폼상에서 다양한 이동통신 방식이 요구하는 신호 송수신 규격을 유연성 있게 수용할 수 있다는 점이 기대된다.

일반적으로 디지털 IF 기술을 기반의 트랜시버 모듈은 기저대역 처리단으로부터 전달된 기저대역 신호를 디지털 IF를 사용하여 RF로 전달하는 상향 변환 유닛 (Digital IF Up Conversion Unit; DUCU)과 이의 역과정인 하향 변환 유닛 (Digital IF Down Conversion Unit; DDCU)으로 구분된다. 그림 4는 세 가지 유형의 트랜시버의 수신단 구조를 나타내고 있으며, 이에 대응하는 송신단 구조는 이의 대칭 과정으로 표현될 수 있다. 그림 4(a)는 일반적인 슈퍼헤테로다인 형태의 수신단을 나타내고 있으며, 그림 4(b)는 디지털 IF를 적용한 수신단을 나타내며, 마지막으로 그림 4(c)는 향후 SDR형 단말기에서 사용될 수 Zero-IF를 적용한 수신단을 나타내고 있다.

그림 4(a)에서 나타낸 일반적인 슈퍼헤테로다인 방식은 RF대역에서 기저대역까지 아날로그 방식으로 처리하게 되며, 크게 세 가지 유형의 아날로그 필터를 필요로 하게 된다. 즉, RF대역에서는 Dielectric 필터가 사용되며, IF단에서는 SAW (Surface Acoustic Wave) 필터가, 기저대역에서는 일반적으로 Crystal 필터가 사용된다. 그러나 기저대역단에서 일반적으로 사용되는 Crystal 필터는 High-Q 특성을 갖게 되므로 협대역 신호 (대역폭 <math><30\text{kHz}</math>)에 적용 가능하나, 2세대 IS-95 및 3세대 W-CDMA 와 같이 광대역 기저대역 신호의 저역 통과 필터로는 적용이 어려우며, 이러한 문제점을 해결하기 위하여 인근 채널과의 신호 전력의 동적 영역의 차이가 적은 2세대 규격에서는 광대역 필터링이 가능한 수동소자 필터가 사용되어 왔다. 그러나 3세대 이후 이동통신 규격은 인근 채널간의 신호 전력의 동적 영역의 차이가 크게 되어 사실상 인근 채널에 의한 영향을 줄이기 위해서 IF 주파수 대역상의 저지대역 감쇄 이득이 큰 (>80dB) 대역 통과 필터를 사용해야 한다. 그러나 실제로 SAW 필터는 일반적으로 최대 대역 저지율(Band Rejection Ratio; BRR)이 45dB 정도이므로 최소 2단 이상을 직렬 연결해서

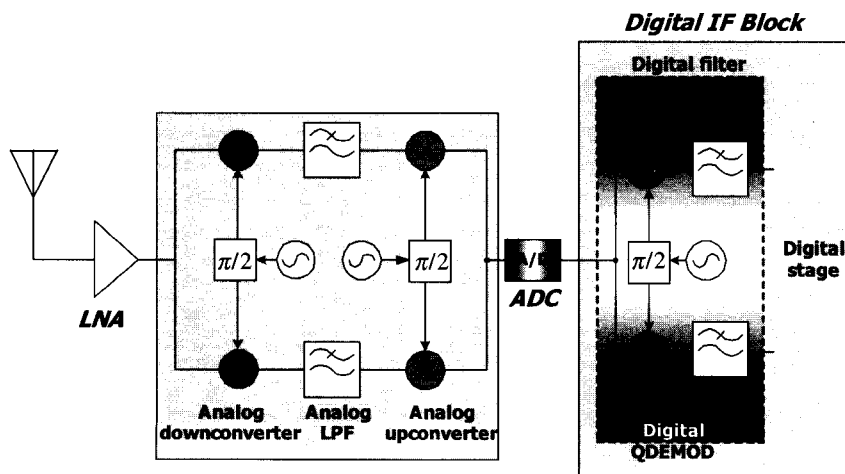


그림 5. Zero-IF와 프로그래머블 IF 상향변환기 및 디지털 IF를 이용한 멀티모드용 수신단 구조.

사용해야 한다는 부담이 발생한다. 또한 SAW 필터 구동 주파수 대역이 정해지게 되어, 사실상 임의의 IF 대역에서의 사용이 어렵다는 단점도 지니고 있다. 이러한 문제점을 해결하기 위해 그림 4(b)에서 나타낸 디지털 IF를 적용하게 되며, 고해상도 광대역 ADC를 사용하여 IF 대역의 다채널 신호를 대역통과 필터링하고 디지털 영역에서 우수한 대역 저지율을 갖는 저역 대역 필터링을 수행하여 원하는 채널성분을 추출하게 된다. 따라서 아날로그 필터와는 달리 디지털 필터는 우수한 대역 저지율을 가질 수 있으므로, 원하는 채널 성분을 인근 채널에 의한 간섭 없이 정밀하게 추출할 수 있다는 점은 디지털 IF를 적용하는 사실상의 중요한 이유가 된다.

그림 4(c)는 Zero-IF 기술이 적용된 호모다인 형태의 수신단 구조를 나타내며, 고비용의 수동 필터들의 불필요 및 이에 따른 저전력 소모 및 소형화를 실현할 수 있다는 측면에서 단말기에 적합한 구조이다. 이와 더불어 향후 멀티모드에 적합한 구조라는 점에서 근래에 와서 각광을 받고 있는 현실이다. 그림 5는 멀티모드 용도를 위해 Zero-IF와 프로그래머블 IF 상향변환기 및 디지털 IF를 이용한 수신단 구조를 나타낸다 [9]. 이 구조에서는 일단 직하향변환 과정을 통하여 원하는 주파수 대역 신호를 기저대역 신호

로 변환후 에어리어징 방지를 위한 저역 통과 필터를 거치게 되며, 프로그래머블 IF 상향 변화된 후 디지털 IF 단으로 입력되게 된다. 이 때 다중모드에 해당하는 원하는 밴드가 여러 주파수 대역으로 구분되어 있을 경우, 각각의 밴드별 직접 하향 변환을 수행하며, 여러 개의 기저대역 신호 성분들은 사용하게 되는 ADC 성능 및 규격에 준하여 정해진 IF 주파수 플랜에 따라서 서로 겹치지 않게 배열된 후 디지털 IF단으로 입력되어 디지털 영역에서 이들을 서로 분리하고 별도로 기저대역 처리를 하게 된다. 이러한 구조에 의해 동시에 여러 모드를 작동시킬 수 있다는 장점을 갖게 된다.

### III. 디지털 IF를 구성 및 적용을 위한 핵심 기술

그림 6은 일반적인 단일 반송파 주파수 채널에 대한 하향 변환 혹은 상향 변환을 위한 DUCU 및 DDCU상의 디지털 IF 처리과정을 수행하는 기능별 블록도를 나타낸다. 즉, 디지털 IF의 구성에서 기본적인 구성요소들은 디지털 IF 와 아날로그 IF 사이에 있는 고속 광대역 DAC와 ADC 그리고 AGC (Automatic Gain Control)와 NCO (Numer-

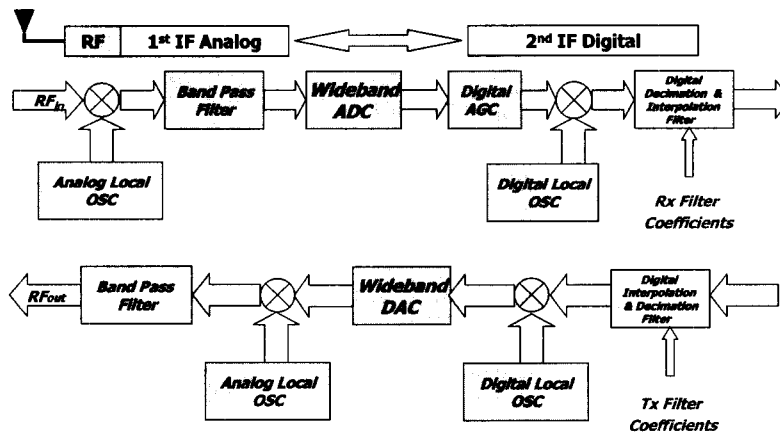


그림 6. 디지털 IF 기능별 블록도.



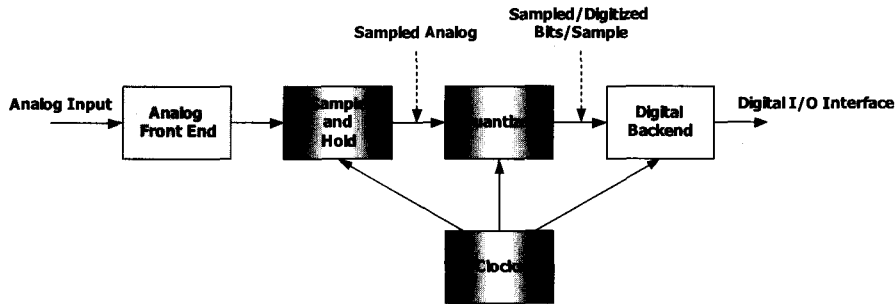


그림 7. 일반적인 ADC 처리 구조.

ically Controlled Oscillators) 등이다. DAC와 ADC를 제외하고 나머지 디지털 구성요소는 프로그램머블 유닛에 로딩되어 동작되며, 모듈 사이에는 AGC를 두어 자동으로 이득을 조절하도록 하며 DAC와 ADC 전후하여 DFS (Digital Frequency Synthesizer) 혹은 NCO를 위치한다. 또한 표본화 변환은 디지털 필터와 업/다운 샘플러에 의하여 이루어지며, 이를 위하여 표본화 주파수 하향 변환 시에 데시메이션과 상향 변환 시에 인터플레이션 필터가 필요하다. 이러한 데시메이션과 인터플레이션 필터를 효율적으로 구현하기 위하여 여러가지 필터 구조들이 제안되고 있으며, 특히 곱셈과정이 없는 CIC (Cascaded Integrator Comb) 필터등이 폭넓게 사용되며, 이와 더불어 제어가 가능한 FIR (Finite Impulse Response) 형태의 프로그램머블 필터가 동시에 직렬 연결되어 사용된다. 표 1은 현재 상용화중인 2세대 이동통신 규격인 IS-95 및 3세대 이동통신 규격인 W-CDMA 및 Cdma2000에 대한 설정 입력 IF 주파수 및 디지털 IF 기반의 DUCU 및 DDCU의 주요 기능들을 나타낸다. 본 절에서는 디지털 IF 모듈을 구성하는 세부 기능들, 즉 광대역 ADC/DAC, 디지털 NCO, AGC, 그리고 데시메이션 및 인터플레이션 필터에 대하여 상세하게 기술한다.

표 1. 주요 이동통신 규격을 위한 디지털 IF DUCU 및 DDCU 구성 기능.

규격	입력 IF 주파수	주요 DUCU기능	주요 DDCU기능
IS-95	70MHz 지원	NCO	NCO
CDMA-2000	70MHz, 190MHz 지원	인터플레이션 필터	인터플레이션 필터
W-CDMA	70MHz, 140MHz, 190MHz 지원	데시메이션필터 펄스형상필터 사전왜곡기*	데시메이션필터 펄스형상필터 자동이득조절

\* : 디지털 IF의 DUCU의 선택사항 기능이다.

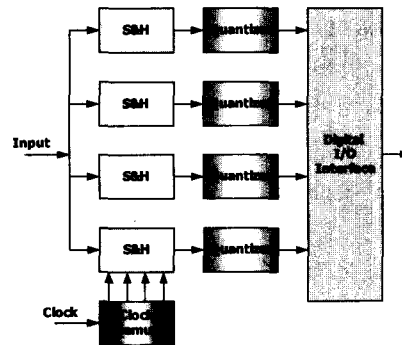
(1) 광대역 ADC/DAC 및 대역 통과 샘플링  
 디지털 IF 기술은 기본적으로 아날로그 IF 대역 신호를 직접 디지털화하여 이를 기저대역 성분으로 하향 변환하거나 이에 대한 역과정을 수행하게 된다. 이때 각종 이동통신 규격은 서로 다른 RF 반송파 주파수를 갖고 있으며, 그림 4(b)에서 나타낸 바와 같이 이들을 아날로그단에서 규격에 적합한 국부 발진기 및 대역통과 필터를 거쳐서 IF 대역으로 하향 변환하게 된다. IF 대역으로 천이된 신호는 여러 채널들로 구성되며, 이러한 채널들을 디지털 IF 기술로 기저대역 하향 변환하기 위해서는 광대역 ADC 소자를 필요로 한다. 특히 멀티모드를 동시에 처리하기 위한 SDR형 디지털 IF를 위해서는 IF 주파수 대역내에 여러 규격의 이동통신 신호 스펙트럼을 적절히 배열하고, 이러한 광대역 성분을 일괄적으로 표본화하기 위한 광대역 ADC 소자의 필요성이 더욱 절실하게 된다. 현재 ADC 기술의 발전에 힘입어 2세대 및 3세대 규격을

수용할 수 있는 표본화 주파수가 80MSPS인 4채널을 수용할 수 있는 Monolithic 타입의 프로그래머블 범용 ADC가 상용화되고 있다[10].

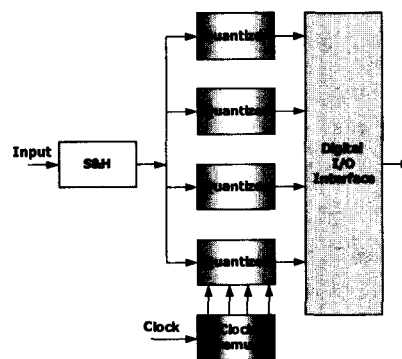
향후 이동통신 시스템의 스펙트럼 효율을 극대화하여 전송률을 향상시키기 위해 고차원의 심볼 매핑이 적용될 예정이며, 이로 인한 채널간 및 서로 다른 규격 신호들간의 신호 전력의 불균형이 심화되고, 인근 채널 및 다중 사용자 간섭과 원근 문제 등을 해결하여 고품질의 원하는 기저대역 성분을 추출하기 위해서는 ADC의 동적 범위가 높아야 한다. ADC의 동적범위는 나이퀴스트 대역 내에서 SFDR (Spurious-Free Dynamic Range) 값으로 규정되며, 현재 14-bit 해상도를 갖는 SFDR 100dB 이상급의 ADC가 출시되어 있는 상태이다. 또한 SFDR 특성을 개선하기 위하여 대역의 잡음 신호를 첨가하는 dither 추가 ADC를 사용할 수 있다[10]. 그림 7은 일반적인 ADC의 처리 구조를 나타낸다. 일반적으로 ADC는 전력 소모량과 해상도는 지수적인 관계를 가지며, ADC구조상 전력 소모가 가장 큰 부분은 S&H (Sample and Hold) 회로이다. 이러한 전력 소모를 줄이기 위해 그림 7의 처리 구조를 병렬로 배열하여 기능을 분산시키는 ILADC (Interleaved ADC)가 제안되었으며[11], 각 경로마다 낮은 동작 주파수의 사용으로 인해 전체적인 전력 소모가 줄어들게 된다. 그림 8의 (a)는 S&H 회로와 양자화기를 모두 병렬로 배치하는 ILADC이며, 그림 8(b)는 중간 주파수가 대역폭에 비해 상당히 큰 경우 좀더 전력 소모를 줄이기 위한 ILADC 구조이다.

표 2는 현재 사용되고 있는 Monolithic 반도체 기반 ADC의 성능과 향후 SDR에 적용가능한 초전도체 기반 ADC 성능을 비교한다. 현재의 ADC기술은 광대역 IF 신호를 직접 디지털화 하기에는 아직 미흡하다. 기존의 아날로그 방식의 중간대역의 중심 주파수가  $f_0$ 인 IF 신호를 표본화하기 위해서 나이퀴스트 샘플링 정리에 의해 최소한  $2f_0$ 의 표본화 주파

수를 수용할 수 있는 ADC가 이론상 필요하게 된다. 하지만 만약 원하는 채널의 대역폭이 IF 반송파 주파수보다 상당히 작을 경우, 대역통과 표본화 이론을 적용한다면 이론적으로 표본화 주파수는 대역폭주파수보다 상당히 작을 경우, 대역폭의 2배의 표본화 주파수로도 충분히 표본화된 디지털 신호를 얻게 된다. 대역통과 표본화는 변조 신호를 낮은 비율로 표본화를 함으로써 발생하는 인위적인 에일리어징을 이용하여 주파수를 천이 시키는 방법이다. 이 표본화 과정에서 고려해야 할 점은 반드시 대역보다 2배 이상의 표본화 주파수가 필요하게 된다. 이 조건을 만족하지 못하면 대역내의 정보도 스펙트럼이 겹쳐지는 간섭현상의 발생하여 다시 원 신호를 복구할 수 없게 된다.



(a)



(b)

그림 8. 저전력 소모를 위한 ILADC 구조

표 2. Monolithic 반도체 기반 범용 ADC 규격과 향후 초전도체 기반 ADC 성능 비교

Feature	Performance Range	
	Semiconductor-based	Superconductor-based
Sampling Frequency	Up to 80MHz	Up to > 2GHz
Resolution	10 to 14 bits quoted (ENOB : typically 2 to 4 less ENOB : Effective Number of bits)	14 to 24 bits ENOB
Spur Free Dynamic Range	60 to 90 dB	100 to 150 dB
Sensitivity	N/A (normally post LNA)	-120 to -180 dBm

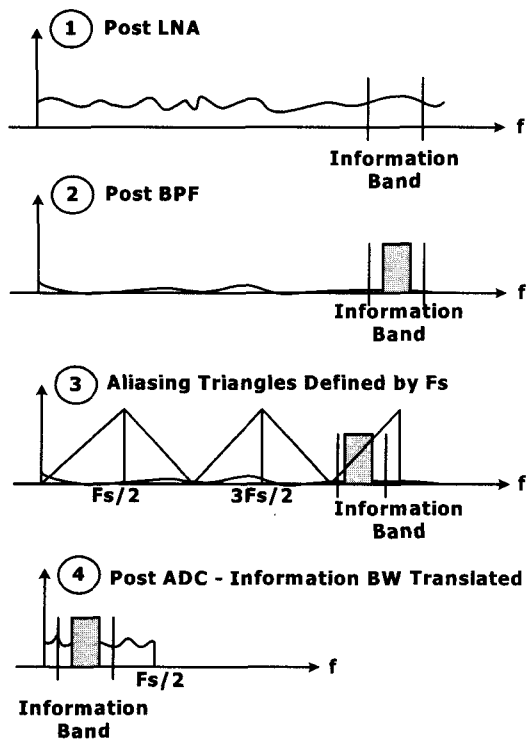


그림 9. 주파수 영역상 대역 통과 샘플링 동작 과정.

그림 9는 이러한 대역 통과 표본화 과정을 도입하여 ADC의 규격 표본화율  $F_s$  보다 높은 IF 대역에 위치하고 있는 신호원을 표본화하는 과정을 도시하고 있다. 이러한 대역통과 표본화를 구현하기 위해서는

여러 가지 중요한 하드웨어적인 요구사항을 만족 시켜야 한다. 첫째로 ADC 표본화 주파수는 상당히 낮지만 ADC의 아날로그 입력 대역이 IF 주파수를 수용할 수 있어야 한다. 즉 표본화 틸이 상당히 작아야 한다. 두 번째로는 반송파 중심 주파수에 위치하는 대역통과 필터의 특성이 매우 우수하여야 한다. 이 필터는 정보대역 외에 존재하는 모든 잡음 및 간섭을 제거하여 표본화 대역 대역에서의 우수한 SNR(신호 대 잡음비)을 제공해야 한다. 현재 이러한 밴드통과 샘플링 기능이 장착된 가능 입력 주파수가 250MHz 이고 최대 65Mpsps 표본화율을 갖는 상용 광대역 ADC 소자가 출시되어 있다 [12].

SDR 기반 디지털 IF에서는 서로 다른 규격의 반송파 주파수를 동시에 표본화하는 기능이 요구되며, 이때 상이한 IF 주파수 대역을 갖는 2개의 신호를 표본화 하고자 하는 경우 이상적으로는 대역통과 표본화를 이용하여 두 신호간의 주파수 차에 두 배 이상의 속도로 표본화하여 처리할 수 있으나 두 주파수간의 차가 큰 경우에 현실적으로 불가능하다. 이런 문제의 대안으로 표본화 주파수를 적절히 선택하여 각각의 신호가 대역통과 표본화를 거쳐 정보대역폭의 왜곡 없이 표본화 및 주파수 천이를 수행하는 방법이다. 두 개의 서로 다른 반송파가 디지털 IF 대역으로 천이 되었을 때 두 신호의 정보대역폭이 서로 겹치지 않아야 한다. 그림 10은 서로 다른 대역폭과 중심 주파수를 갖는 상이한 이동 통신 규격의 IF 대역

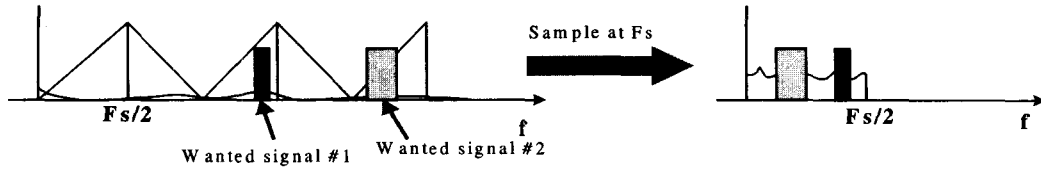


그림 10. 서로 다른 IF 대역 신호의 대역 통과 샘플링.

신호를 대역 통과 표본화 기능을 갖는 단일의 ADC 를 통해 표본화 주파수  $f_s$ 로 표본화하는 과정을 도 시하고 있다. 이때 주의할 점은 나이퀴스트 내의 서로 다른 두 개의 신호의 대역폭의 합이 각각의 중심 주파수 차이 절대치의 두 배보다 작아야 한다는 점이다[13].

DAC는 동작 클럭과 동적 범위가 중요한 파라미터가 된다. DAC 출력은 주파수 영역에서 이미지가 원 신호와 동일한 전력을 가지는 것이 이상적이지만 실제의 DAC 출력은 이미지 전력이 점점 작아지는 형태를 가진다. 이는 Sinc 함수의 모양이 고주파일 수록 작아지는 현상 때문이다. Sinc 함수는 광대역 일때 신호 주파수 대역의 높은 주파수 쪽에서 전력이 낮아지는 문제, 즉 평탄도 문제를 발생한다. 이를 보상하기 위해 역 Sinc 필터가 통과대역 평탄화를 위하여 사용될 수 있다.

(2) 디지털 프로그래머블 NCO (Numerically Controlled Oscillators) 기능

NCO는 DDFS (Direct Digital Frequency

Synthesizer)로도 불리우며, 디지털 영역에서 프로그래머블하게 원하는 특정 주파수를 갖는 sin 또는 cos 파형의 신호를 생성하는 역할을 한다. 디지털 IF에서 NCO로부터 소프트웨어적인 제어과정을 생성된 특정 주파수의 정현파 신호는 디지털 믹서의 입력으로 사용되며, 믹싱 과정을 통해 수신 신호의 I/Q 채널의 분리와 디지털 수신 신호의 주파수 천이가 가능하다. 이 때 멀티모드용 디지털 IF에서 사용되는 NCO는 각 모드마다 서로 다르게 설정된 디지털 IF 주파수를 소프트웨어적인 파라미터 변경으로 설정하게 되며, 이에 대응하는 정현파를 LUT (Look-Up Table)을 통해 발생시킨다.

그림 11은 NCO의 동작을 위한 기능별 블록도를 나타낸다. 여기서 출력 주파수  $f_{out}$ 은 위상 증분  $\Delta\theta$ 와 클럭 주파수  $f_{clk}$  및 위상 증분값을 나타내기 위해 사용하는 총 비트수  $B_{\theta(n)}$ 에 의해서 표현된다. 또한 일반적인 경우에 NCO를 구성하는 LUT에는 cosine과 sine 신호의 한 주기가 저장된다. 이때 저장되는 표본의 개수는 LUT의 총 메모리 번지수  $2^{B_{\theta(n)}}$ 에 의해 결정되며, 각 메모리 번지수를 나타내

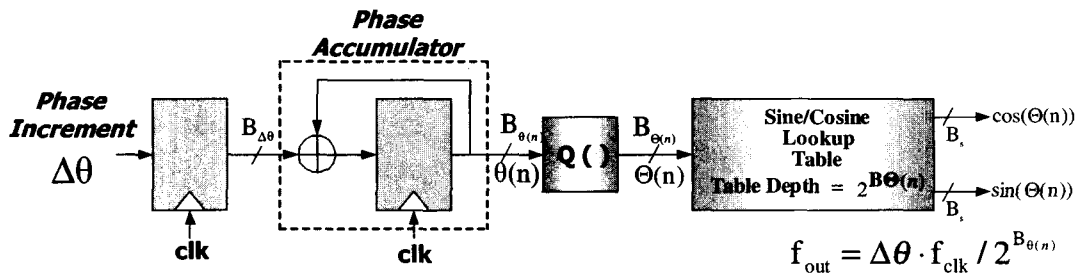


그림 11. NCO 동작 구성 기능별 블록도 [14].

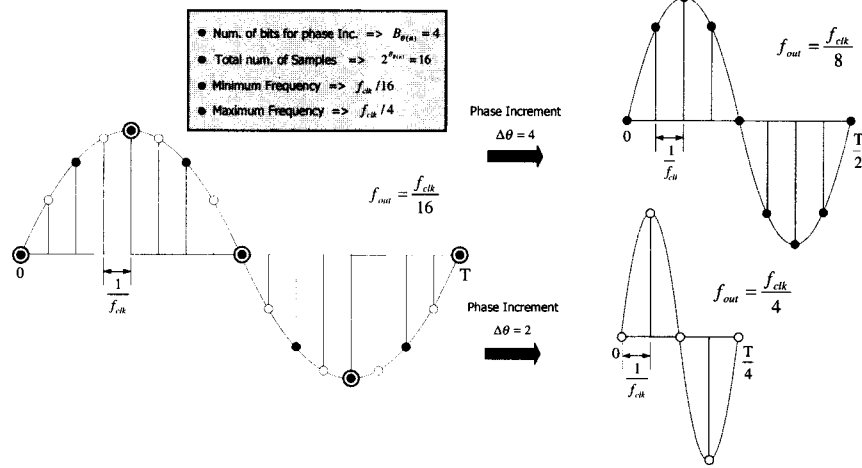


그림 12. NCO에 의한 정현파 출력 예.

는 비트수는  $B_{\theta(n)}$ 이다. NCO의 동작원리는 기본적으로 LUT에 저장되어 있는 cosine과 sine 신호의 샘플을 출력 주파수에 맞게 양자화된 번지수의 증분값을 조절하여 내용값을 출력하게 된다. 만약 위상 증분값  $\Delta\theta$ 를 1로 선택할 경우 NCO가 발생할 수 있는 가장 최소 주파수에 해당하는 정현파가 출력되며, 이 때 LUT 안에 있는 값들이 모두 출력되게 된다. 반면 가장 최대 주파수에 해당하는 정현파가 출력되는 경우, 즉 위상 증분값  $\Delta\theta = 2^{B_{\theta(n)} - 2}$ 인 경우, LUT에서 총 4개의 표본이 양자화된 일정 번지수 간격으로 출력된다. 이는 디지털 정현파를 표현하기 위한 최소 한주기 표본수를 의미한다. 그림 12는 주어진 클럭 주파수에 대하여 위상 증분값을 변화 시켜 서로 다른 주파수를 갖는 두 개의 디지털 정현파를 발생시키는 과정을 보여주고 있다. NCO의 동작을 일반적으로 위상 증분값을 표현하기 위한 비트수  $B_{\theta(n)}$ 은 LUT의 번지수를 나타내기 위한 총 비트수  $B_{\theta(n)}$  보다 크게 설정되며, 이는 일반적으로 위상 증분값의 해상도를 높게 설정하여 실수값으로 표현하고 이를 주어진 LUT 크기에 맞게 다시 양자화해서 번지수로 사용하기 위해서이다.

NCO를 통해 원하는 주파수에 해당하는 정현파를

생성하기 위한 과정을 설명하면 다음과 같다. 일단 NCO를 동작시키기 위한 클럭 주파수  $f_{clk}$ 와 출력 주파수  $f_{out}$ 가 설정되면, 가장 먼저 이러한 주파수를 갖는 정현파의 한 주기를 표현하기 위해 LUT에서 추출하는 표본수가 4개 이상이 되는지 확인하기 위해 출력주파수를 클럭 주파수로 정규화하여 그 결과값이 0.25이상임을 확인한다. 그 다음 위상 증분값을 표현하기 위해 정해진 총 비트수에 따라 위상 증분값  $\Delta\theta$ 를 구하게 된다, 즉  $\Delta\theta = 2^{B_{\theta(n)}} \times f_{out} / f_{clk}$ . 다음 단계로 계산된 위상 증분값을 순차적으로 누진하여 얻게 되는 결과값을 정해진 총 LUT의 번지수에 대응하도록 양자화를 수행하고, 최종적으로 이에 해당하는 번지수 안의 정현파 표본값을 차례로 출력시킨다.

NCO에서 cosine과 sine 값을 저장하기 위한 총 LUT 메모리 번지수의 설정은 출력되는 디지털 정현파 신호의 전력 대비 인근 주파수에서 발생하는 Spurious 신호의 최대 전력간의 비로 결정된다. 여기서 Spurious 신호는 일종의 위상 지터로 규정될 수 있으며 위상 증분에 대한 양자화 오차에 의해 발생한다. 이에 대한 해결책으로 LUT의 번지수를 많이 할당하면 할수록 Spurious 신호 억제율을 개선

시킬 수 있다. 만약 NCO 동작상에  $S(\text{dB})$ 의 Spurious 억제율이 요구되면 NCO의 총 번지수를 나타내는 비트수는 적어도  $\lceil S/6 \rceil$  를 만족해야 한다. 즉 다시 말해서 번지수를 나타내는 비트수는  $S/6$  보다 큰 최소 정수값 보다 커야한다. 대부분의 NCO는 실제적인 구현시 ROM 이나 RAM의 크기를 줄이기 위해서 sin과 cos 파형의 값을 저장하고 있는 LUT를 따로 사용하지 않고, 제어부를 두어 하나의 LUT를 사용하여 NCO를 구현하고 있다. 디지털 IF를 위한 NCO의 실제적인 구현에서는 기존의 하나의 LUT를 사용하는 방식에서 더 나아가 sin 또는 cos의 1/4 주기만을 사용하여, LUT의 크기를 1/4로 줄인 방식을 사용하고 있다.

의 전력보다 큰 경우를 가정한다. 이러한 상황은 3세대 이동통신 규격[15]을 참조할 때 일반적인 경우라고 볼 수 있으며, W-CDMA의 최악의 경우 RF 수신 신호에서 인근 채널의 전력이 원하는 채널 신호의 전력보다 약 80dB정도 커질 수 있다. 그림 13 (b)는 아날로그 AGC단을 거쳐 최대 이득에 적합하게 증폭된 전체 신호 분포를 나타낸다. 이 후 증폭된 아날로그 신호는 ADC를 거쳐 원하는 채널 신호뿐만 아니라 인근 채널 신호까지 디지털 신호로 변환되며, 아날로그단의 필터 감쇄 특성의 부족으로 인해 인근 채널 신호의 전력이 원하는 채널의 신호 전력보다 여전히 크게 존재하게 된다. 이러한 인근 채널 신호는 간섭 신호원으로 작용하게 되고, 이를 디지털 IF단에서는 고성능 디지털 필터로 그림 13(c)와 같이 제거

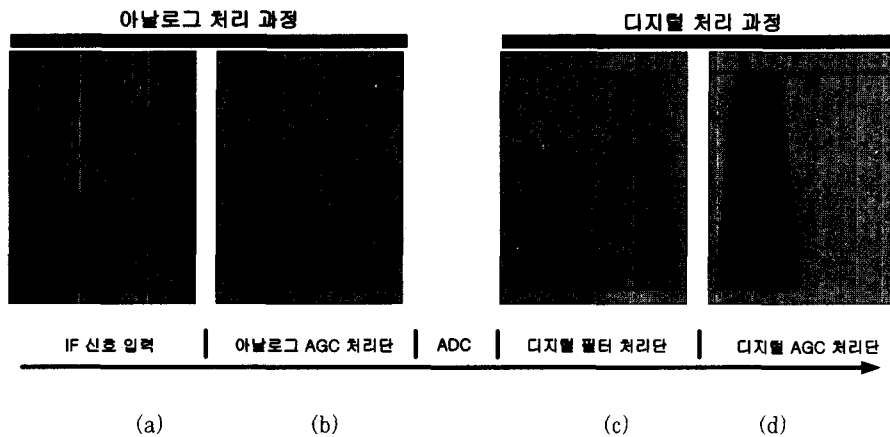


그림 13. 원하는 채널 및 인근 채널 신호의 증폭 및 감쇄 과정.

### (3) 디지털 프로그래머블 AGC (Automatic Control) 기능

그림 13은 일반적인 이동통신 수신단에서 디지털 하향 변환 과정을 거쳐 원하는 채널 신호 성분만을 추출하는 과정을 도시하고 있다. 그림 13 (a)는 IF 대역 상에서 아날로그 필터를 통과한 원하는 채널 성분과 인근 채널 성분이 동시에 존재하는 상황을 보여 주고 있으며, 이때 인근 채널의 전력이 원하는 채널

된다. 이때 디지털 필터의 감쇄 특성은 인근 채널의 상대적인 전력비와 원하는 채널 신호의 품질을 결정하는 Sensitivity 규격 및 ADC의 비트 해상도에 의한 SFDR값에 의해 정해진다. 이 후 잔여 신호는 그림 13(d)와 같이 기저대역 처리단으로 보내지기 전에 표본된 신호의 해상 비트수를 고려하여 충분한 해상도를 갖게 하기 위해 디지털 AGC 과정을 거쳐 게 되며, 이를 통해서 최대 동적 범위를 만족하는 기저대역 디지털 신호가 생성된다.

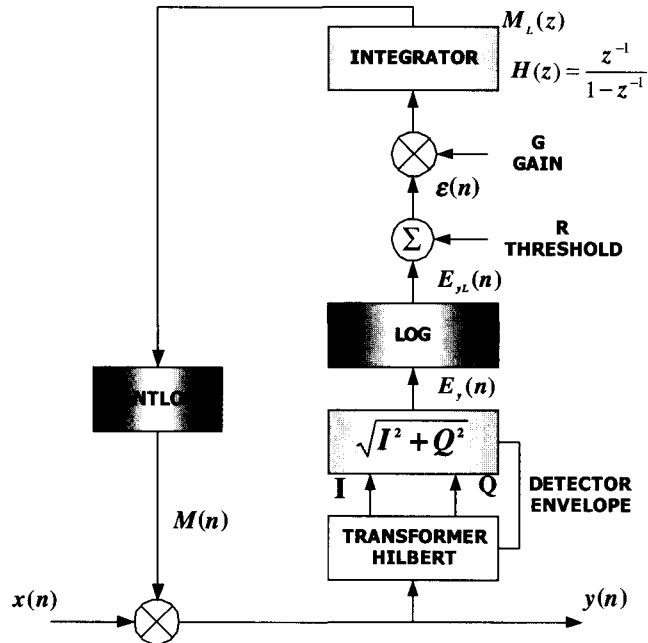


그림 14. 일반적인 디지털 AGC의 구조.

일반적으로 디지털 AGC는 그림 14와 같은 구조를 갖는다[16]. 신호가 AGC에 입력되면, 이득값이 곱해진 신호에 Envelope Detection을 하여 로그 값을 취한 후 임계값에서 감산해 준다. 이렇게 감산해 준 값에 이득값을 곱한 후 그 값을 계속적으로 합산하면서 anti-log를 취하여 입력 신호값과 곱해지게 된다. 그러나 이러한 알고리즘의 연산은 부동소수점 연산이 필요하며, log, anti-log 그리고 제곱근의 값이 필요하므로 실질적으로 고속 FPGA와 같은 디바이스를 적용하기에는 너무 복잡해지게 된다. 또한 복잡도를 낮추기 위해서는 LUT를 이용하는 방식을 고려해 볼 수 있으나, 많은 블록의 ROM을 필요로 하게 된다.

이러한 문제점을 해결하기 위하여 [17]은 고속 FPGA를 사용할 수 있는 새로운 방식의 AGC 알고리즘을 제안하였다. 그림 15는 이러한 AGC의 알고리즘의 처리 구조를 보여주고 있으며, 이에 대한 특

징은 먼저 입력되는 신호를 MUX를 통하여 순차적으로 입력시켜 이득값을 곱해주는 곱셈기의 수를 줄였으며, 루트 연산 대신 일정한  $K$  Space를 잘라내어 제곱을 해주면서 평균값을 취해주어 전력값을 계산한다. 또한 이득누산기는 비교기에서 나온값으로 지수적인 증가/감소를 가능하게 해 주어, LUT를 사용하지 않고도 이득조절이 가능하게 해준다. 여기서 평균기 구조는 MUX에서 순차적으로 들어오는 값을 제곱을 취해주고  $M$  샘플값동안 평균을 계산한 후 출력해 주게 된다. 또한 이득 누산기의 역할은 신호의 전력값에 따라 이득을 가산/감산시키는 기능을 하게되며, LUT 방식을 사용하지 않는 대신 비교기에서 오는 제어 신호로 지수적으로 증가 또는 감소 연산만을 수행한다. 여기서 유의해야 할 점은 이득 누산기의 값의 증감은 평균기의 값이 충분한 평균을 취한 후 비교기에서 비교한 값을 제어 신호로 받아들여야 하기 때문에 일정시간마다 한번씩 갱신해 주어야 정상

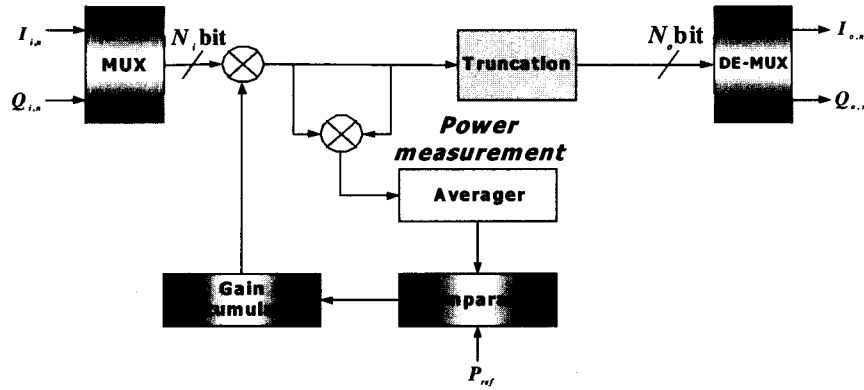


그림 15. 새로운 방식의 AGC 적용 알고리즘 구성 기능 블록도.

적인 동작을 할 수 있다는 점이다. 이때 입력신호의 전력값이 변화할 때 이득 누산기의 출력값을 곱해주어 일정한 전력값을 유지해 주는 Slew Rate는 평균기에서 계산되는 표본수와 데이터율에 의해서 계산되며, 이득 누산기의 GDR (Gain Dynamic Range)은 누산기의 최대 및 최소 허용값들에 의해 계산된다. 이에 대한 관련식은(17)에서 볼 수 있다.

#### (4) 멀티모드 및 멀티밴드 채널화 기능

일반적으로 수신단에서 IF 대역에서 표본화된 신호가 여러개의 채널을 포함할 수 있으며, 특히 멀티모드를 고려하면 다수의 상이한 규격의 신호 채널들이 존재하게 된다. 따라서 디지털 IF를 통하여 원하는 규격의 원하는 채널성분만을 추출하기 위해서는 채널화 필터가 필요하며, 이와 더불어 원 신호의 주파수 대역폭 보다 훨씬 높은 표본화 주파수를 사용함으로써 발생하는 과표본화에 의한 Redundancy를 제거하기 위하여 데시메이션 과정이 필수적이다. 이때 데시메이션율은 나이퀴스트 주파수 대비 원하는 채널의 대역폭의 비로써 계산된다. 본 절에서는 SDR형의 프로그래머블하게 재구성 가능한 채널화 구조 및 이에 관련한 데시메이션 및 인터플레이션 과정에 대하여 설명한다.

이러한 데시메이션 과정과 채널화 과정을 동시에 처리하기 위하여 다중율 신호 처리 (Multirate Signal Processing) 알고리즘을 적용할 수 있으며 [18], 이와 더불어 하나의 프로토타입 저역 필터를 이용하여 여러 개의 채널을 동시에 병렬로 분리하여 선택적으로 처리하기 위해 효율적인 DFT (Discrete Fourier Transform) 필터 बैं크를 이용할 수 있다[19,20]. 여기서 DFT 필터 बैं크를 이용한 채널화 방법은 여러개의 경로로 필터 계수를 분산시켜 데시메이션된 표본화율로 필터링이 수행됨으로써 각 경로의 필터링이 저속으로 이루어질 수 있다는 점에서 전력 소모면이나 병렬 계산의 효율성 측면에서 유리하다고 볼 수 있다. 그림 16은 각 채널에 대하여 개별적으로 이루어지는 채널화 과정과 SDR형의 DFT 필터 बैं크와 같은 프로그래머블한 디지털 처리 알고리즘을 이용하는 방법을 비교하고 있다. 이때 기존의 방식은 각 채널별로 처리하기 위해 각 경로당 별도의 ADC와 우수한 성능의 디지털 필터를 반복적으로 사용해야 한다는 문제점이 발생하나, SDR형 채널화 방식인 DFT 필터 बैं크 방안은 단일의 광대역 ADC와 하나의 프로토타입 필터를 분산해서 사용하므로 실제적으로 필터링에 필요한 전체 계수의 수는 일반적인 방안에 비해 현저히 줄어들 수 있다. DFT 필터 बैं크를 사용하기 위한 조건은 나이



퀴스트 표본화 주파수를 채널의 대역폭의 2의 지수값으로 나누었을 때 정수값이 되어야 한다는 점이다. 이러한 구조 이외에도 트리구조를 사용하는 채널화 방안이 적용될 수 있으며[21], 이 경우 여러 채널의 주파수 대역들이 전체 표본화 주파수 대역 내에서 Octave 형태로 분포해야 한다는 조건을 만족해야 한다. 만약 이러한 조건들이 만족되지 않을 경우, SDR형 채널화기는 여러 단의 프로그래머블한 NCO와 각 채널에 적합한 필터들로 구성할 수 있다. 이때 각 채널에 대응하는 필터는 데시메이션 과정에 필요한 필터이며, 이를 효율적으로 구성하기 위해 여러 단의 직렬 연결된 데시메이션 필터군으로 구성된다.

구조를 나타내고 있다. 일반적으로 SDR형 이동통신 시스템은 멀티모드 및 멀티밴드를 처리하기 위해 광대역 ADC를 사용해야 하며, 따라서 표본화 나이퀴스트 주파수 대비 실제 원하는 대역은 매우 작을 수 있다. 따라서 이 경우 대역폭에 맞게 재 표본화하기 위해 적용되는 데시메이션율은 매우 크게 되며, 나이퀴스트 주파수에 비해 상대적으로 매우 작은 통과 대역폭을 갖는 고성능의 데시메이션 필터가 필요하게 된다. 구현 측면에서 이러한 데시메이션 필터를 단일 FIR 형태의 필터로 구성한다면, 상당히 많은 수의 필터 계수를 필요로 하게 된다. 이러한 구현 및 처리상의 부담을 해결하기 위하여 일반적으로 여러 단의 데시메이션 과정을 직렬 연결하여 전체 데시메이션율을 만족하도록 설계된다. 또한 각 데시메이션단에서 사용되는 필터를 하드웨어 구현상 유리하게 일부는 CIC (Cascaded Integration Comb) 필터 [22]로 일부는 하프밴드 필터 및 일반 FIR 필터로 구현하게 된다. 여기서 CIC 필터는 계수가 모두 1인 곱셈기가 필요 없는 구조로 인해 구현이 매우 용이하다. 또한 지연 탭수에 의해 통과대역폭이 결정되며, 몇 단을 직렬 연결하여 사용하는가에 따라서 저지대역폭이 결정된다. 단지 여러 단을 직렬 연결하여 사용할 경우 통과 대역의 평탄율이 저하될 수 있으며, 이를 개선하기 위한 여러 방안들이 제시되어 왔다[23]. 또한 하프밴드 필터는 FIR 형태를 가지며 항상 표본화 주파수의 0.25에 해당하는 통과대역을 갖게되므로 주로 데시메이션율이 2인 경우의 데시메이션 필터로 사용된다. 특이한 점은 만약 필터 계수의 총 수가 홀수인 경우 중앙 계수를 제외한 전체 계수의 반이 영이 된다는 것이다. 따라서 이러한 점을 감안할 때 효과적인 구현이 가능하다는 장점을 내포하고 있다. 그림 17(b)는 데시메이션율  $M$ 이 8R인 경우 단일 CIC 필터와 3단의 하프밴드 필터의 직렬 연결을 통한 데시메이션 필터 구성과정을 나타낸다. 그림 17(b)에서 CIC 필터는 표본화 주파수내의 하프밴드 필터 이미지들을 제거하는 역할을 수행하며,

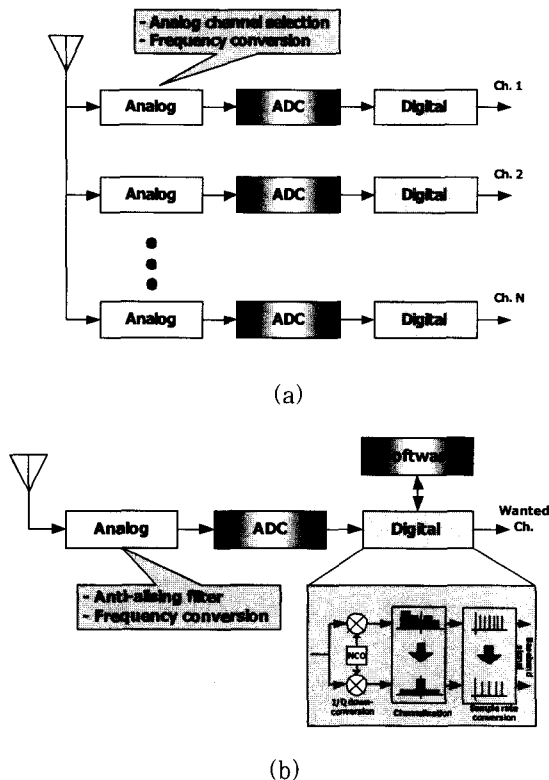
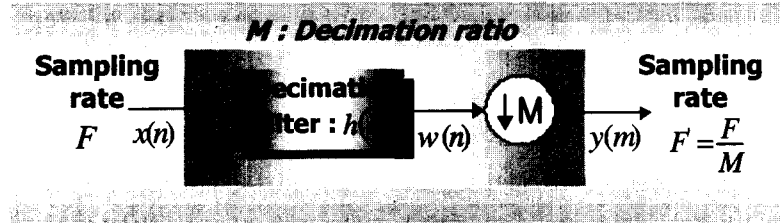
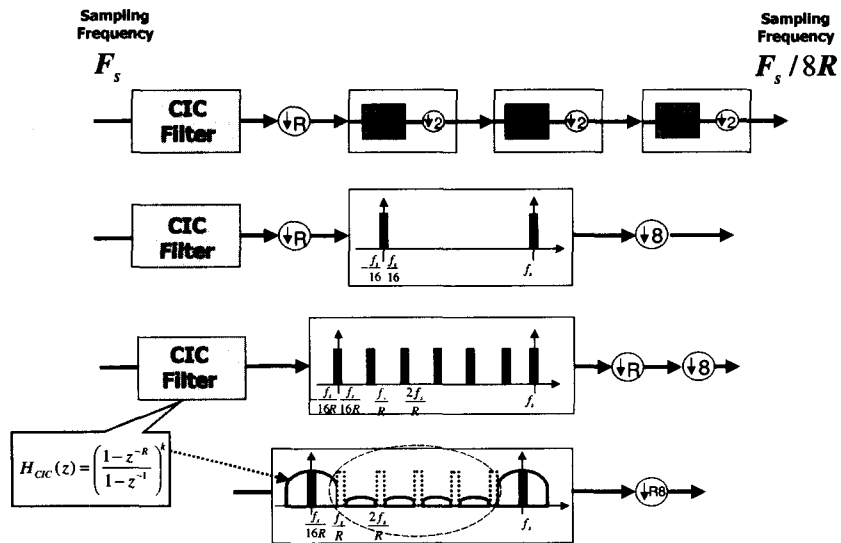


그림 16. 일반적인 채널화기 및 SDR형 채널화기 구조 비교.

그림 17(a)는 다운 샘플러와 저역 통과 필터로 구성되는 데시메이션율이  $M$ 인 일반적인 데시메이션



(a)



(b)

그림 17. CIC 필터와 하프밴드 필터를 이용한 데시메이션 필터 구성.

최종적으로 구성된 데시메이션 필터는 8R의 다운샘플러 과정에서 발생할 수 있는 에이리어즈된 이미지들을 제거하기 위한  $F_s/16R$ 의 통과 대역폭을 갖게 된다. 이러한 데시메이션 필터는 여러단의 폴리페이즈 경로로 나누어서 처리할 수 있으며, 각 경로에 해당하는 필터의 계수의 수는 총 계수의 수를 경로수로 나눈 결과값이다. 또한 각 경로 필터의 처리속도는 표본화 주파수의  $1/M$ 이며, 따라서 단일의 필터를 사용하는 경우보다 필터링 과정에 필요한 전력 소모량이 줄어들게 된다.

멀티모드 신호를 처리하기 위해서는 다단 NCO를 통과한 각 신호를 프로그래머블된 데시메이션 과정을 통해 각각 처리된다. 실제적인 다중모드를 위한 채널

화기 구현에 있어 표본화 주파수와 연계된 클럭 주파수는 가능한 여러 이동 통신 규격의 기저대역 신호가 갖는 칩율 혹은 심볼율의 공통의 정수배가 되어야 하며, 이에 준하여 표본화된 각 규격의 IF 대역의 멀티밴드 신호들은 별도의 데시메이션을 통한 채널화 과정을 거쳐서 기저대역 신호로 생성된다. 그림 18은 순방향 정류자를 갖는 폴리페이즈 필터뱅크 형태로 2세대 규격인 IS-95와 3세대 규격인 W-CDMA 신호를 동시에 채널화 과정을 수행하기 위한 구조이다[21]. 이 때 각 규격에 해당하는 칩율의 공통배수에 해당하는 충분한 표본화 주파수를 적용하고, 이에 따른 공통 클럭 주파수를 설정하게 된다. 또한 각 IF 대역의 채널이 위치한 주파수 대

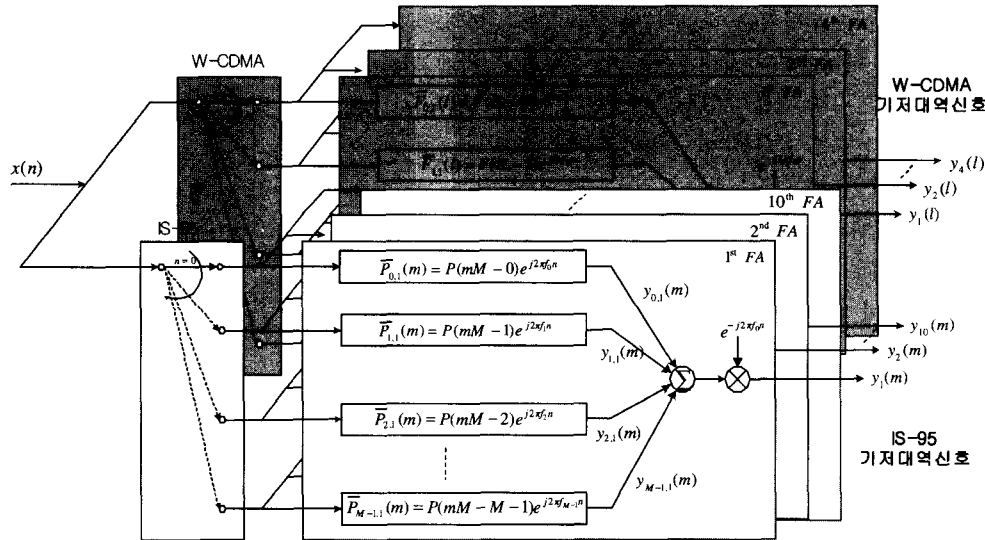


그림 18. 2세대 IS-95와 3세대 W-CDMA를 동시에 수용할 수 있는 채널화기 구조.

역의 중앙 주파수 값이 정해지게 되면 각 채널별로 표본 주파수 축소율  $M$ 과  $L$ 이 각각 정해지게 되고, 이에 따라 폴리페이즈 필터군이 사전에 설정한 두 가지 형태의 고차 프로토타입 저역 통과 필터로부터 얻게된다. 이 때 고차의 프로토타입 필터는 각 IS-95 W-CDMA 규격에 준하는 펄스 형상 필터의 주파수 특성을 유지하도록 설정된다. 각 규격이 갖는 멀티밴드 채널수가 IS-95인 경우에 10개 W-CDMA인 경우에 4개 일 때, 각각의 IF 대역의 4 FA 채널을 축소된 표본화 주파수를 갖는 I, Q 기저 대역 신호 성분으로 변환하기 위해 IS-95와 W-CDMA를 고려하여 각각 20개 및 8개의 별도 모듈들로 구현된다.

(5) 수신단 및 송신단 증폭기 선형화 기능

기존의 상향 변환 과정은 일종의 선형 시스템으로 볼 수 있으며, 이러한 과정을 통해 얻게되는 신호를 선형화 특성을 갖는 증폭기에 통과 시켜 RF 신호를 발생한다. 그러나 근본적으로 현재 RF 시스템에 사용되는 증폭기는 비선형 특성을 갖고 있으며, 이러한

비선형 특성에 의해 발생하는 신호 왜곡을 줄이기 위해 선형특성 구간에서만 증폭기를 동작시키는 매우 비효율적인 과정을 적용하고 있다. 따라서 사실상의 증폭기는 실제 송출 신호 전력 범위 내에서 선형화 특성을 얻기 위해 이 보다 큰 동작 범위를 가져야 한다는 조건이 요구된다. 이로 인해 규모면이나 성능면에서 과잉 규격을 갖는 증폭기의 사용으로 인해 상당한 오버헤드가 발생한다. 더욱 심각한 문제는 SDR형의 기지국 시스템이나 단말기에서 대두될 수 있으며, 이는 SDR 기지국과 단말기가 기본적으로 여러 이동 통신 규격을 수용해야 하며, 각기 주어진 규격에 따라 적합한 송출 신호의 최대/최소 전력 범위가 서로 다르다는 점이다. 따라서 상이한 동작범위들을 모두 수용할 수 있는 단일 증폭기를 사용하는 경우, 고성능/고출력 증폭기가 필요하게 되며, 이는 낮은 송출 전력을 갖는 규격으로 볼 때 필요 이상의 과도한 비용이 든다는 점이다. 이러한 문제를 해결하기 위해서 증폭기 특성의 선형화 기능에 대한 연구가 활발히 이루어지고 있으며 [24]-[26], 이는 전체 시스템의 규모를 줄이고 비용을 절감하는 효과를 발생시킬 수 있다.

일반적인 이동통신 단말기는 하나의 안테나를 통해 송신과 수신을 하게 되고, 광대역 송수신 신호를 구분하여 처리하기 위해 써큘레이터를 사용한다. 이러한 구조하에서 신호를 송신할 때 증폭기로부터 출력된 신호가 수신단의 LNA (Low Noise Amplifier)로 입력되므로 인해 증폭기의 비선형성 및 동적 범위 저하와 같은 문제를 야기 시킨다. 이는 송신 증폭기의 과도한 신호가 수신단의 LNA 동작점을 비선형 구간에 놓게 만들며, 이로 인해 수신단의 LNA에 의한 상호변조 (intermodulation) 및 하모닉 왜곡 (harmonic distortion)을 발생시키게 된다. 또한 이러한 현상에 의해 발생한 Spurious 신호들에 의해 원래의 수신 신호 동적 범위를 축소시키는 결과를 초래하게 된다. 이러한 원리는 밴드내에 발생하는 Spurious 신호들을 효과적으로 제거하기 위해 증폭기 특성의 선형화 기능이 필요하게 된다. 이러한 기능은 특히 향후 SDR형 단말기가 요구하는 광대역 특성과 저 잡음마루 (noise floor) 특성을 위해 필수적이라 할 수 있다. 이러한 선형화 기법으로 주로 사후 왜곡기나 순방향먹임 등의 방식들이 적용된다. 사후 왜곡기 방식은 증폭기의 출력을 보상 회로로 입력시키며, 이때 보상 회로는 증폭기 고유의 전달함수 특성을 고려해서 구성한다. 그러나 이러한 사후 왜곡기 방식은 비교적 광대역 신호에는 효과가 저하된다는 단점이 있다[27].

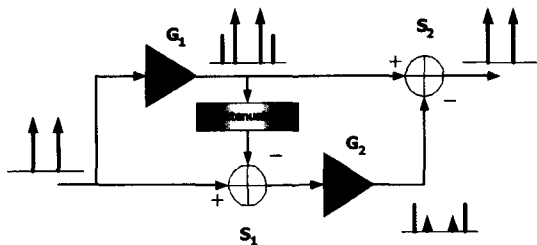


그림 19. 순방향먹임 방식의 선형화기 동작 과정.

그림 19는 순방향먹임 방식의 동작 과정을 나타낸다.

순방향먹임 방식은 증폭기에서 발생하는 왜곡을 제거하게 되며, 그림 19와 같이 이득이  $G_1$ 인 증폭기로 입력되어 감쇄기를 거쳐 출력된 신호와 시간적으로 동기된 원 신호는 감산기를 통해 차이 신호를 발생한다. 이 때 차이 신호는 이상적으로 왜곡 신호만으로 구성되며, 이를 다시  $G_2$  이득을 갖는 증폭기로 통과시켜 앞단의 증폭기의 출력신호와 감산하게 된다. 결과적으로 이러한 과정을 통해 출력된 신호는 원 신호만으로 구성되게 된다. 이러한 순방향먹임 방식은 상대적으로 작은 레벨의 왜곡을 효과적으로 제거할 수 있으며, 광대역 신호에도 적용 가능하며, 주 증폭기의 이득과 동시에 위상의 비선형 특성을 보상할 수 있다는 장점을 갖고 있다 [28].

향후 멀티모드를 수용할 수 있는 SDR 개념의 송수신 시스템에서 이러한 선형화 기능을 수행하기 위해서는 현재의 아날로그 신호를 이용하는 선형화 기능보다는, 순수하게 디지털 영역에서 디지털 신호로서 동작할 수 있는 선형화기의 필요성이 강조되고 있다. 이는 그림 3에서 나타난 미래형 기지국 시스템에서 RF 모듈과 기저대역 디지털 모듈을 서로 이격시킬 수 있다는 중요한 장점을 내포하고 있다. 또한 디지털 영역에서 선형화 기능이 동작하므로 인해 정밀한 보상이 가능하며, 적은 규모 및 비용으로 고성능의 선형화 기능을 수행할 수 있다. 이러한 디지털 선형화 기능의 방안으로 사전 왜곡기가 소개되었으며 [29]-[31], 이에 대한 동작 원리는 그림 20과 같다. 즉 비선형성 특성에 반하는 특성을 발생시켜 이를 보상함으로써 결과적으로 선형화 특성을 얻게 된다. 디지털 선형화기 기능은 그림 3에서 RF 출력 신호를 다시 디지털 IF 과정을 통해 얻게되는 표본화된 IF 신호를 디지털 로직 인터페이스를 통해 기저대역 처리단으로 전달되며, 디지털화된 IF 신호 혹은 기저대역 신호를 사용하여 선형화 기능을 수행한다. 여기서 사전 왜곡기는 증폭기의 특성에 반하는 특성을 생성하여, 이를 송신 기저대역 혹은 IF 신호에 적용함으

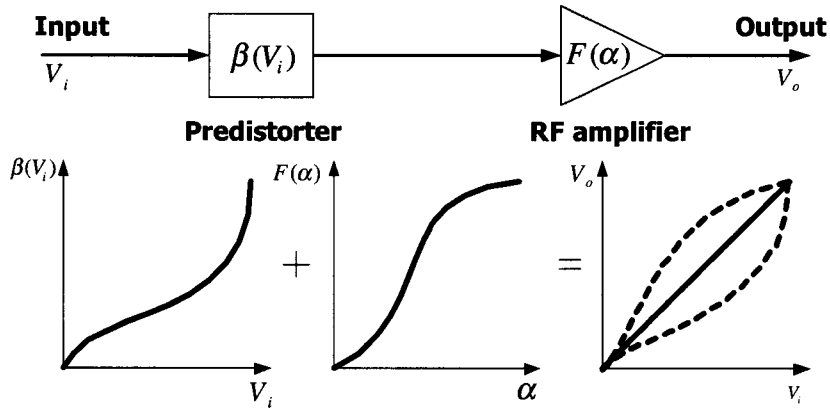


그림 20. 사전 왜곡기의 동작 원리.

로써 사전 왜곡을 시키게 된다. 또한 RF 모듈로부터 별도의 되먹임 경로를 설정하여 출력 전력 레벨, 변조 형식, 소자 특성 그리고 온도에 대한 정보를 사전 왜곡기에 제공하여 관련 적응 파라미터들을 업데이트 하게 된다.

사전 왜곡기는 일종의 비선형 회로라고 볼 수 있으며, 이득 Compression 특성을 갖는 증폭기에 반하여 이득 Expansion 특성을 갖고 있다. 그림 21은 사전 왜곡기의 기본 동작 기능을 설명한다. 증폭기의

특성 변화에 적응하기 위해 LUT를 사용하며, LUT에 저장되는 값은 계산된 입력 신호의 전력대비 사전 왜곡기의 이득 및 위상특성 값들을 저장하게 된다. 이러한 값들은 RF 모듈의 디지털 IF단에서 내려오는 디지털 신호를 기반으로 이를 기저대역화하여 원 신호와 비교를 하게 되며, 이와 더불어 되먹임 경로로부터 전달된 증폭기의 소자 및 환경 파라미터 값들을 참조하여 사전 왜곡기 특성을 적응적으로 갱신한다. 이때 사전 왜곡기의 처리 속도에 따라서 IF 대역 신

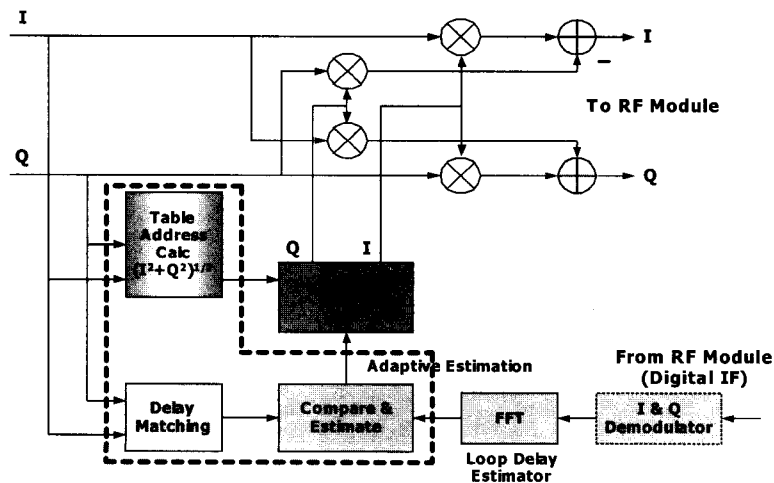


그림 21. 사전 왜곡기 동작 기능별 블록도.

호를 가지고 직접 사전 왜곡을 할 수 있으며, 현재 100MHz 이상인 처리 가능 속도를 갖는 FPGA가 출시되고 있는 점을 감안할 때 IF 대역 신호를 직접 사용하는 것이 가능하다. 만약 IF 대역의 신호를 이용하여 사전왜곡기를 적용하게 되면, 광대역 멀티밴드 신호에 대한 증폭기의 비선형 특성을 보상할 수 있다는 측면에서 실제적으로 더욱더 정밀한 선형화를 수행할 수 있으며, 이는 SDR형 선형화기 기능에 부합된다고 볼 수 있다. 따라서 그림 21의 좌측 I/Q 입력은 디지털 IF를 통해 얻어지는 IF 대역의 여러 채널이 복합적으로 존재하는 디지털 신호이며, 이와 RF 모듈에서 IF 대역으로 하향변환되어 디지털 IF에 의해 다시 되먹임되는 디지털 신호는 우측으로 하단으로 입력되며 I/Q 복조단 없이 직접 비교 및 추정기로 입력된다.

#### IV. 결 론

향후 다양한 무선 통신 규격들의 통합 수용을 위한 SDR 기술에 대한 필요성이 절실히 대두되고 있으며, IMT-2000 이후의 4세대 이동 통신 시스템을 위한 핵심 기술로써 고려되고 있다. 이러한 SDR 기반의 멀티모드용 통신 시스템을 구성하기 위한 주요 기술로서 디지털 IF 기술에 대한 필요성이 급속도로 고조되고 있다. 특히 다양한 규격의 무선 네트워크들 간의 유연한 인터페이스를 보장하기 위해 재구성 가능한 SDR 플랫폼이 절실히 요구되며, 이를 실현하기 위한 선행 기술로써 디지털 IF가 더욱 더 강조되고 있다. 최근 ADC/DAC 및 범용 디지털 신호처리 소자들의 고속화 및 고성능화로 인해 IF 대역과 기저대역 신호들 간의 직접 디지털 변환의 구현이 현실화되고 있다. 이러한 관점에서 볼 때 특정 이동 통신 규격의 물리 계층만을 지원하는 무선 인터페이스가 아닌 다중 이동 통신 모드를 지원할 수 있는 유연성이 가미된 디지털 IF 채널화기가 필요하게 된다. 이를 위해서는 기지국상 혹은 단말기상의 무선 인터페이스

처리 부분, 즉 주파수 상·하향 변환 및 채널 선택·조합을 용도에 맞게 별도의 하드웨어 수정 없이 고속 디지털 신호처리 알고리즘을 기반으로 한 소프트웨어적인 변환만으로 멀티모드 이동통신 규격을 수용하기 위한 디지털 IF 기술이 필연적으로 요구된다. 본 논문에서는 향후 SDR 기반의 기지국 및 단말기 운영 및 구성 모델을 제시하였으며, 디지털 IF에 대한 필요성 및 동작 원리, 그리고 세부 요소 기능들에 대한 구체적인 동작 원리 및 부수적으로 디지털 IF와 더불어 활용 가능한 기술에 대하여 논의하였다.

#### 참고 문헌

- [1] W. Tuttlebee, "Software radio-Impacts and implications," *Proc. Int'l Symp. Spread Spectrum Tech. & Appl. (ISSSTA '98)*, vol. 2, pp. 541-545, Sun City, South Africa, Sep. 1998.
- [2] N. J. Drew and M. M. Dillinger, "E toward reconfigurable user equip" *IEEE Commun. Magazine*, vol. 39, no. 158-164, Feb. 2001.
- [3] <http://www.sdrforum.org>
- [4] A. K. Salkintzis, N. Hong and P. T. Mathiopoulos, "ADC and DSP challenges in the development of software radio base stations," *IEEE Personal Communications.*, vol. 6, no. 4, pp. 47-55, Aug. 1999.
- [5] T. Yokoi *et al.*, "Software receiver technology and its applications," *IEICE Trans. Commun. (Special Issue on Software Defined Radio and Its Technologies)*, vol. E83-B, no. 6, pp. 1200-1209, June 2000.
- [6] G. Ferris, C. Udy and K. Thakare, "An

- open digital interface between SDR baseband processors and RF," *Proc. Mobile Comm. Tech.*, pp. 311-316, March 2001.
- [7] P. B. Kennington, "Linearized transmitters: an enabling technology for software defined radio," *IEEE Commun. Magazine*, vol. 40, no. 2, pp. 156-162, Feb. 2002.
- [8] J. K. Cavers and M. Liao, "Adaptive compensation for imbalance and offset losses in direct conversion transceivers," *Proc. 41st IEEE VTC.*, pp. 578-583, Feb. 1991.
- [9] A. Fernandez-Duran et al., "Zero-IF receiver architecture for multi-standard compatible radio systems, Girafe Project," *Proc. 46th IEEE VTC*, vol. 2, pp. 1052-1056, 1996.
- [10] D. Efstathiou, "Basestation transceiver trends for 3G and beyond wireless systems," *Proc. IEEE Int. Symp. on PIMRC*, vol. 1, pp. B-117-B-121, 2001.
- [11] J. E. Gunn, K. S. Barron, W. Ruczcyk, "A low-power DSP core-based software radio architecture," *IEEE Jour. Selected Areas in Commun.*, vol. 17, no. 4, pp. 574-590, April 1999.
- [12] Analog Devices: AD6644, 14-bit, 40Msps/65 Msps A/D converter.
- [13] 장민용, 임성빈, 김종훈, "다중 대역 CDMA 신호에 대한 대역통과 표본화의 적용," *2001년 제 14회 신호처리합동학술대회 논문집*, pp. 583-586, 2001.
- [14] Xilinx Logic Core: Direct Digital Synthesizer (DDS) V4.1, March 2002.
- [15] 3GPP, *Technical specification group radio access networks: UTRA (BS) FDD: Radio transmission and reception*, 3GPP TS 25.104, v3.5.0, Dec. 2000.
- [16] M. E. Frerking, *Digital signal processing in communication systems*, Van Nostrand Reinhold, New York, 1994.
- [17] K. Kim, S. Im, C. Kim, "A novel digital automatic gain control for a WCDMA receiver," *Proc. ITC-CSCC*, vol. 2, pp. 1358-1361, Phuket, Thailand, July 2002.
- [18] R. Crochiere, L. R. Rabiner, *Multirate digital signal processing*, Prentice-Hall, New Jersey, 1983.
- [19] 김종훈, 신요안, 임성빈, 이원철, 이승희, 정준, "다중 CDMA 신호를 위한 SDR 기반의 디지털 채널화기/역채널화기의 구현," *대한전자공학회지*, 제27권, 제4호, pp. 60-71, 2000년 4월.
- [20] S. Im, W. Lee, C. Kim, Y. Shin, S. H. Lee, and J. Chung, "Implementation of SDR-based digital IF channelizer/de-channelizer for multiple CDMA signals," *IEICE Trans. Commun.*, vol. E83-B, no. 6, pp. 1282-1289, June 2000.
- [21] 이선익, 이원철, "2세대/3세대 혼용 디지털 채널화기," *하계 전자공학회 합동학술대회 논문집*, 25권, 1호, pp. 141-144, 2002년 6월.
- [22] E. B. Hogenauser, "An economical class of digital filters for decimation

- and interpolation," *IEEE Trans. on Acoust. Speech Signal Processing*, vol. ASSP-29, no. 2, pp. 155-162, April 1981.
- [23] A. Kwentus, Z. Jiang, A. N. Willson, Jr., "Application of filter sharpening to cascaded integrator-comb decimation filters," *IEEE Trans. on Signal Processing*, vol. 45, no. 2, pp. 457-467, Feb. 1997.
- [24] D. Cox, "Linear amplification with nonlinear components," *IEEE Trans. on Commun.*, vol. COM-22, pp. 1942-1945, Dec. 1974.
- [25] N. A. D'Andrea, V. Lottici, R. Reggiannini, "A digital approach to efficient RF power amplifier linearization," *IEEE Trans. on Commun.*, vol. 44, no. 11, pp. 1476-1484, Nov. 1996.
- [26] Wright, Duller, "Experimental performance of an adaptive digital linearized power amplifier," *IEEE Trans. on Vehicular Tech.*, vol. 41, no. 4, Nov. 1992.
- [27] B. A. Sharp, P. A. Warr, R. J. Wilkins McGeehan, "The design of an analog front end for a multi-role radio," *IEEE MILCOM 98*, vol. 1, pp. 302-306, 1998.
- [28] P. A. Warr, P. B. Kenington, M. A. Beach, "Feed forward linearization in high dynamic range receiver," *Proc. ACTS Mobile Commun. Summit*, pp. 839-844, Oct. 1997.
- [29] F. Zavosh, et al., "Digital predistortion techniques for RF power amplifiers with CDMA applications," *Microwave Journal*, Oct. 1999.
- [30] 최중희, 신요안, "OFDM 시스템을 위한 Look-Up Tabel 기반의 적응 사전 왜곡기," *2001년도 한국통신학회 추계학술대회 논문집*, pp. 45-48 2001년 11월.
- [31] 김형호, 임성빈, 김종훈, 임성빈, "이동통신용 고출력 증폭기를 위한 적응 사전왜곡기의 설계," *2000년도 제13회 신호처리합동학술대회 논문집*, 제13권 1호, pp. 573-576, 2000년 9월.

#### 이 원 철



1986년 : 서강대학교 이공대학 전자공학과 공학사. 1988년 : 연세대학교 대학원 전자공학과 공학석사. 1994년 : New York Polytechnic University 공학박사. 1994년 8월~1995년 7월 : Polytechnic Univ. Post-doctoral Fellow.

1995년 9월~현재 : 숭실대학교 공과대학 정보통신공학과 부교수. 1999년 7월~1999년 11월 : ETRI 무선방송연구소 초빙연구원. 2000년 6월~현재 : 과기부 국가지정연구실 사업 책임연구원. 1998년 1월~1999년 12월 : 한국음향학회 산학연 협동위원회 위원 2002년 1월~현재 : 한국전자공학회 통신연구회 협동전문위원. 2002년 1월~현재 : 한국통신학회 이동통신연구회 협동전문위원. 2002년 7월~현재 : HY-ITRC 센터 연구원