

主題

SDR 구조를 기반으로 한 광대역 수신기

한국전자통신연구원 무선방송연구소 김창주, 채종석, 김재명

차례

- I. 서론
- II. 광대역 수신기 고려사항
- III. 광대역 수신기
- IV. 결론

요약

Vector signal analyzer 등과 같은 신호분석기에서는 현재 주로 사용하고 있는 주파수대 (30 GHz 이하)의 다양한 신호를 수신하여 분석하는 기능이 요구된다. 이러한 시스템에서는 대상 신호의 특성이 매우 다양하기 때문에 기본적으로 광대역 신호를 수신할 수 있도록 설계하고 필요에 따라서 원하는 신호를 추출하여 상세하게 분석할 수 있도록 설계한다. 종래에는 이러한 기능을 구현하기가 매우 어려웠으나 SDR (software defined radio) 기술의 발달에 힘입어 광대역 수신기의 설계가 용이해지고 있다. 본 고에서는 SDR 구조를 기반으로 한 광대역 수신기의 구조 및 원리를 기술한다.

I. 서론

Software radio 기술은 종래에 사용되어온 hard-wired radio system을 유연성이 있는 software radio platform으로 바꿈으로써 하나의

장치로 다중대역, 다중모드 등 다양한 형태의 통신을 가능하게 하는 기술이다. 즉, software로 파형합성 및 RF (radio frequency) channel access를 포함하는 모든 air interface를 구현하는 구조를 말한다[1]~[4]. 이 기술은 초기에는 주로 군 통신에 사용되었으나 최근에는 광대역 RF, 고속 DSP (digital signal processing), 그리고 샘플링주파수가 높은 ADC (analog digital conversion)의 기술 발전과 더불어 상용의 시스템에 적용되고 있다. Software radio 구조를 갖는 시스템이 유연성을 갖는 이유는 그림 1에 도시한 바와 같이 디지털화가 IF (intermediate frequency) 또는 RF 단에서 수행되기 때문에 이후의 처리 과정이 software의 처리에 따라 매우 다양한 기능을 수행하기 때문이다. 이러한 유연성 때문에 이동통신과 같이 다양한 규격이 존재하거나 새로운 규격이 나타나는 경우에 이 기술을 사용하면 대처가 매우 용이한 장점을 가지고 있다. 특히 4세대 이동통신과 같이 global roaming을 기본적으로 요구하는 경우 SDR platform의 단말기를 개발하면 필요에 따라 원하는

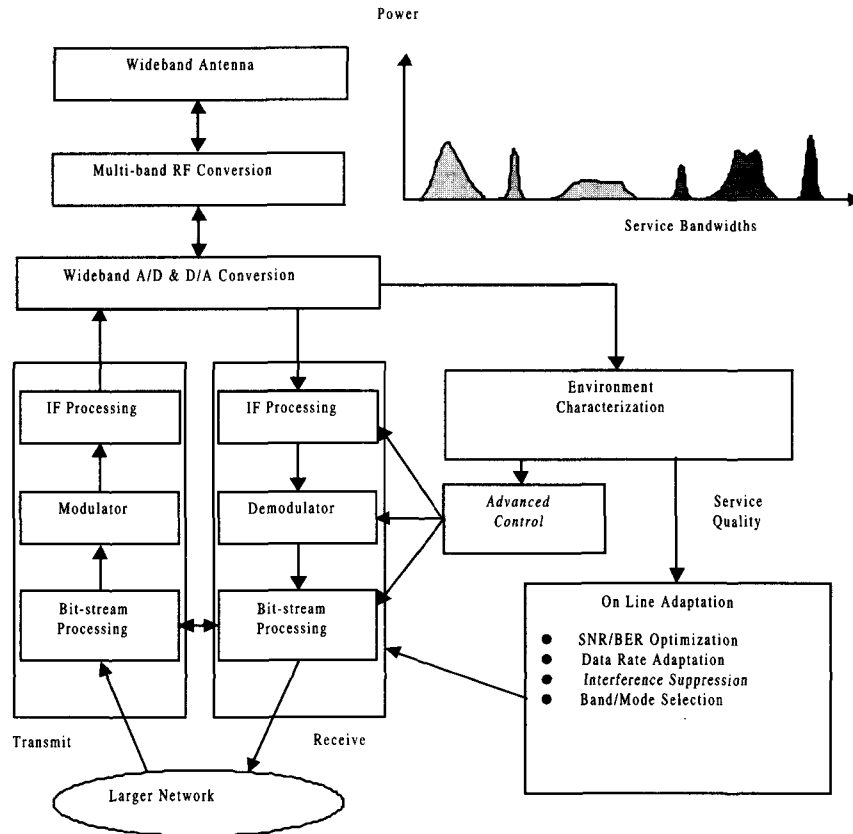


그림 1. Software radio의 주요기능 및 구성 요소[1].

software를 download 받아서 사용할 수 있다. 이러한 장점이 있기 때문에 이동통신시스템 (단말기, 기지국)을 포함하여 각 종 무선통신시스템에서는

SDR 구조를 기반으로 하여 시스템을 설계하는 추세이다. 본 고에서는 SDR 구조를 기반으로 하여 설계한 광대역 수신기에 대하여 기술하고자 한다.

서비스 종류	주파수 대역	채널 대역폭	변조방식
간이무전기	146-147 MHz	30 kHz	FM
아날로그 FM방송	88-108 MHz	220 kHz	FM
TV 방송	VHF~UHF	6 MHz	VSB
DAB (Eureka-147)	VHF~UHF	2.048 MHz	OFDM (DQPSK)
이동통신 (IS-95)	800 MHz, 1.8 GHz	1.25 MHz	CDMA/BPQK
이동통신 (WCDMA)	2.1 GHz	5 MHz	CDMA/QPSK
GPS	1.5 GHz	10 MHz	CDMA

표1. VHF/UHF 대역의 대표적인 무선통신

서론에 이어 제 II장에서는 광대역 수신기의 설계 시에 고려되어야 할 사항을 설명하고, III 장에서 광대역 수신기 구조와 주요 블록인 안테나 및 pre-selector, IF filter 및 AGC (automatic gain control), 광대역 dynamic range, ADC 및 PDC (programmable down converter), 그리고 DSP 및 interconnection 등에 대하여 소개한다. 그리고 IV장에서 결론을 맺는다.

II. 광대역 수신기 고려사항

반도체, 컴퓨터 등 관련 산업의 급격한 발전과 함께 무선통신도 급속도로 발전하고 있다. 특히 건물이나 지형지물의 영향을 덜 받는 VHF (very high frequency) 와 UHF (ultra high frequency) 대역은 황금 주파수 대역으로 분류될 만큼 많은 사업자들이 이 대역에서 무선통신 서비스를 제공하기를 원하고 있다. 표 1은 VHF/UHF 대역의 무선통신의 종류, 주파수, 대역폭 및 채널간격, 그리고 변조방식을 나타낸다.

표1로부터 보는 바와 같이 다양한 주파수 대역에 걸쳐 서로 다른 채널 대역폭 및 변조방식을 갖는 신호를 수신하여 분석하는 경우 그림 1의 SDR 개념

을 기초로 시스템을 설계하는 것이 효율적이다. 표 2는 SDR 개념을 기초로 시스템을 설계하는 경우에 시스템 성능에 주요한 영향을 미치는 요소를 표로 정리한 것이다. RF access 범위 및 RF 채널의 수를 결정하는데 있어서 안테나의 coverage, RF/IF 변환, IF 처리기술과 함께 DSP, ASIC (application specific integrated circuit), FPGA (field programmable gate array) 및 general purpose processor의 기술을 모두 고려해야 한다. Smart antenna [5]나 direction finding system 의 경우 parallel RF channel의 수가 다채널로 존재하고, 단말기나 기타 일반적인 통신의 경우 하나의 채널로 구성된다. Digital bandwidth를 결정하는 ADC 기술은 샘플링 속도에 따라 한 채널에서 수용하는 신호의 최대 대역폭을 결정함은 물론 ADC의 샘플 당 bit 수에 의해 ADC의 dynamic range를 결정하게 된다. 또한 그림 2에 도시한 바와 같이 대상 신호의 대역폭을 기준으로 over-sampling rate에 따라서 실제 ADC의 dynamic range를

$10 \log \left(\frac{F_s}{2B_c} \right)$ 만큼 더 증가시킬 수 있다. 한편 신호의 dynamic range는 표2에서도 설명한 바와

주요 parameter	Remarks
Number of Channels	Number of parallel RF, IF, and/or base-band channels
RF Access	Continuous coverage from a minimum to a maximum RF
Digital Bandwidth	Bandwidth of the maximum ADC for each RF/IF channel
Dynamic Range	End-to-end including RF, IF, ADC, AGC, and processing
Interconnect Bandwidth	Bandwidth of critical buses, serial ports, back-planes etc.
Timing Accuracy	The precision and stability of system clock
Frequency Performance	RF, IF, and LO accuracy and stability
Processing Capacity	GMIPS or GFLOPS
Memory Capacity	RAM, ROM per processor, and mass storage capacity
Hardware Acceleration	Parameterized capabilities encapsulated in hardware such as ASIC, FPGA, and related hybrids
Operating Environment	OS and related facilities

표2. SDR Platform을 결정하는 주요 항목 (1)

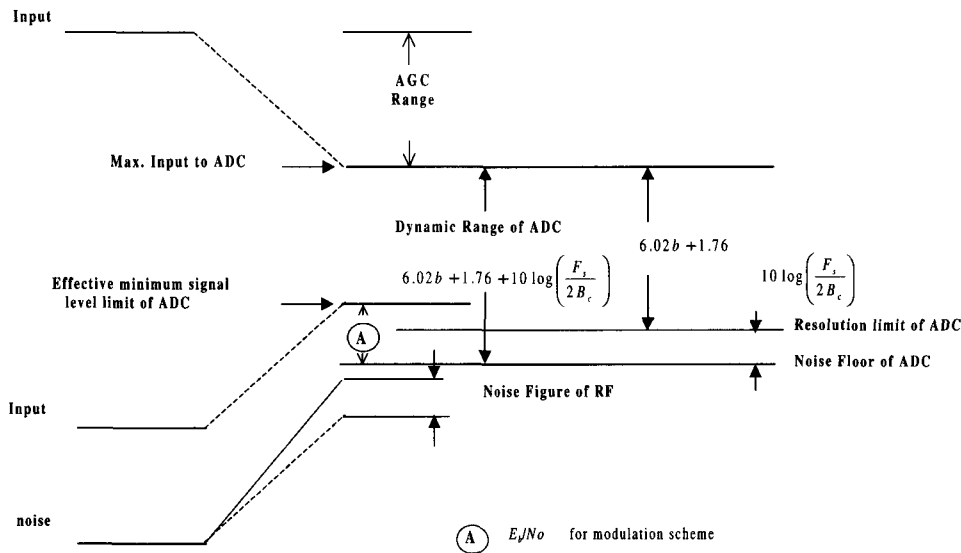


그림 2. 신호의 dynamic range

같이 AGC, ADC, 그리고 over-sampling ratio에 의해 결정되는데 광대역 신호를 처리하는 경우 이 parameter는 매우 중요한 역할을 한다. 그림 2에 도시한 바와 같이 신호의 세기에 따라서 AGC 제어에 의해 입력 신호를 ADC의 dynamic range에 들어오게 하고 이를 over-sampling 함으로써 전체적인 신호의 dynamic range는 $AGC\ range + 6.02b + 1.76 + 10 \log\left(\frac{F_s}{2B_c}\right)$ 가 된다.

여기에서 b 는 ADC의 비트 수를 나타낸다. 또한 주의하여야 할 점은 수신하고자 하는 최소의 신호에 대하여 E_b/N_0 가 확보되도록 설정하여야 한다 (그림 2 참조). 한편 그림 3처럼 광대역 신호처리에서 강한 신호와 약한 신호가 동시에 수신되는 경우 자칫 약한 신호를 잃어버리는 경우가 발생한다. 이를 피하기 위하여 수신기 전체의 dynamic range를 넓히면서 부분적으로 IF 대역에 filter bank나 variable filter를 사용하기도 한다. Interconnect Bandwidth는 AD 변환된 데이터가 매우 고속이므로 이를 처리할 수 있는 전용 port 등

을 잘 설계하여 처리하여야 하고, 처리 결과 등 속도가 낮은 데이터를 범용 버스를 통하여 전송하도록 설계하여 전체적으로 데이터의 손실 없이 시스템이 동작하도록 설계되어야 한다. 또한 시스템의 clock이나 주파수의 안정도, 정확도가 높은 소자를 채용하여 시스템의 안정도 및 정확도를 도모하고, DSP 등 처리용량이 입력신호를 처리할 수 있도록 설계되어야 한다. 이 과정에서 처리 속도 등을 고려하여 부분적으로 ASIC이나 FPGA를 혼용함으로써 hardware의 처리용량을 높인다. 그리고 고속의 신호를 처리하기 때문에 local, global memory를 잘 조합하여 사용하고 OS (operating system) 선정 등 시스템 환경도 고려한다.

Ⅲ. 광대역 수신기

그림 4는 3 GHz 이하의 신호를 수신하는 시스템을 SDR 기술을 적용하여 수신하도록 설계한 광대역 수신기의 블록도이다. 기지국처럼 많은 채널을 수용하는 경우나 광대역 수신기처럼 수신 주파수의

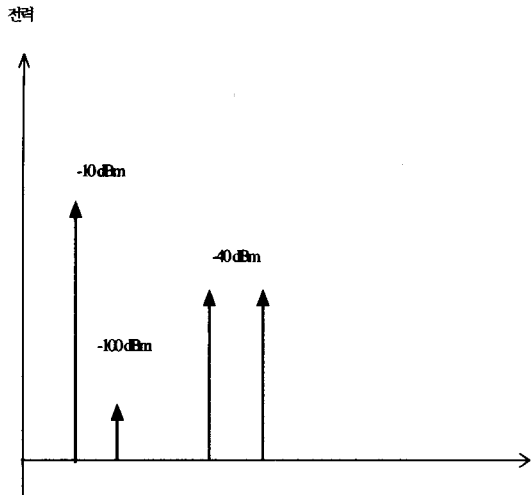


그림 3. 강한 신호와 약한 신호가 동시에 수신된 경우의 스펙트럼

범위가 넓은 경우 그림 4처럼 super heterodyne 수신방식을 사용한다. 안테나 다음 단계에 pre-selector를 사용하는 것은 광대역 신호를 적절히 선정하여 수신하기 위함이고 이 신호를 선형 범위 내에서 증폭하여 1차 믹서로 입력된다. 1차 믹서는 통상 1~2 MHz 단위의 resolution으로 제어되며 1차 IF 주파수는 3 GHz 보다 높은 주파수를 선정한

다. 이 주파수를 선정하는 이유는 1차 IF 단계에 사용되는 band pass filter의 크기를 줄일 수 있기 때문이다. 2차 믹서의 기능은 1차 믹서와 같으나 2차 IF 주파수가 21.4 MHz 나 70 MHz가 되도록 하며 이 때는 1 kHz정도로 비교적 정밀하게 제어한다. 2차 믹서 후 단계에 filter bank를 두는 것은 처리하고자 하는 신호에 따라서 때로는 narrow band 신호만 선정하고, 때로는 wide band 신호를 수신할 수 있도록 하기 위함이다. 이런 후에 AGC 제어를 하면 원하는 신호만을 제어하여 ADC에 입력시킬 수 있다. ADC의 경우 최근 100 M samples/second 급이 가용하기 때문에 고속으로 샘플링한 후에 NCO를 사용하여 I-channel 및 Q-channel data를 생성하여 신호처리 한다. 이 후에 digital filtering에 의하여 원하는 신호만을 추출하여 사용한다.

A. Wideband antenna 및 pre-selector

All-band antenna를 실현하기 위한 연구가 많이 수행되고 있지만 현재 구현 가능한 것은 통상 RF 대역 (HF, VHF, UHF, SHF 등) 당 최소 한 개

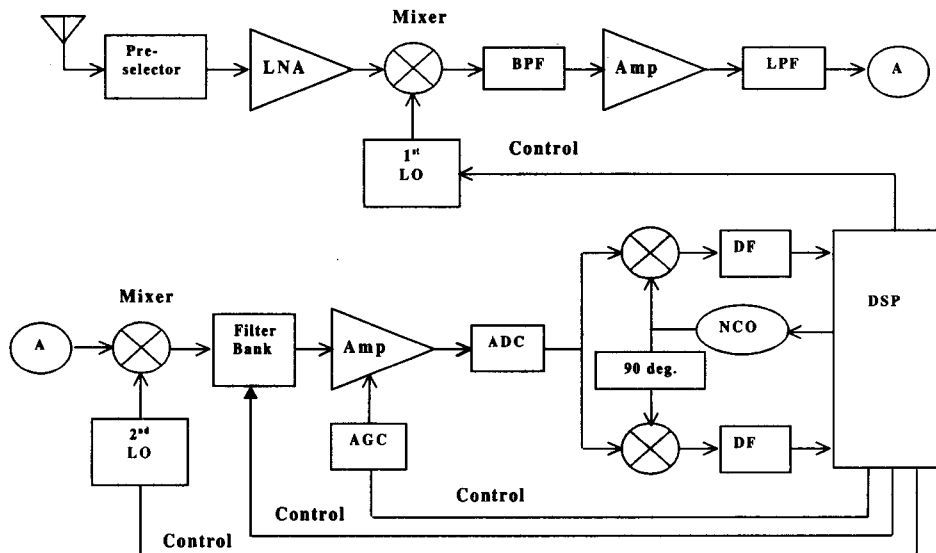


그림 4. 광대역 수신기 구조도

의 안테나가 사용되고 있다. SPEAKeasy [6] 시스템도 당초에는 2 MHz ~ 2 GHz 주파수대의 신호를 하나의 광대역 안테나를 사용하여 광대역 신호를 수신하려고 계획하였지만 현실적으로 불가능하기 때문에 이를 low band HF (2 MHz ~ 30 MHz), middle band (30 MHz ~ 400 MHz), 그리고 high band (400 MHz ~ 2 GHz)로 나누어 구현하였다. 통상 광대역 수신기에서도 그림 5에 도시한 바와 같이 대역 별로 HF 안테나, VHF 안테나, 그리고 UHF 안테나로 나누어 사용한다. 주파수 대역 및 용도에 따라 omni-directional 또는 directional antenna를 선택하여 사용할 수 있도록 설계한다. 또한 pre-selector는 측정하는 주파수에 따라 선택할 수 있도록 filter bank를 두고 필요한 경우 증폭기를 사용한다.

B. Wideband RF 구조

Wide band RF는 그림 4에 보인 바와 같은 super heterodyne 구조를 갖는다. 1차 믹서의 주파수는 WJ-8629[7]의 경우 3,570~6,435 MHz

를 사용하여 1차 IF 중간 주파수 3,733.75 MHz가 되도록 하고 이 부분에서의 대역폭은 10 MHz 이상의 광대역 특성을 갖도록 설계되어 있다. 이 신호를 증폭기를 거쳐 low pass filtering 한 후에 2차 local oscillator의 주파수를 3,711 ~ 3,713 MHz로 조절하면 IF 주파수가 21.4 MHz가 된다. 믹서를 선정할 때는 광대역 신호를 처리하므로 가능하면 third order intercept point (IP3)가 높은 소자를 선정하여 inter-modulation이 생기지 않도록 한다.

C. IF Filter 및 AGC

그림 6의 2차 IF 단에서 filter bank를 두는 이유는 광대역 수신기의 측정 신호에 따라서 AGC를 가급적 정교하게 제어하기 위함이다. 10 MHz 광대역 신호를 제어하는 경우도 있고, 필요에 따라서는 30 kHz 협대역 신호를 처리할 수 있도록 filter bank를 둔다. 이 필터 뱅크의 수는 많을수록 신호를 잘 제어할 수 있겠지만 현실적으로 많이 사용하는 신호의 대역폭, 즉 30 kHz, 250 kHz, 1.3 MHz, 5

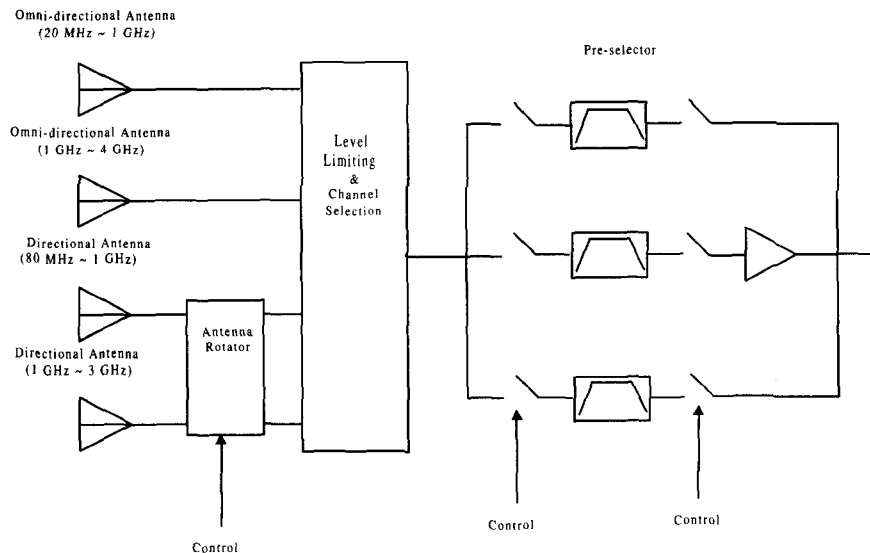


그림 5. 광대역 안테나 및 pre-selector

MHz, 그리고 10 MHz 정도면 무난할 것으로 보인다. 때때로 그림 4에 보인 바와 같이 강한 신호와 약한 신호가 동시에 존재하는 경우 약한 신호를 관찰하고자 하는 경우 필터링을 하지 않으면 약한 신호를 잃어버리는 경우가 생길 수 있다. 따라서 ADC의 dynamic range, AGC 제어와 함께 적절한 신호를 선택할 수 있는 필터의 설계도 매우 중요하다.

D. Wide Dynamic Range

광대역 신호를 처리함에 있어서 주의하여야 할 사항 중의 하나는 신호의 다이내믹 레인지를 충분히 확보하여야 한다는 점이다. 그림 4에서 보는 바와 같이 광대역 IF 대역 내에 강한 신호가 존재하는 경우 자칫 잘못 처리하면 미약 신호를 잃어버릴 수 있기 때문이다. 그림 4에서와 같이 -10 dBm의 신호와 -100 dBm의 신호가 공존하는 경우 -100 dBm의 신호를 잃어버리지 않기 위하여 최소 90 dB의 dynamic range가 확보되어야 한다. 앞에서도 설명한 바와 같이 filter bank, AGC 제어, 그리고 ADC bits의 수 및 over-sampling 등을 이용하여

시스템의 dynamic range가 확보되어야 한다.

E. ADC 및 PDC

광대역 수신기를 설계하는데 있어서 complexity가 가장 높은 부분은 ADC에서 고속으로 샘플링한 데이터를 처리하는 PDC이다. 이 부분에서 데이터의 손실 없이 digital down conversion과 filtering을 실시간으로 처리하는 기술이 매우 중요한데 최근에는 digital down conversion과 filtering기능을 전용으로 처리할 수 있도록 PDC chip이 나와 있어 이를 효율적으로 사용할 수 있다. 그러나 때때로 decimation rate가 높은 경우에는 PDC chip의 출력을 FPGA 등을 이용하여 응용에 맞게 추가적인 decimation을 수행하여 사용하기도 한다. ADC의 경우 최근 100 M samples/second 급이 가용하기 때문에 고속으로 샘플링한 후에 NCO를 원하는 신호의 주파수로 구동하면 원하는 신호를 기저대역으로 천이시킬 수 있다 (그림 6 참조). 기저대역으로 천이된 데이터는 아직도 광대역 신호이기 때문에 이를

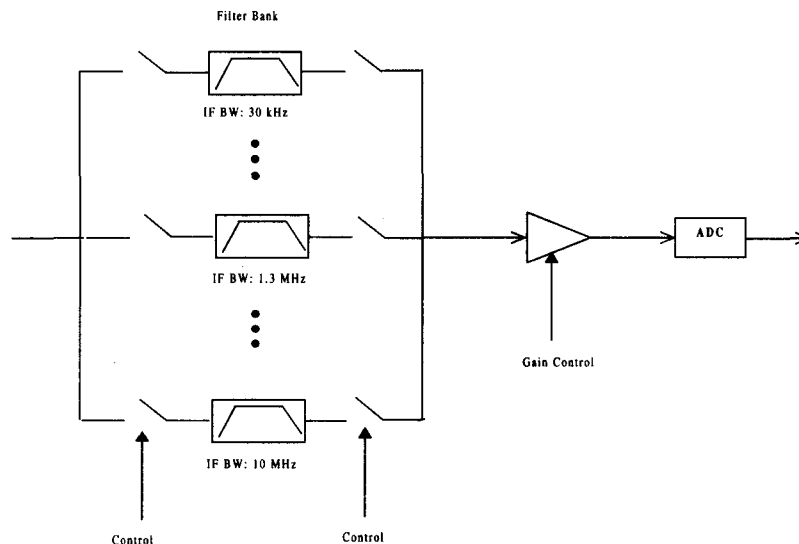


그림 6. Filter bank 제어 및 AGC 제어

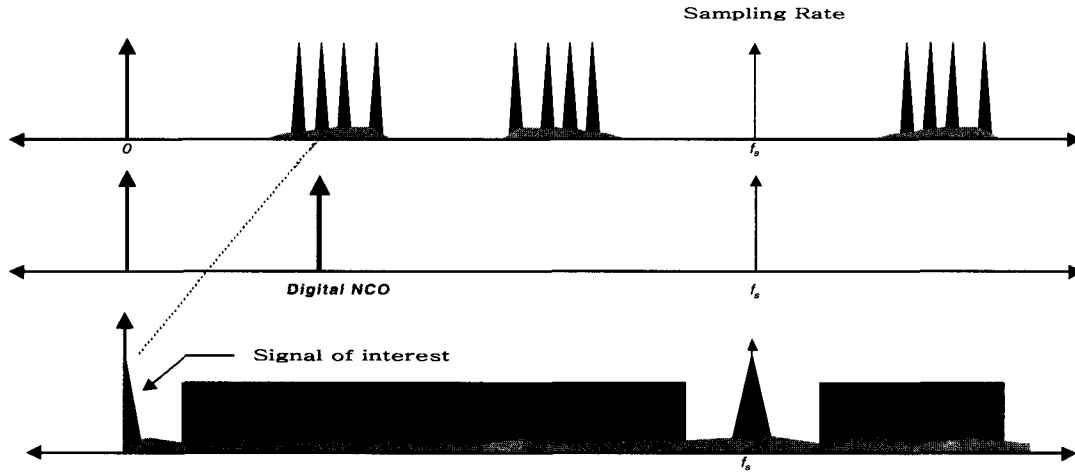


그림 7. Digitized IF 신호와 NCO 그리고 digital filtering 과정

digital filtering을 통하여 원하는 신호만을 추출하여 사용한다. 그림 8은 Intersil 사에서 개발한 PDC의 블록도로서 CIC (cascaded integrator and comb) filter, half band filter, FIR (finite impulse response) filter를 조합하여 원하는 decimation rate 와 필터 특성을 나타내도록 선택하여 사용한다. 3가지 필터를 사용하는 이유는 CIC filter단에서는 flat pass band 특성을 가지고 있는 half band filter의 최대 입력속도에 맞도록 decimation을 하도록 제어하고,

half band filter는 정교한 필터 특성을 가지는 FIR filter의 input rate에 맞도록 조절하여 사용함으로써 전체적인 decimation rate와 필터 특성을 응용에 맞도록 제어하기 위함이다. 한편 carrier recovery를 하여야 하는 경우에는 DSP에서 AFC(automatic frequency control)를 수행한 후에 이 결과로부터 NCO (numerically controlled oscillator)를 구동하면 coherent detection을 할 수 있다.

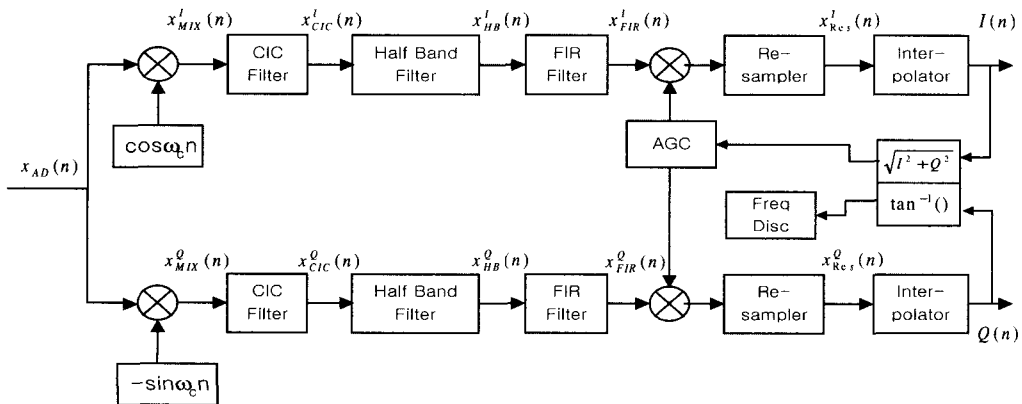


그림 8. intersil 사의 PDC 칩 블록도

F. DSP 및 Interconnect Bandwidth

시스템의 성능은 hardware acceleration 소자 (ASIC 및 FPGA 등), DSP, memory, 그리고 이들 간의 interconnection에 좌우된다. 최근에는 DSP와 ASIC 등의 기술이 급격히 발전하면서 PN (pseudo-noise) correlator, 고속 filtering 등 customized ASIC 기능을 DSP 칩 내에 내장하여 사용함으로써 하드웨어의 성능을 높여 사용하기도 한다. ADC의 출력과 PDC사이의 interconnect에 대한 전송방법을 나타내는 방법으로는 전용의 interconnect을 사용하는 방법, 고속의 SCI (scalable coherent interface) bus를 사용하는 방법, 그리고 shared memory 를 사용하는 방법이 나와 있다. 그림 9는 PMC-2MAI의 블록도를 나타내는데 LVDS (low-voltage differential signaling) 방식의 dedicated interconnect를 사용하여 PDC로 전송하는 path와 FIFO (first in first out)를 채용하고 있다. 이러한 구조는 IF 단에서 frequency offset이 있을 때 이를 FIFO를 통하는 path에서 짧은 시간내에 frequency offset 정보를 추정하고 이를 PDC를 구동할 때 이용하는 응용에 적합하다. 이외에도 DSP와 메모리, 그리고 back-plane bus 간 interconnection 등도 잘 설계하여야 한다.

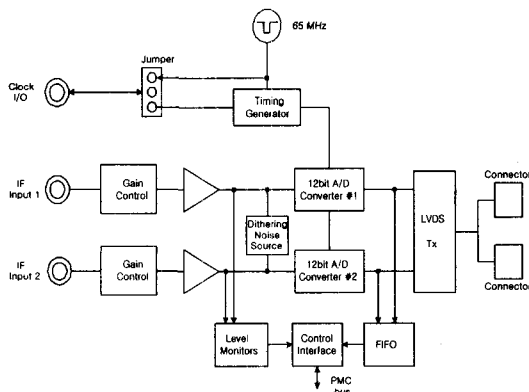


그림 9. PMC-2MAI 블록도

IV. 결 론

본 고에서는 SDR 구조를 기반으로 한 광대역 수신기의 구조 및 설계에 관하여 살펴보았다. Vector signal analyzer나 재해시 비상 통신시스템으로 활용될 수 있는 광대역 수신기는 SDR 구조를 기반으로 설계되기 때문에 광대역 다중모드를 기본적으로 수용할 수 있다는 것을 살펴보았다. 또한 IF 대역에서 AD 변환이 이루어지기 때문에 매우 유연한 구조임을 알 수 있는 동시에 software의 변경에 의하여 새로운 기능을 수용하거나 기존 기능을 변경하는 것이 매우 용이함을 알 수 있다. 앞으로 software radio 기술이 더욱 발전하면서 광대역 수신기의 응용범위가 더욱 넓어질 것으로 예상된다.

참고 문헌

- [1] J. Mitola III, Software Radio Architecture: Object-oriented Approaches to Wireless Systems Engineering, John Wiley & Sons, 2000.
- [2] J. Mitola III, "Software Radio Architecture: A mathematical perspective," IEEE J. Select. Areas Commun., vol. 17, pp. 514-538, Apr. 1999.
- [3] W. Tuttlebee, Software Defined Radio: Origins, Divers and International Perspectives, John Wiley & Sons, 2002.
- [4] J. E. Gunn, K. S. Barron, and W. Ruczczyk, "A Low-Power DSP Core-Based Software Radio Architecture," IEEE J. Select. Areas Commun., vol. 17, pp. 574-590, Apr. 1999.
- [5] J. Razavilar, F. Rashid-Farrokhi, and K. J. Liu, "Software Radio Architecture with Smart Antennas: A Tutorial

on Algorithms," IEEE J. Select. Areas Commun..., vol. 17, pp 662-676, Apr. 1999.

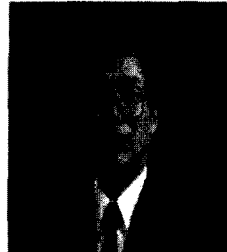
- [6] Upmal and Lackey, SPEAKeasy, the military software radio, IEEE Commun. Mag. 1995.
- [7] Watkins-Johnson, Digital VXI VHF/UHF Receiver WJ-8629, 1994.



김창주

1980: 한국항공대학 전자공학과 공학사 1988: 한국과학기술원 전기및전자공학과 공학석사 1993: 한국과학기술원 전기및전자공학과 공학박사 1980~1982: ADD 연구원 1983~현재: ETRI 전파신호처리연구팀

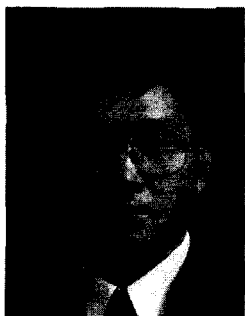
장 관심분야: 이동통신, SDR 기술, 등



김재명

1974년 2월 한양대학교 공과대학 전자공학과 졸업(학사) 1981년 8월 Univ. of Southern California 공과대학 전기공학과 졸업(석사) 1987년 8월 연세대학교 대학원 전자공학과 졸업

(박사) 1982년 9월 ~ : 한국전자통신연구원 책임연구원(현 무선방송연구소장) 1996년 ~ : 한국통신학회 상임이사 1999년 ~ : 통신위성.우주산업연구회 부회장 2001년 ~ : 한국방송공학회 부회장 2001년 ~ : 한국전파진흥협회 이사



채종석

1977년 한국항공대학 전자공학과 졸업(공학사) 1979년 연세대학교 대학원 전자공학과 졸업(공학석사) 1989년 연세대학교 대학원 전자공학과 졸업(공학박사) 1979. 2. ~ 1983.3. 국방과학연구소 연구원 1983. 3. ~ 1984.3. 금성

정밀중앙연구소(기좌)

1985. 3. ~ 현재 ETRI 전파기반연구부장

관심분야: RF, 이동통신, 위성통신