

---

# 하드웨어 유전자 알고리즘을 이용한 무어 머신의 복제

서기성\* · 박세현\*\* · 권혁수\*\* · 이정환\*\* · 노석호\*\*

## The clone of Moore machine using hardware genetic algorithm

Ki-sung Seo\* · Se-hyun Park\*\* · Hyuk-soo Kwon\*\* · Jeong-hwan Lee\*\* · Seok-ho Noh\*\*

### 요 약

본 논문은 무어 머신을 복제하는 새로운 진화 하드웨어를 제안하였다. 제안된 진화 하드웨어는 FPGA 상에서 효과적인 파이프라인, 병렬처리와 Handshaking을 구현했다. 유전자 알고리즘은 다양한 응용 분야의 NP 문제를 해결하는 방법으로 알려져 있으나 긴 계산 시간이 요구되기 때문에 하드웨어 유전자 알고리즘이 최근 관심사가 되고 있다. 기존의 하드웨어 유전자 알고리즘은 고정 길이의 염색체를 사용하지만 제안된 진화 하드웨어는 가변 길이의 염색체를 사용한다. 실험 결과는 제안된 진화 하드웨어가 무어 머신을 복제하는데 있어 적합함을 알 수 있다.

### ABSTRACT

This paper proposes a new type of evolvable hardware for implementing the clone of Moore State machine. The proposed Evolvable Hardware is employed efficient pipeline parallelization, handshaking mechanism and fitness function in FPGA.

Genetic Algorithm(GA) has known as a method of solving NP problem in various applications. Since a major drawback of the GA is that it needs a long computation time, the hardware implementation of Genetic Algorithm is focused on in recent studies. Conventional hardware GA uses the fixed length of chromosome but the proposed Evolvable Hardware uses the variable length of chromosome by the efficient 16 bit Pipeline Unit.

Experimental results show that the proposed evolvable hardware is applicable to the implementation of the clone for Moore State machine

### 키워드

진화 하드웨어, 하드웨어 유전자 알고리즘, 유전자 알고리즘, FPGA, 무어 머신

## 1. 서론

진화 하드웨어(Evolvable Hardware)는 환경의 변화에 적응하여 스스로 최적의 회로로 재구성 가능성이 가능하여 결합 허용 시스템, 저 전력 시스템, 적응 시스템, 회로 설계 등에 대한 새로운 접근 방법으로 제시되고 있다.[1]

진화 하드웨어에 일반적으로 적용되는 알고리즘인 유전자 알고리즘은 개체에 대한 진화 연산과 적합도 평가를 병렬적으로 수행할 수 있으므로 병목 지점으로 작용하는 집합도 평가에서 소모되는 시간을 단축시킬 수 있다.[2]

---

\*서경대학교 전자공학부  
접수일자 : 2002. 6. 3

\*\*안동대학교 전자정보산업학부

본 논문은 무어 머신(Moore Machine)을 복제하는 새로운 진화 하드웨어를 제안한다.

제안된 진화 하드웨어는 FPGA 상에서 효과적인 파이프라인, 병렬처리와 Handshaking을 구현한다. 기존의 하드웨어 유전자 알고리즘은 고정 길이의 염색체를 사용하지만 제안된 진화 하드웨어는 가변 길이를 사용한다.

무어 머신에서의 출력은 내부 상태의 함수로 구현됨으로 입력에 따른 출력 상태를 학습시키면서 상태 기계의 내부 복제에 대해 연구해 보았다. 그리고 상태의 변화에 따른 세대수와 적합도의 관계를 고찰했다.

## II. 하드웨어 유전자 알고리즘 구현

본 논문에서 구현된 하드웨어 유전자 알고리즘은 FPGA상에 설계된 진화 하드웨어이며 블록다이어그램은 그림 1과 같다.

설계된 하드웨어 유전자 알고리즘은 FPGA(E PF10K100ARC240)을 사용하여 효과적인 16Bit 파이프라인 병렬처리 적용 및 Handshaking을 구현했다. 또한 가변 길이의 염색체를 적용하여 기존의 진화 하드웨어와는 다르게 다양한 염색체 연산을 수행할 수 있다.

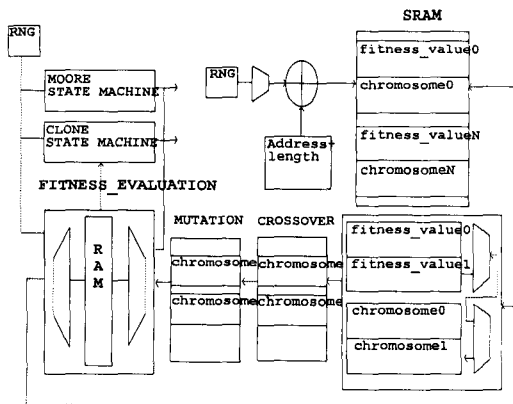


그림 1. 하드웨어 유전자 알고리즘의 블록다이어그램  
Fig. 1 The block diagram of hardware genetic algorithm

유전자 조작에 필요한 교배와 돌연변이 그리고 적합도 평가에 이르기까지 다양한 연산이 모두 16Bit 단위의 파이프라인 모듈로 처리하므로 기존의 연산 모듈보다 크기가 작고 구현이 쉽게 되어있다. 그리고 2개의 16Bit 염색체를 동시에 처리할 수 있게 이중 구조로 설계되어 있기 때문에 수행 속도가 빠르다.

그림 2, 그림 3은 교배 부와 돌연변이 부의 내부 블록 도이다. 교배와 돌연변이는 각각 교배 율과 돌연변이 율의 확 율에 따라서 자손 세대에서 수행여부가 결정되며, 기존의 하드웨어 지향의 유전자 알고리즘은 교배과정이 고정되어 있었으나 본 논문에서는 Decoder 값에 따라 일점 교배, 이점교배, 균일 교배 등이 선택적으로 이루어지도록 설계했다. 돌연변이도 Decoder 값에 따라 자유롭게 조절된다. 또한 교배 율과 돌연변이 율 역시 조절 가능하게 설계되어 최적 해를 찾아가는 실험과정이 아주 유연하게 수행된다. 선택된 개체를 16Bit단위로 읽어와 1 클럭 사이클로 교배와 돌연변이가 이루어진다. 또한 수행과정에서의 처리 Bit의 수는 고정된 것이 아니라 자유롭게 조절 가능하도록 설계되었으므로 그 응용분야가 아주 다양하다고 볼 수 있다.

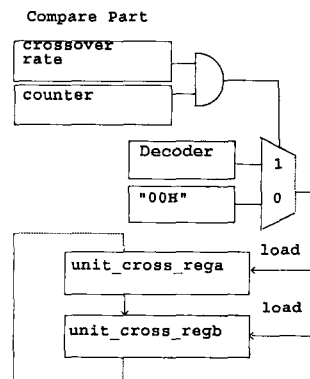


그림 2. 교배부의 구성 블록도  
Fig. 2 The block diagram of crossover part

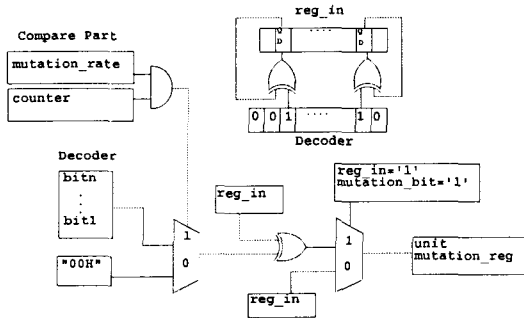


그림 3. 돌연변이부의 구성 블록도  
Fig. 3 The block diagram of mutation part

그림 4는 적합도 평가 부의 내부 구성 블록 도이다. 복제 대상의 무어 머신의 입출력을 적합도 평가 부의 평가와 비교해서 우성과 열성을 가려서 다음 세대에 우성인 염색체를 남기게 된다. 여기서는 선택 연산이 사용된다. 선택 연산은 기준 적합도에 대해서 적합도가 높은 우성 개체를 찾아내는 과정이다.

그림 5는 하드웨어 유전자 알고리즘 내에 구현된 적합도 평가회로이다.

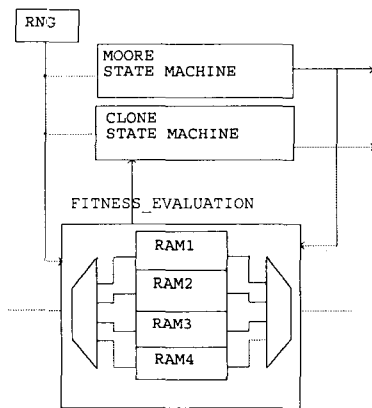


그림 4. 적합도 평가부의 블록도  
Fig. 4 The block diagram of fitness evaluation

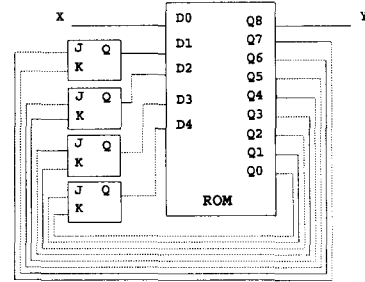


그림 5. 적합도 평가 회로  
Fig. 5 The Circuit of fitness evaluation

본 논문에서의 선택 법은 하드웨어 구현에 적합한 정상상태 유전자 알고리즘과 토너먼트 선택을 함께 사용했다. 개체군의 데이터가 저장된 외부 메모리인 SRAM에서 부모개체를 랜덤(Random)하게 선택하고, 읽기와 교배와 돌연변이를 통해 자손 개체를 생성한다. 그리고 적합도 평가를 통해 부모 개체와 자손 개체를 우성형질과 열성형질로 결정한 다음 우성형질의 자손 개체가 열성형질의 부모개체를 대체하게 되며, 외부 SRAM에 우성형질이 저장된다. 저장된 우성형질은 다음세대의 부모개체가 되는 것이다. 이것은 세대 모델에 비해 메모리 사용량을 절약할 수 있다. 그리고 유전자 알고리즘에서 일반적 방법으로 사용되는 룰렛 선택을 사용하지 않고 토너먼트 선택을 사용하여 하드웨어 자원을 줄이는 장점을 활용했다.

### III. 실험 및 고찰

본 실험에서 복제 대상이 되는 무어 머신은 출력이 오직 상태에 의존하는 머신이며, 내부 상태는 6상태로 구성되어 있고 그 구조는 그림 6과 같다.

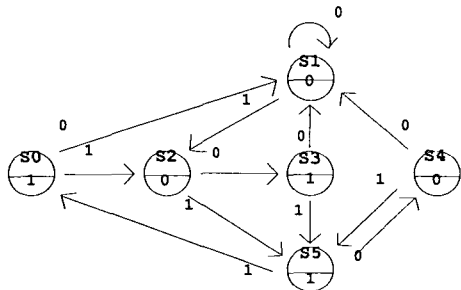


그림 6. 복제대상 무어머신  
Fig. 6 The moore machine of cloning target

그림 7은 복제 실험을 위해 구현된 진화 하드웨어 인 하드웨어 유전자 알고리즘의 FPGA 보드이다. FPGA 내부 메모리 사용량은 34%, 로직셀(Logic Cell)사용량은 84%하였다.

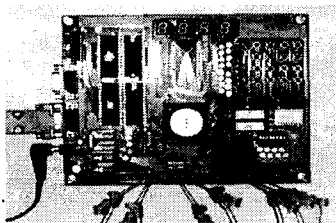


그림 7. 하드웨어유전자알고리즘 보드  
Fig. 7 The board of hardware genetic algorithm

복제 실험은 FPGA 내에 구현된 하드웨어 유전자 알고리즘에 복제 대상 무어 머신의 입출력을 학습시키면서 수행된다.

하드웨어 유전자 알고리즘의 동작 설정은 전체 개체군의 크기가 512개, 단위 개체 수는 288Bit이다. 유전자 알고리즘에 의해 교배와 돌연변이 및 적합도 평가를 통해 스스로 진화한 결과 복제 실험에서 적합도 100%의 무어 머신을 복제할 수 있었다.

또한 복제 실험은 가변적인 조건에서도 이루어졌으며 그 결과 최적의 조건은 교배 율 80%, 돌연변이 율 1%이며, 세대수 334에서 적합도 100%를 얻을 수 있었다. 적합도 100%의 하드웨어 유전자 알고리즘의 염색체는 그림 8과 같다.

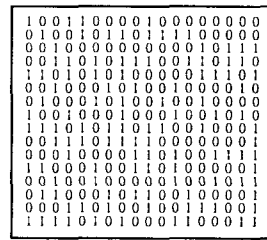


그림 8. 적합도 100% 염색체  
Fig. 8 The 100 percent chromosome of fitness value

그림 9는 복제된 무어 머신의 동작을 스코프로 측정한 결과 그림 6의 상태 도와 일치함을 알 수 있다.

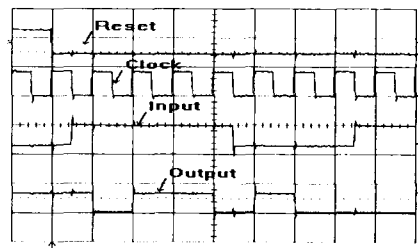


그림 9. 하드웨어 유전자 알고리즘 보드의 출력파형.  
Fig. 9 The output wave of hardware genetic algorithm

그림 10은 교배 율 80%, 돌연변이 율 1%, 세대수 334에서 적합도 100%의 실험결과에서 세대수에 따른 적합도와 적합도 평균을 나타낸 그래프다.

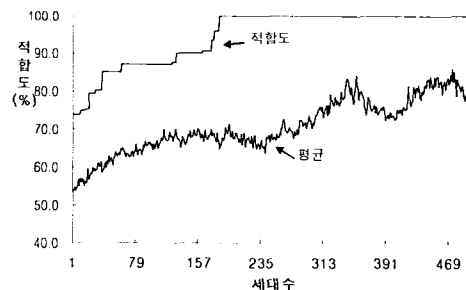


그림 10. 적합도와 세대수와의 관계  
Fig. 10 The relationship between fitness value and number of generation

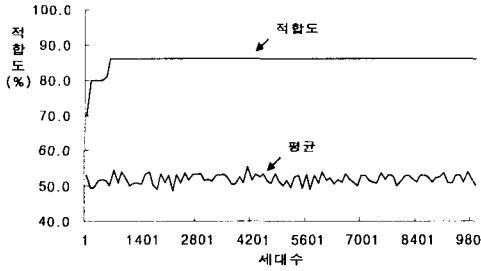


그림 11. 무작위 발생에 의한 그래프  
Fig. 11 The graph of random generation

그림 11은 무작위 발생에 의한 복제 능력을 알아 보려고 하는 그래프다. 최대 86%의 적합도 만을 얻을 수 있어 무작위 발생에 의한 복제는 불가능한 것을 말해준다.

상태수의 변화에 따른 하드웨어 유전자 알고리즘의 복제능력을 실험해 보았다. 실험 모델은 내부 상태가 1개에서 9개의 상태 증가를 가지는 무어 머신으로써 그 상태 구성은 그림 12와 같다. 그리고 그림 13은 하드웨어 유전자 알고리즘으로 얻은 상태수의 변화에 따른 적합도 100%에서 세대수 그래프이다.

9개 이하의 상태를 가진 무어 머신의 복제에 대한 하드웨어 유전자 알고리즘은 적합도 100%의 복제 능력을 보였다. 그러나 그 이상의 상태를 가진 무어 머신의 경우에는 상태 수 증가에 따른 급격한 세대수의 증가를 요구하고 있음을 확인했다.

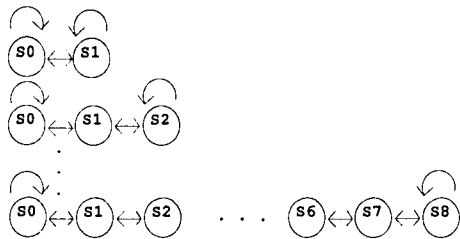


그림 12. 상태 수 증가 복제 대상 실험 모델  
Fig. 12 The model of increasing state number of clone target experiment

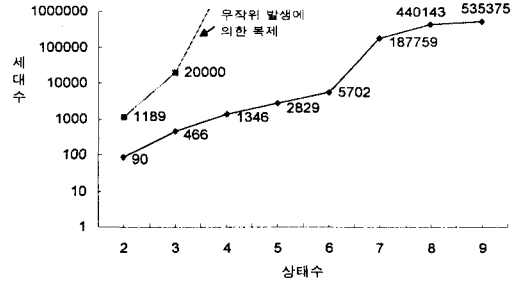


그림 13. 상태수에 대한 적합도 100%의 세대수그래프  
Fig. 13 The 100 percent generation number graph for the number of state

무작위 발생에 의한 무어 머신의 복제는 상태수가 2 이하 일 때 만 가능하였고 그 이상에서는 무한대의 세대수가 필요하게 되어 본 논문에서 제안한 하드웨어 유전자 알고리즘에 비해 복제 능력이 거의 없는 것으로 판명된다.

#### IV. 결 론

본 논문은 무어 머신을 복제하는 새로운 진화 하드웨어를 제안하였다. 제안된 진화 하드웨어는 FPGA(EPF10K100ARC240)상에서 효과적인 파이프라인, 병렬처리와 Handshaking을 구현했다.

기존의 하드웨어 유전자 알고리즘은 고정 길이의 염색체를 사용하지만 제안된 진화 하드웨어는 가변 길이의 염색체를 사용한다.

무어 머신의 복제 실험 결과에서 제안된 진화 하드웨어인 하드웨어 유전자 알고리즘은 무작위 발생에 의한 하드웨어 복제에 비해 우수한 복제 능력을 가지고 있음을 보여 준다.

구현한 하드웨어 유전자 알고리즘은 내부 상태가 1개에서 9개의 상태를 가진 무어 머신의 복제에서 우수한 복제 능력을 발휘했다. 그러나 9 이상의 상태의 수에 대해서는 상태 수 증가에 따른 급격한 세대수의 증가를 요구하고 있음을 확인했다.

구현된 하드웨어 유전자 알고리즘은 향후 다양한 분야에서 최적의 해를 얻기 위해 응용되어질 수 있을 것이다.

참 고 문 헌

[1] Paul Layzell, The 'Evolvable Motherboard' A Test Platform for the Research of Intrinsic Hardware Evolution, Cognitive Science Research Paper 479, 1998

[2] Koza, John et al, Evolving computer programs using rapidly reconfigurable field programmable gate arrays and genetic programming, Proceeding of the ACM Sixth International Symposium on Field Programmable Gate Arrays. New York, NY:ACM Press. pp 209-219, 1998

[3] N. Yosida, T. Moriki and T. Yasuoka, "GAP:Genetic VLSI processor for genetic algorithm", 1Second International ICSC Symp. on Soft Computing, pp.341-345, 1997

[4] Shin'ichi Wakabayashi et al., "GAA:A VLSI genetic algorithm accelerator with on-the-fly adaptation of crossover operators", ISCAS 98, 1998

[5] Jin Jung Kim, Duck Jin Chung, "Implementation of Genetic Algorithm based on Hardware Optimization", TENCON '99 1999;

[6] K. Dejong, An analysis of the behavior of class of genetic adaptive system, Ph.D Thesis, University of Michigan, 1975.

[7] Hiroaki Kitano, IDEN TEKI ALGORITHM, SANGYO TOSHO, 1993.

[8] E. Vonk, L. C. Jain, and R. P. Johnson, Automatic Generation of Neural Network Architecture Using Evolutionary Computation, World Scientific Publishing, 1997.

[9] L. C. Jain, R. K. Jain, HYBRID INTELLIGENT ENGINEERING SYSTEMS, World Scientific Publishing, 1997.

[10] G. Sysweda, "Uniform Crossover in Genetic Algorithm", Proc. of ICGA-89, 1989.

[11] Melanie Mitchell, An introduction to Genetic Algorithm, The MIT Press, 1997.

[12] G. Winter et al., Genetic Algorithm in

Engineering and Computer Science, John Wiley & Sons, 1996.

[13] I. Kajitani, T. Higuchi, "A gate-level EHW chip: Implementing GA operations and reconfigurable hardware on a signal LSI", Evolvable System: From Biology to Hardware, Lecture Notes in Computer Science 1478, pp. 1-12., Springer Verlag, 1998

저 자 소 개



서기성(Kisung Seo)

1993년 연세대학교 대학원 전기공학과 공학박사

1993년~1998년 서경대학교 전자공학과 조교수

1999년~현재 Michigan State University, Case Center of Computer Aided Engineering and Manufacturing, Research Associate

※관심분야 : 유전 알고리즘, 유전 프로그래밍, Evolutionary design

박세현(Se Hyun Park)

1980년 경북대학교 전자공학과 학사

1982년 경북대학교 전자공학과 석사

1985년 아주대학교 전자공학과 박사

1997년 국민 포장 수여

현재 안동대학교 전자정보산업학부 교수

1997년~1999년 국립 안동대학교 공과대학 학장

1999년~2000년 미시간 주립대학 전기컴퓨터공학과 겸임 교수

※관심분야 : FPGA 설계, 컴퓨터구조, 하드웨어 유전자 알고리즘

권혁수(Hyuk-soo Kwon)

1998년 안동대학교 전자공학과 학사

2002년 안동대학교 전자공학과 석사