
PLL을 구동하기 위한 DDFS의 성능분석

손종원* · 박창규** · 김수욱***

The Performance Analysis of the DDFS to drive PLL

Jong-Won Son* · Chang-Gyu Bak** · Soo-Wook Kim***

요 약

본 논문에서는 DDFS로 구동하는 PLL을 Q-logic cell based library를 사용하여 schematic 상에서 설계하고 FPGA QL32×16B를 사용하여 구현하였으며, 측정 결과 주파수 합성기의 스위칭 속도는 DDFS에 사용되는 레지스터 단수와 같다는 결론을 얻을 수 있었다. 시뮬레이션 결과 클럭지연은 11클럭 후에 발생하는 것을 알았고, 입력 상태가 랜덤하게 들어온다면 출력에 영향이 있음을 알았다. 따라서 입력상태가 일정 간격을 가지게 함으로써 PLL을 구동하기 위한 DDFS는 잡음정형기를 사용하는 것이 좋으며, 또한 D/A 변환기의 대역이 매우 넓어야 하고, PLL의 스위칭 속도보다는 작은 입력 컨트롤 워드의 변화가 바람직하다는 것을 알 수 있다.

ABSTRACT

In this paper, the PLL driven by the DDFS is designed on the schematic using the Q-logic cell based library and is implemented using FPGA QL32×16B. The measurement results of the frequency synthesizer switching speed were agreement with a register. The simulated results show that the clock delay was generated after eleven clock and if input is random, It has influence on output DA converter has to be very extensive. Therefore, the DDFS used noise shaper to drive PLL by regular interval for input state. Also the bandwidth of DA converter very extensive, the simulation shows that the variation of small input control word is better than the switching speed of PLL

키워드

DDFS, PLL, Q-logic, full pipeline

1. 서 론

주파수 합성기는 무선통신 시스템뿐만 아니라, radar(Radio Detection and Ranging), 계측시스템 등에 사용된다. 그러한 시스템에서, 주파수 합성기가 갖추어야 할 성능요건으로써, 첫째로 주파수 합성기는 넓은 주파수대역에서 동작할 수 있어야 하며, 원하는 아주 작은 주파수라도 발생시킬 수 있도록 세

밀한 주파수 해상도를 갖고 있어야 한다. 둘째로, 위상잡음(phase noise)과 스퓨리어스 레벨(spurious level)이 작아야 한다. 스퓨리어스 레벨은 원하는 carrier 주파수와 관계없는 discrete 출력주파수 성분으로써 일반적으로는 harmonics 성분을 스퓨리어스 신호로 간주하지는 않지만 DDFS(digital direct frequency synthesizer)와 같은 디지털 주파수 합성 회로나 주파수 사이의 곱셈(multiplications)과정에서

*부산기능대학 메카트로닉스과 조교수

**부산기능대학 전기계측제어과 조교수

나타나는 subharmonics들을 스푸리어스 신호라고도 한다. 위상잡음은 주파수 합성기의 출력에서 이상적인 출력에 상대적인 출력주파수의 위상잡음을 나타내는데 보통 carrier 주파수에서 특정 주파수 떨어진 곳에서 1Hz내에 존재하는 잡음의 density로써 정의된다. 마지막으로 주파수 합성기는 원하는 다른 주파수를 발생시키기 위해 필요한 시간이 작아야 한다[1].

기존의 아날로그 주파수 합성기들은 위의 조건들을 만족시킬 수 있기 때문에, 여러 시스템에 사용되었는데 회로가 너무 크다는 단점을 갖고 있다. 반면에 PLL(phase-locked loops) 주파수 합성기는 작은 크기로도 사용 가능하므로 실제로 많은 통신시스템에 사용되고 있다. 하지만, PLL 주파수 합성기는 세밀한 주파수 해상도를 갖기 위해 위상검출기의 기준 주파수가 매우 작아야 하므로, 이때에는 작은 위상잡음이나 스푸리어스 레벨 특성을 얻을 수 없다[2].

DDFS가 구동하는 PLL 주파수 합성기(DDFS-driven PLL frequency synthesizer)[2][3]는 DDFS가 mHz 단위의 아주 세밀한 주파수를 발생시키기 때문에 스위칭 속도와 위상잡음 성능의 감소없이 원하는 주파수를 발생시킬 수 있다. 그러나 기존의 DDFS는 입력위드의 크기가 증가할수록 출력에서 위상 지터(phase jitter)가 비례하여 증가하게 된다. 또한 DDFS의 ROM(read only memory)이나 DAC(digital to analog converter)에 의한 비 이상적인 특성이 항상 존재한다.

본 논문에서는 DDFS의 구조를 단순화하여 triple controlled type DDFS-driven PLL 주파수 합성기에 적용하여 여러 주파수대역에서 가능한 모든 주파수를 발생시킬 수 있음을 보이며 그 주파수 합성기에 pre-tune 방식에 근거하여 뛰어난 스위칭 속도 성능을 갖는 주파수 합성방식을 연동하여 사용할 수 있는 주파수 합성기에 대해서 분석한다.

II. PLL을 구동하기 위한 DDFS의 설계

1. PLL을 구동하기 위한 DDFS

직접 디지털 주파수 합성기(DDFS: Digital Direct frequency synthesizer)의 장점은 high resolution을 가지며 빠른 스위칭속도를 가진다는 점이다. 하지만

발생주파수가 clock 주파수 이하로 발생하기 때문에 높은 주파수를 발생시키기 위해서는 소자의 스위칭 속도가 고속이어야 한다는 부담이 존재한다. 또한 현재의 스위칭소자의 발달로 보아 충분히 가능해 지리라 보여진다. 하지만 DDFS가 통신시스템 안에서 사용되어 지는 측면으로 보면 DDFS에 입력되는 클럭 주파수보다 높은 주파수를 발생시킬 필요성이 많아지게 된다. 이러한 경우 DDFS로 PLL을 구동시키는 방법이 최근 많이 연구되고 있다. 현재 국내에서 이러한 연구에 대해서는 아직 미개발 상태이다. DDFS로 구동하는 PLL의 응용분야의 대표적인 부분이라 할 수 있는 것은 FHSS(frequency hopping spread spectrum)시스템을 사용할 경우 주파수 합성기를 이용한 변조부분이라 할 수 있다[4][5][6][7].

2. DDFS로 구동하는 PLL 주파수 합성기를 설계하기 위한 고려 사항

(1) 스위칭 속도

PLL은 DDFS보다 스위칭속도가 매우 느리다. 이러한 이유에서 DDFS가 PLL의 스위칭속도보다 빠르게 변하면 PLL은 루프를 형성하기 때문에 lock 상태를 잃게되며 그러므로 에러를 발생시킬 수 있다.

(2) DDFS의 연산 비트 부족

DDFS는 위상누산기에서 발생하는 위상증가분에 의해서 파형을 발생시킨다. 위상누산기의 연산비트는 발생파형의 진폭과 매우 밀접한 연관을 갖는데 예를 들면 입력비트가 4비트라 하면 최대로 표현되는 진폭의 크기는 디지털 숫자로 16이 된다. 입력 콘트를 워드가 10이 되면 10이상 되는 숫자는 표현되지 못하므로 0과 10이 반복되게 된다. 그러므로 6의 숫자만큼은 감소되어 PLL에 입력되는 진폭이 줄게 되므로 고려하여야만 한다. 또한 이러한 에러가불규칙하게 발생하는 경우는 PLL의 위상비교기가 영점교차 검출기일 경우에는 에러를 유발시켜 PLL의 lock을 잃게 할 수 있다.

3. DDFS로 구동하는 PLL의 설계 방침

(1) PLL의 스위칭속도를 최대한 빠르게 한다. 이는 DDFS에 입력되는 데이터속도와 PLL의 스위칭속도를 고려하여 입력데이터의 속도가 PLL의 스위칭속도 보다 빠르지 않게 고려하여 PLL을 구동하기

위한 DDFS의 스위칭속도를 측정해 보기로 한다.

(2) DDFS의 진폭에러와 누산에러를 없애기 위하여 에러를 발생시키는 비트를 제거하는 방식을 사용하는 noise shaper와 같은 방법을 사용하여야만 한다.

누산에러는 발생과형을 변화시킴으로 PLL의 위상 검출기의 영점교차 지점이 변화하게 되므로 PLL의 lock time을 지연시킬 우려가 있다. 이러한 경우 연산비트 트렁케이션 기법을 사용하는 잡음정형기를 사용하면 해결되며 여기서는 다루지 않는다.

4. DDFS의 구성

그림 1은 DDFS의 기본 구성도이다. 위상누산기에 서 발생하는 위상증가분을 이용하여 위상 진폭 변환기는 사인값을 갖도록 변화시켜 주며 또한 사인값의 1/4주기만큼만 저장할 경우 그림 1에서와 같이 위상 진폭 변환기 전후단에서 EX-OR함으로써 정현파를

발생하게 된다.

그림 2는 DDFS의 회로도이다. Q_logic의 cell base library를 이용하여 설계하였다.

기본구성은 위상 누산기, 위상 진폭 변환기, EX_OR, D/A 변환기이다.

그림 3은 DAC0808의 주파수응답 특성이며 입력 주파수가 1MHz 정도에서 최적의 동작을 할 수 있으므로 1MHz에서 동작시켰으며 DDFS의 클럭으로 최대 10MHz까지 동작하여 보았으며 클럭이 7MHz~10MHz에서 입력 콘트롤워드에 따라 변화가 크게 되며 낮은 콘트롤워드는 사용되어 질 수 있으나 콘트롤워드가 높아질수록 이득이 낮아져서 사용에 제한이 생기게 된다. 그러므로 전체 DDFS의 동작속도에 많은 영향을 미친다.

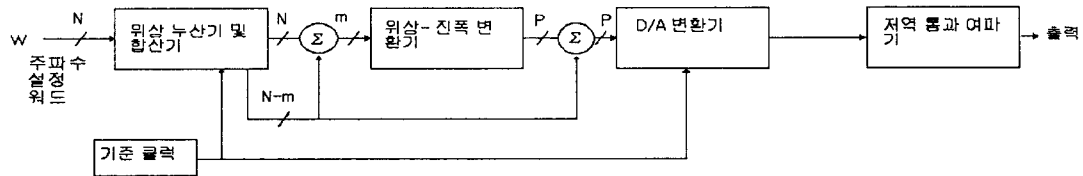


그림 1. DDFS의 기본 구성도
Fig. 1. The DDFS basic structure

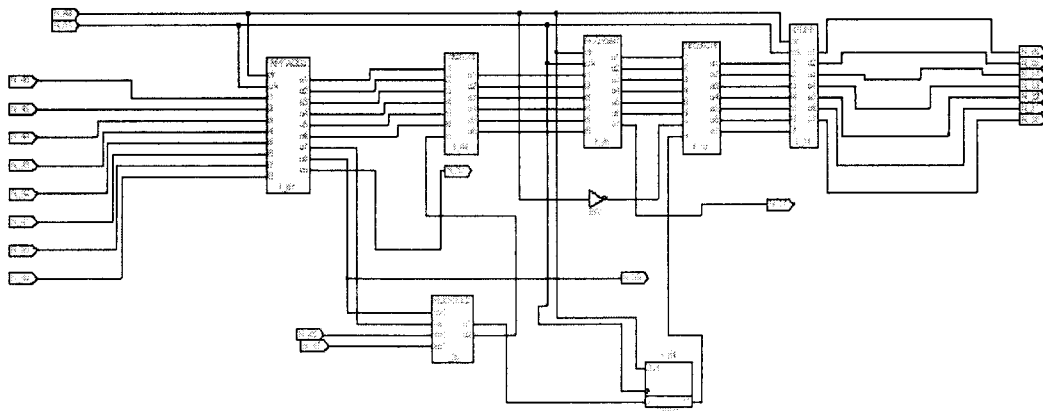


그림 2. DDFS의 회로도
Fig. 2. The DDFS circuit

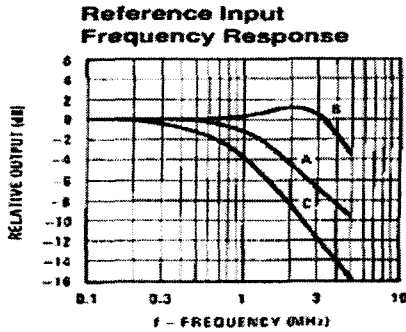


그림 3. DAC0808의 주파수응답 특성
Fig. 3. The frequency responses characteristics of DAC0808

5. DDFS의 주파수 해상도와 최대 출력 주파수 계산

$$F_{MAX} = \frac{1}{2} F_{CK} \quad (1)$$

$$F_{RES} = \frac{1}{2^N} F_{CK} \quad (2)$$

(1)식은 주파수 합성기의 최대 출력주파수이며 입력 콘트롤워드가 8bit이고 클럭주파수가 1MHz이면 최대 발생주파수는 500[kHz]이고 클럭주파수의 1/2이 되기 위한 콘트롤워드는 $x/256=1/2$ 이므로 $x=128$ 이 되며 입력 콘트롤워드가 128일 때이다. (2)식은 주파수 해상도로서 입력 콘트롤워드가 1일 때와 같으며 발생주파수의 증가주파수 간격이 되며 클럭주파수가 1MHz일 경우 3.90625kHz이다.

6. DDFS의 스위칭속도

주파수 합성기의 스위칭속도는 DDFS에 사용되는 pipeline 단수라 할 수 있고 pipeline 단수는 총 11개를 사용하여 콘트롤 워드(control word: CW)에 따라 변화를 측정하였다.

(1) Timing 시뮬레이션 결과

그림 4에서는 입력 스위칭속도를 측정하기 위하여 CW=0의 값에서 CW=127의 값으로 변화시켰을 때를 보인 것으로 11클럭이 소요됨을 시뮬레이션 결과 알 수 있었다.

그림 5에서는 CW=1에서 CW=127로 옮겼을 때의 시뮬레이션 결과로서 정확하게 11개의 클럭이 있는 뒤에 변화하는 것을 볼 수 있다.

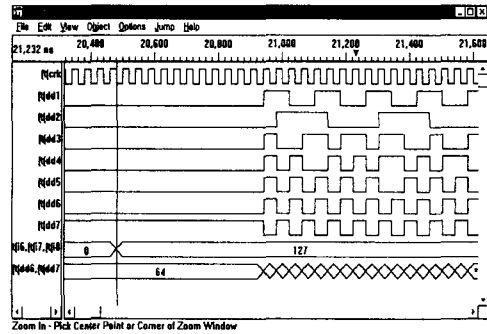


그림 4. DDFS의 스위칭속도 측정
Fig. 4. The switching speed measurement of the DDFS

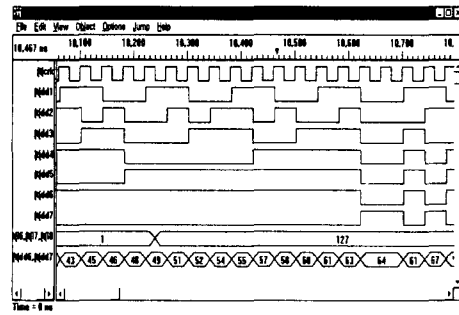


그림 5. CW=1 → CW=127
Fig. 5. CW=1 → CW=127

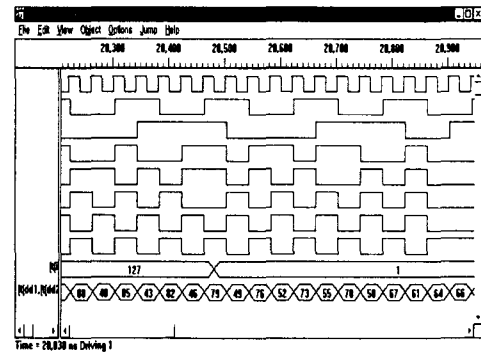


그림 6. CW=127 → CW=1
Fig. 6. CW=127 → CW=1

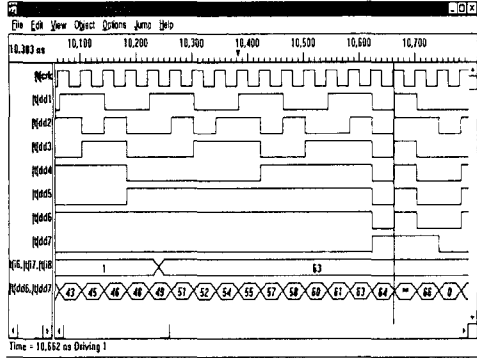


그림 7. CW=1 → CW=64
Fig. 7. CW=1 → CW=64

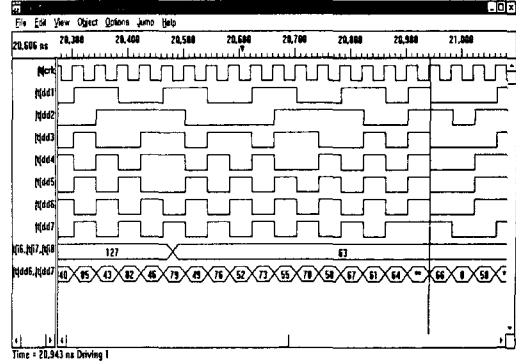


그림 10. CW=127 → CW=64
Fig. 10. CW=127 → CW=64

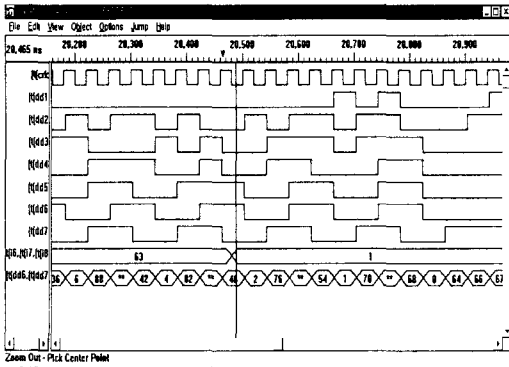


그림 8. CW=64 → CW=1
Fig. 8. CW=64 → CW=1

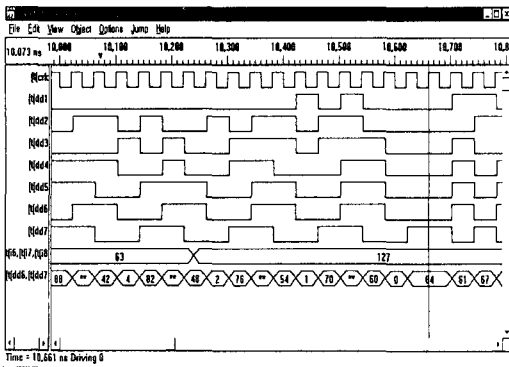


그림 9. CW=64 → CW=127
Fig. 9. CW=64 → CW=127

그림 6에서와 같이 CW=127에서 CW=1로 변화시킨 경우도 역시 마찬가지이다.

그림 7은 CW=1에서 CW=64로 바뀌었을 때의 출력으로 역시 11 클럭 후에 변화한다.

그림 8은 CW=64에서 CW=1로 변화한 파형으로 동일한 결과를 가진다.

그림 9는 CW=64에서 CW=127이었을 때의 결과로서 역시 동일한 결과를 가진다.

그림 10은 CW=127에서 CW=64로 변화하였을 때의 결과로서 역시 결과는 같다.

시뮬레이션 결과에서 회로설계에 사용된 D F/F은 positive trigger를 사용하였으므로 입력이 1일 때 동작하여야만 한다. 또한 결과에서 스위칭속도에 문제가 되는 full pipeline 방식의 위상 누산기의 레지스터 단수는 DDFS를 고속으로 동작시키기 위해 고안된 것으로 클럭 주파수를 높일 수 있다는 장점이 있으나 결과에서와 같이 입력에 스위칭속도가 지연되어 나오지만 그것이 문제가 된다면 full pipeline 방식을 쓰지 않으면 된다. 또한 PLL을 구동하기 위한 DDFS로 사용된다면 PLL의 스위칭속도 보다는 매우 빠른 편이므로 문제가 되지 않으리라고 본다.

7. 측정 결과

(1) DDFS의 FPGA 구현 보드

그림 11은 Q_logic의 cell based library를 사용하여 schematic상에서 설계하고 FPGA QL32×16B를 사용하여 구현하였으며 D/A 변환기는 DAC 0808을 사용하였다.

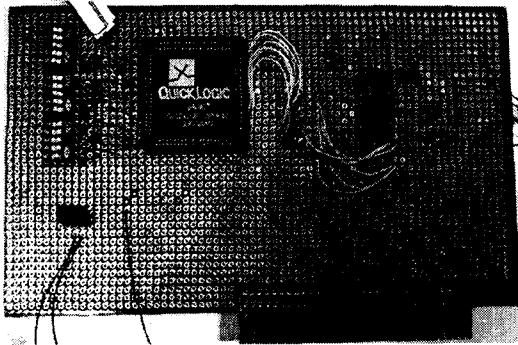


그림 11. DDS의 FPGA 구현 보드
Fig. 11. FPGA implementation board of the DDS

(2) 측정 파형

그림 12는 CW=1에서 CW=127로 변화하였을 때의 파형으로서 클럭이 11개가 소요됨을 알 수 있다. 이것은 클럭주파수가 100kHz이었을 때의 출력으로서 출력주파수의 변화는 390.625[kHz]에서 50[kHz]로 변화하며 스위칭속도는 0.11[ms]이다.

그림 13은 CW=127에서 CW=1로 변화하였을 때의 파형으로서 11개의 클럭이 소요되며 스위칭속도는 0.11[ms]이다.

그림 14는 CW=1에서 CW=64로 변화하였을 경우이며 출력주파수는 390.625[Hz]에서 50[kHz]로 변화하고 스위칭속도는 0.11[ms]이다.

그림 15는 CW=64에서 CW=1로 변화하였을 때의

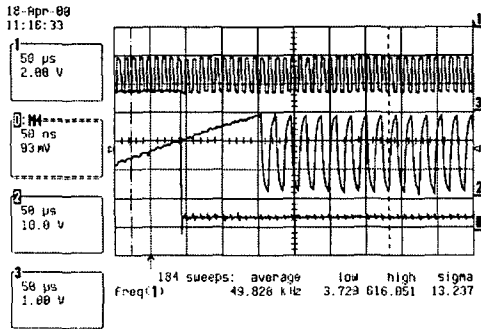


그림 12. CW=1 → CW=127
Fig. 12. CW=1 → CW=127

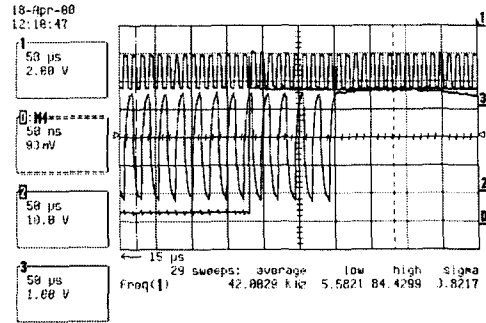


그림 13. CW=127 → CW=1
Fig. 13. CW=127 → CW=1

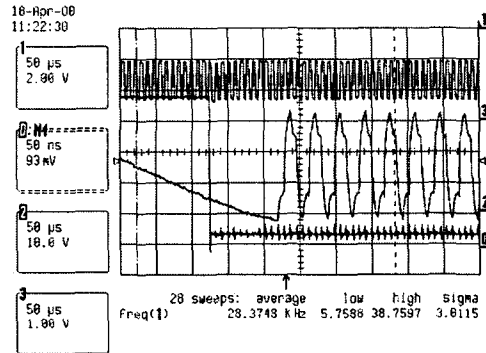


그림 14. CW=1 → CW=64
Fig. 14. CW=1 → CW=64

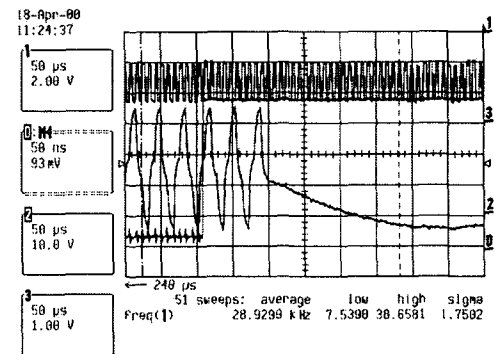


그림 15. CW=64 → CW=1
Fig. 15. CW=64 → CW=1

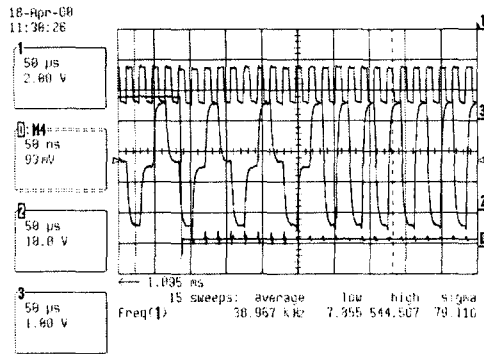


그림 16. CW=64 → CW=127
Fig. 16. CW=64 → CW=127

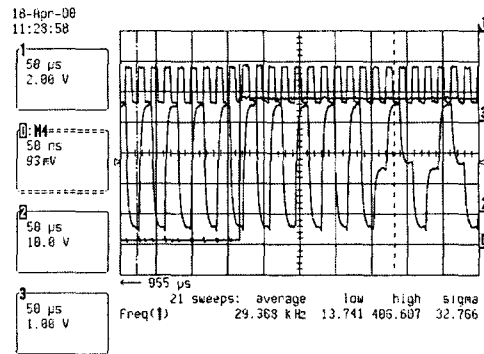


그림 17. CW=127 → CW=64
Fig. 17. CW=127 → CW=64

파형으로 스위칭속도는 동일하다.

그림 16은 CW=64에서 CW=127로 옮긴 파형으로 스위칭시간은 0.11[ms]이다.

그림 17은 CW=127에서 CW=64로 옮긴 파형이다. 위 결과들에서 알 수 있듯이 모두 11 클럭 후에 파형이 바뀌기 시작하고 콘트롤워드를 변화시켜도 마찬가지로 알 수 있다.

8. 제작된 DDFS의 스위칭 속도분석

클럭주파수 100[kHz]와 1[MHz]이었을 때를 대상으로 측정결과를 표로 작성하였다. 표 1은 클럭주파수 100[kHz]이었을 때의 스위칭속도를 측정하였는데 시뮬레이션 결과와 동일하게 나타났으며 정확한 파형의 위치를 알고 측정하기 위해 클럭과 입력 그리고 출력파형을 동시에 확인하였다. 또한 정확한 스위칭속

도를 측정하기 위해 클럭주파수를 낮춰서 실험하였는데 이는 콘트롤워드가 높아질수록 D/A 변환기의 입력변화가 크게 되고 클럭주파수가 높은 상태에서 이득이 줄기 때문에 크기가 매우 낮아지며 주파수가 많이 달라져 이론치와의 차이가 점점 증가하기 때문이다. 그러므로 제작된 DDFS의 출력을 D/A 변환기가 감당하지 못하므로 클럭주파수를 높여서 DDFS의 출력 스위칭속도에 영향을 준다는 것이 연구목적이 아니므로 출력주파수를 낮추어서 DDFS의 스위칭속도를 측정하였다. 또한 클럭주파수를 증가시킬수록 스위칭속도는 빨라지므로 높은 주파수를 발생시키기 위해서는 full pipeline 방식을 사용하는 것이 좋다.

표 1. DDFS의 스위칭 속도측정

Table 1. The switching speed measurement of the DDFS

콘트롤 워드	이론 값	측정 값	시뮬레이션 스위칭속도	측정스위칭 속도
1→127	390.625[Hz]→50[kHz]	390.625[Hz]→50[kHz]	11clock	11×100[kHz]→0.11[ms]
127→1	50[kHz]→390.625[Hz]	50[kHz]→390.625[Hz]	11clock	0.11[ms]
1→64	309.625[Hz]→25[kHz]	309.63[Hz]→25[kHz]	11clock	0.11[ms]
64→1	25[kHz]→309.625[Hz]	25[kHz]→309.625[Hz]	11clock	0.11[ms]
64→127	25[kHz]→50[kHz]	25[kHz]→50[kHz]	11clock	0.11[ms]
127→64	50[kHz]→25[kHz]	50[kHz]→25[kHz]	11clock	0.11[ms]

표 2는 클럭주파수를 1[MHz]로 하였을 때의 발생주파수이다. 콘트롤워드 30가지의 결과를 표로 나타내었으며 콘트롤워드가 높아질수록 양자화예러와 누산예러로 인한 주파수 흔들림이 생기지만 LPF를 사용하면 없어질 수 있다.

표 2. 제작된 DDFS의 발생 주파수
Table 2. The generating frequency of the made DDFS

입력 워드	발생주파수(클럭 1[MHz])		오차
	이론값 [MHz]	측정값 [MHz]	
1	3.90625	3.90624	0.00010
2	7.81250	7.81248	0.00002
3	11.7187	11.7165	0.00225
4	15.6250	15.6254	0.00040
5	19.5312	19.5311	0.00015
6	23.4375	23.4378	0.00030
7	27.3437	27.3436	0.00015
8	31.2500	31.2506	0.00006
9	35.1562	35.1562	0.00005
10	39.0625	39.0620	0.00050
11	42.9687	42.9677	0.00105
12	46.8750	46.8747	0.00030
13	50.7810	50.7870	0.00600
14	54.6875	54.6837	0.00380
15	58.5937	58.5930	0.00075
16	62.5000	62.5081	0.00810
17	66.4062	66.4097	0.00345
18	70.3125	70.3109	0.00160
19	74.2187	74.2180	0.00075
20	78.1250	78.1267	0.00170
21	82.0312	82.0336	0.00235
22	85.9370	85.9368	0.00020
23	89.8437	89.8341	0.00965
24	93.7500	93.7522	0.00220
25	97.6560	97.664	0.00800
26	101.562	101.527	0.03550
27	105.4687	105.478	0.00925
28	109.3750	109.379	0.00400
29	113.2812	113.252	0.02925
30	117.1875	117.117	0.07050
		평균	0.0067

III. 결론

DDFS의 스위칭속도는 레지스터단수와 같다는 결론을 얻을 수 있으며 제어 입력워드의 입력에 플립플롭의 클럭입력이 0일 때 입력되는지 아니면 1일 때 입력되는지의 상태에 따라 반 클럭이나 한 클럭 정도의 지연이 있음을 알았고 그런 상태가 불규칙하게 생기므로 시뮬레이션 결과에 따라 11클럭 후에 생기는 것으로 결론지을 수 있다. 또한 D/A 변환기의 상태에 따라 출력주파수의 변환에 민감한 영향을 미칠 수 있는데 D/A 변환기의 출력변화를 LPF에서 능동 고차필터를 쓰게 되면 D/A 변환기의 입력주파수와 입력워드가 큰값을 가지더라도 어느정도 회복될 수 있다. 예를 들면 이중구조와 같은 방법은 글리치를 제거하면서 이득을 보상하는 좋은 방법이

라 할 수 있다. 또한 위상누산기에서 입력워드가 변화할 경우 현재의 위상누적 상태에 따라 출력되는 상태의 값이 달라지므로 입력이 랜덤하게 들어올 경우 출력에 영향을 미칠 수 있음을 알 수 있는데 이런 경우 각 발생주파수의 상태를 파악하여 일정간격을 갖게끔 입력이 주어질 필요가 있으며 잡음정형기 외에도 다른 방법이 또한 연구되어야 할 것으로 보인다. 일정간격을 가지게 함으로써 PLL을 구동하기 위한 DDFS는 잡음정형기를 사용하는 것이 좋으며 또한 D/A 변환기의 대역이 매우 넓어야 한다는 것을 알 수 있으며 PLL의 스위칭속도 보다는 작은 입력 콘트롤워드의 변화가 바람직하다는 것을 알 수 있다.

향후의 추가적 연구개발은 D/A 변환기와 같은 소자는 전체적인 설계에서 전력소모와 선형성을 고려할 때 매우 신중하게 고려하여야 한다고 보며 DPLL을 사용할 경우에도 연구되어야 할 것으로 본다.

참고문헌

- [1] Dan H. Walaver, "Phase-Locked Loop Circuit Design," Prentice-Hall, 1991.
- [2] Vadim Manassewitsch, "Frequency Synthesizers, Third Edition," John Wiley & Sons, 1987.
- [3] Ulrich L. Rohde, "Digital PLL Frequency Synthesizers: Theory and Design," Prentice-Hall Inc, 1983.
- [4] M.K. Simon, "Noncoherent Pseudonoise Code Tracking Performance of Spread Spectrum Receivers," IEEE Trans. on Comm, March 1977.
- [5] B.Y. Chung, et.al., "Performance Analysis of an All-Digital BPSK Directsequence Spread Spectrum IF Receiver Architecture," IEEE Journal on SAC, September 1993.
- [6] The Spread Spectrum Handbook, 2nd Edition, Stanford Telecom, 1990.
- [7] J.k. Hinderling, et.al., "CDMA Mobile Station Modem ASIC," IEEE Journal on Solid-State Circuits, March 1993.

자기소개



손종원(Jong-Won Son)

1990년 부경대학교 전자공학과 공
학사

1998년 충북대학교 대학원 전자공
학과 석사

2001년 충북대학교 대학원 전자공

학과 박사과정 수료

2001. 2~현재 부산기능대학 카일렉트로닉스 부교수

※관심분야: 통신회로설계, 센서응용회로설계



박창규(Chang-Gyu Bak)

1992년 부경대학교 전자공학과 공
학사

1997년 부경대학교 대학원 전자공학
과 석사

1998년 1월~현재 부산기능대학 메

카트로닉스과 조교수

※주관심 분야: 마이크로프로세서, 디지털신호처리



김수욱(Soo-Wook Kim)

1992년 부경대학교 전기공학사 공
학사

1997년 부경대학교 전기공학과 석사

1997년 2월~현재 부산기능대학 전
기계측제어과 조교수

※관심분야: 자동제어 시스템, 디지털 제어 시스템.