

---

# 나노 구조 Double Gate MOSFET의 핀치오프특성에 관한 연구

고석웅\* · 정학기

A study on the pinch-off characteristics for Double Gate MOSFET in nano structure

Suk-woong Ko\* · Hak-kee Jung

---

이 논문은 2002년도 군산대학교 두뇌한국21사업에 의하여 일부 지원되었음

---

## 요 약

본 논문에서는 main gate(MG)와 side gate(SG)를 갖는 double gate(DG) MOSFET를 디자인하고 TCAD를 이용하여 시뮬레이션하였다. MG와 SG의 길이(LMG, LSG)는 각각 50nm, 70nm로 하였으며, MG와 SG의 전압(VMG, VSG)이 각각 1.5V, 3.0V일 때 드레인전압(VD)을 0에서 1.5V까지 변화시키면서 핀치오프특성을 조사하였다. LMG가 아주 작음에도 불구하고, 핀치-오프특성이 아주 좋게 나타났다. 이것은 DG MOSFET의 VMG가 게이트를 제어하는 역할을 잘 수행하여 나노 구조에서 유용한 구조임을 알 수 있었다.

## ABSTRACT

In this paper, we designed double gate(DG) MOSFET structure which has main gate(MG) and two side gates(SG). We have simulated using TCAD simulator. DG MOSFET have the main gate length of 50nm and the side gate length of 70nm. Then, we have investigated the pinch-off characteristics, drain voltage is changed from 0V to 1.5V at VMG=1.5V and VSG=3.0V. In spite of the LMG is very small, we have obtained a very good pinch-off characteristics. Therefore, we know that the DG structure is very useful at nano scale.

## 키워드

double gate, main gate, side gate, TCAD simulator, pinch-off

## 1. 서 론

소자에 인가되는 전압은 작은 값으로 스케일 하기가 어렵기 때문에 전계는 작은 구조에서 증가하는 경향이 있다. 결과적으로 다양한 핫 캐리어 효과들이 단채널 MOSFET에 나타나게 된다. 또한 MOSFET의 문턱전압과 I-V 특성들을 변화게 하는 핫 전자들이 SiO<sub>2</sub>층으로 유기 될 수

있다. 또다른 SCE는 드레인 전압이 증가함에 따라 핀치 오프 이후에 유효채널길이가 감소한다는 것이다. 이 효과는 장채널 MOSFET에서는 그다지 중요하지 않지만, 단채널 MOSFET에서는 유효채널길이가 작아짐에 따라 포화된 I-V 특성에서 Early 효과와 같은 기울기를 갖게 된다 [1]. 그러므로 본 논문에서는 이러한 SCE를 줄이기 위하여 두 개의 게이트를 갖는 MOSFET

를 디자인하였으며, TCAD 시뮬레이터를 이용하여 시뮬레이션하였다. 메인 게이트 길이와 사이드 게이트 길이가 각각 50nm, 70nm인 nMOSFET를 DIOS 툴을 이용하여 디자인하고 시뮬레이션하였다. 본 논문에서는 비록 전체 MOSFET의 길이가 198nm이지만, 길이가 50nm인 메인 게이트가 일반 MOSFET와 같은 역할을 잘 수행할 수 있는지 핀치-오프특성을 조사함으로써 알아볼 것이며, 나아가 이 DG MOSFET의 우수성을 증명하기 위하여 I-V 특성들을 조사할 것이다.

### II. 본 론

본 논문에서는 TCAD 시뮬레이터의 DIOS 툴을 이용하여 DG MOSFET를 디자인하였다 [2-3]. 메인 게이트 길이( $L_{MG}$ )는 50nm이고, 사이드 게이트 길이( $L_{SG}$ )는 70nm이다. 메인 게이트와 Si사이의  $SiO_2$ 층 두께는 3nm이고 사이드 게이트와 Si사이의  $SiO_2$ 층 두께는 4nm로 하였으며, 메인 게이트와 사이드 게이트 사이의  $SiO_2$ 층 두께는 4nm로 디자인하였다. 소스와 드레인 은  $As^+$  ( $5 \times 10^{15}/cm^2$ , 30keV)로 주입시켰고, 채널은  $B$  ( $1 \times 10^{13}/cm^2$ , 70keV)로 주입시켰다. 이때 주입된 이온의 분포는 분석 분포함수나 Monte Carlo 시뮬레이션을 사용하게 되는데 본 논문에서는 Gauss함수를 사용하였다. 표 1은 TCAD의 DIOS를 통해 디자인된 DG MOSFET의 조건들을 보여주고 있다.

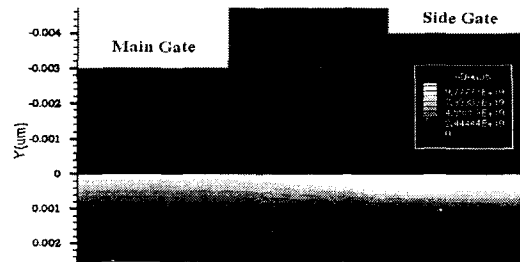
표 1. DG MOSFET의 디자인 조건  
Table. 1 The conditions of DG MOSFET

	Conditions
$L_{MG}, L_{SG}$	50nm, 70nm
$T_{ox(Si-MG)}$	3nm
$T_{ox(Si-SG)}, T_{ox(MG-SG)}$	4nm
S/D Imp.	$5 \times 10^{15}/cm^2$ , 30keV
Channel Imp.	$1 \times 10^{13}/cm^2$ , 70keV
Substrate Con.	$8 \times 10^{17}/cm^3$

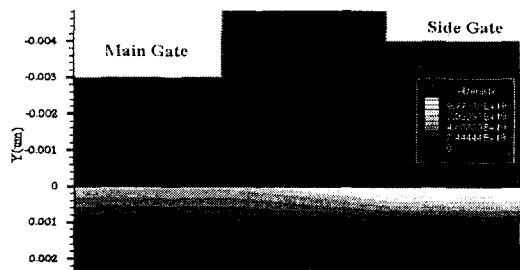
### III. 시뮬레이션 및 결과

본 논문에서는 DG MOSFET의 타당성을 입증하기 위하여 TCAD의 DESSIS툴을 이용, 핀치-오프 특성을 조사하였다. 그림 1은  $V_{MG}=1V$ ,  $V_{SG}=3V$ 의 전압이 인가되고  $V_D$ 가 0.1V에서 1.5V까지 변할 때 MG와 SG사이의 전자농도(electron density)를 보여주고 있다. 그림 1 (a)는  $V_D$ 가 0.1V의 전압이 인가되었을 때 MG와 SG사이의 전자농도가 아주 높음을 보여주고 있다. 즉, 드레인과 소스사이의 전류 양이 많음을 알 수 있다. 그러나  $V_D=1V$ 가 인가될 때 MG 끝단에서 핀치-오프특성이 나타나기 시작했으며,  $V_D=1.5V$ 에서는 급격히 전자농도가 줄어듦을 그림 1 (c)와 (d)를 통해 알 수 있다. 그러므로 본 논문에서 디자인한 DG MOSFET의 MG는 일반적인 MOSFET의 게이트와 같은 역할을 잘 수행할 수 있음을 알 수 있다. 그림 2는 게이트의 역할을 좀더 자세히 조사하기 위하여 게이트 전압의 변화에 따른 MG와 SG사이의 전자농도를 조사하였으며, 그 결과를 그림 2에 나타내었다.

그림 2 (a)에서 알 수 있듯이  $V_{MG}=1.0V$ 일 때는 채널이 거의 형성이 되어 있지 않지만 그림 2 (b)에서는 높은  $V_{MG}$ 로 인하여 그림 1 (d)에서 보인 핀치-오프를 넘어 전류가 많이 흐를 수 있음을 보여주고 있다.



(a)  $V_D=0.1V$



(b)  $V_D=0.5V$

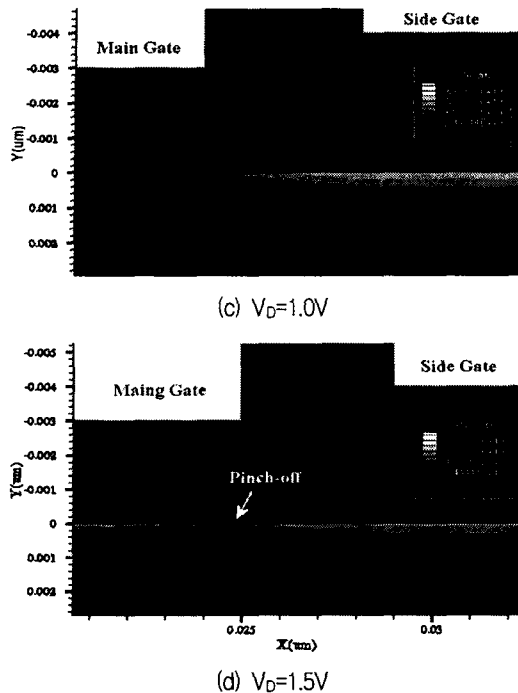


그림 1. DG MOSFET의  $V_D$ 에 따른 전자농도변화  
Fig. 1 Change of electronic density by  $V_D$

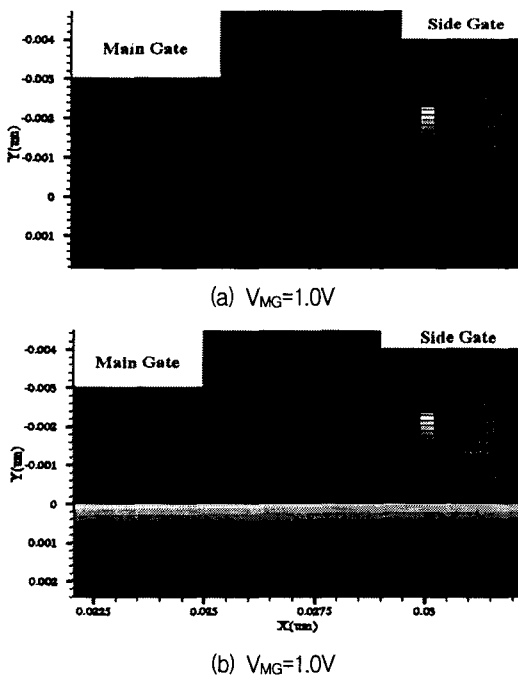


그림 2.  $V_{MG}$ 의 변화에 따른 DG MOSFET의 MG와 SG

사이에서의 전자농도변화

Fig. 2 Change of electronic density between MG and SG of DG MOSFET by  $V_{MG}$

그러므로  $V_{MG}=1.5V$ 일 때 안정된 MOS로서 동작할 수 있음을 알았다.

그림 3은 위에서 언급한 핀치-오프특성을 잘 보여주는  $I_D-V_D$ 특성곡선을 나타내고 있다. 이때  $V_{MG}=V_D=1.5V$ 이고  $V_{SG}=3V$ 로 인가해주었다. 그림 3에서 보여준 것처럼 DG MOSFET는 단채널임에도 불구하고 우수한 동작특성을 갖고 있음을 알 수 있다. 즉, 게이트 길이가 나노 스케일일 때 일반적인 MOS가 갖고 있는 SCE를 현저하게 줄일 수 있음을 알 수 있다.

그림 4는 subthreshold 특성인 S.S.(subthreshold slope)와 SCE중 하나인 DIBL(drain induced barrier lowering)효과를 보여주고 있다. 본 논문에서 구한 DG MOSFET의 S.S.는 일반적인 값( $\sim 70mV/Dec.$ )보다 다소 높게 나오므로 이 값을 줄이는 것이 하나의 과제로 주어졌으며, 소스와 드레인 사이에서 핀치스루 누설 또는 항복현상으로 인한 게이트 제어 역할에 손실을 가하는 DIBL효과는 58mV의 값을 얻었다.

그림 4는 채널에서  $B^+$  도즈주입양에 따른 문턱전압  $V_T$ 의 변화를 보여주고 있다.

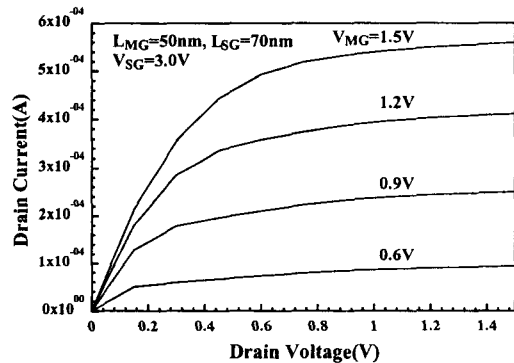


그림 3. DG MOSFET의  $I_D-V_D$ 특성곡선  
Fig. 3 Characteristics of  $I_D-V_D$  for DG MOSFET

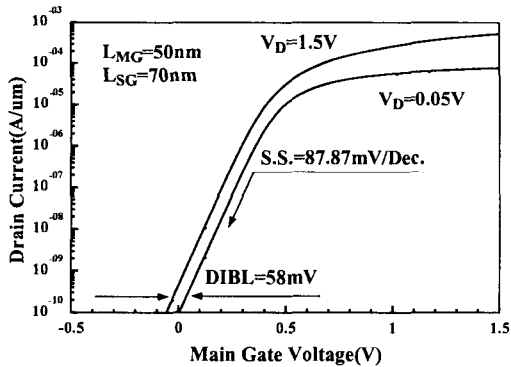


그림 4.  $I_D$ - $V_{MG}$  특성곡선  
Fig. 4 Characteristics of  $I_D$ - $V_{MG}$  for DG MOSFET

p형 기판에 형성된 DG MOSFET의 n채널에서는 채널 도핑농도가 낮음에도 불구하고 문턱전압이 증가영역에서는 보이지 않고 공핍영역에서 서서히 증가하는 모습을 보여주고 있다. 이것은 일반적인 MOSFET에 비해 DG MOSFET는 문턱전압의 제어에 있어서 채널 도핑농도는 그다지 영향을 주고 있지 않음을 보여주고 있다.

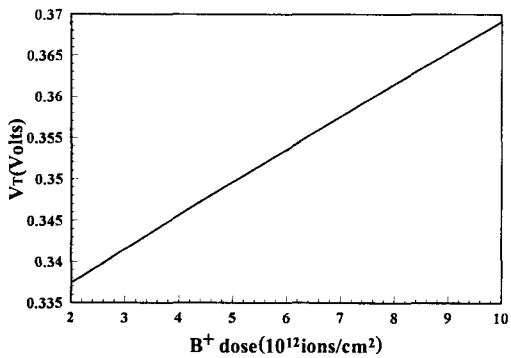


그림 5. 채널 B<sup>+</sup> 도즈 주입양에 따른 문턱전압 V<sub>T</sub>의 변화  
Fig. 5 Change of by channel B<sup>+</sup> dose

표 2는 본 논문에서 디자인된 DG MOSFET에서 추출된 여러 가지 파라미터 값들을 보여주고 있다.

표 2. DG MOSFET의 추출 파라미터 값들  
Table. 2 Values of extracted parameter for DG MOSFET

Parameters	Values
$V_T(\text{lin.})(V)$	0.37
$g_m(\mu A/V)$	116
$KP(\mu A/V^2)$	2.32
S.S.(mV/Dec.)	87.87
$V_{\text{subT}}(V)$	0.46
$I_D(\text{sat.})(\mu A/\mu m)$	80.45

### V. 결 론

본 논문에서는 DG MOSFET가 일반적인 MOSFET의 게이트와 같은 역할을 수행할 수 있는가를 알아보기 위하여 핀치-오프특성을 조사하였다. 결과적으로 사이드 게이트 전압이 3V로 주어지고 메인 게이트 전압이 1.5V로 주어졌을 때 드레인 전압이 점점 증가함에 따라 메인 게이트의 끝단에서 핀치-오프특성이 나타남을 볼 수 있었다. 즉, 나노 스케일에서 DG MOSFET의 메인 게이트가 일반 MOSFET의 게이트와 같이 그 역할을 잘 수행할 수 있으므로 50nm이하에서도 본 논문에서 구한 DG MOSFET가 유용하게 사용되어 질 수 있을 것이다.

### 감사의 글

본 연구는 2002년도 두뇌한국21 사업에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

### 참고문헌

- [1] J. M Early, Effects of space-charge layer widening in junction transistors, Proc. IRE. 40, pp. 1401-1406, 1952.
- [2] Byung Yong Choi, Suk Kang Sung, Byung

Gook Park, and Jung Duk Lee, "70nm NMOSFET Fabrication with 12nm n+-p Junction Using As+2 LOW Energy Implantation", Jpn. 40., pp.2607-2610, 2001.

- [3] Sangyeun Han, Sungil Chang, Jongho Lee, and Hyungcheol Shin, "50nm MOSFET With Electrically Induced Source/Drain (S/D)Extensions", IEEE Trans. Electron Dev. 48, pp. 2058-2064, 2001.

### 저자소개



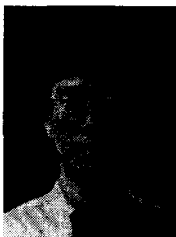
고석웅(Suk-Woong Ko)

1999년 2월 군산대학교 전자공학과 학사졸업

2001년 2월 군산대학교 전자공학과 석사졸업

2002년 현재 군산대학교 전자정보공학부 박사과정중

※관심분야: 반도체 및 통신소자



정학기(Hak-Kee Jung)

1983. 2 아주대학교 전자공학과 졸업(BS)

1985년 2월 연세대학교 대학원 전자공학과 석사졸업(MS)

1990년 8월 연세대학교 대학원 전자공학과 박사과정 졸업(Ph.

D.)

1994년 7월 ~1995년 7월 일본 오사카대학 객원연구원

2002년 현재 군산대학교 전자정보공학부 교수

※관심분야: 반도체 및 통신소자