

Double Gate MOSFET의 전기적 특성분석 및 연구동향

김재홍* · 고석용* · 임규성** · 정학기*

*군산대학교 전자정보공학부

**논산 백제 병원

목 차

I. 서 론

III. 결과 및 고찰

II. 시뮬레이션 조건들

IV. 결 론

I. 서 론

VLSI 회로에서 소자의 속도와 성능을 향상시키기 위해 MOSFET 소자의 크기는 매우 작아지게 되었다 [1]. MOSFET 소자 스케일링에서 short channel effect(SCE)를 억압시키기 위해 매우 얇은 소스/드레인 접합들이 사용되어져 왔다[2]. 그러나, 일반적인 ion implantation이나 solid phase diffusion에 의해 얇은 접합을 생성 하는 것은 매우 어려운 일 이다 [3]. 일반적인 구조의 scaling down 문제점들을 해결 하기 위해 새로운 구조들이 제시되고 있다.

이런 문제들을 해결하기 위해 본 논문에서는 main gate와 side gate를 갖는 double gate(DG) MOSFET 구조를 조사하였다. 이때 너무 긴 side gate는 저항의 증가로 인해 소자의 특성을 감소시키고 너무 짧은 side gate는 SCE 억압에 대한 효과가 작아 지게 된다 [4]. 본 논문에서는 각 side gate 길이 및 전압에 대해 main gate 길이 50nm를 기준으로 DG MOSFET대한 문턱 전압, I-V 특성, 전계 및 임팩트 이온화에 대해 조사하였다. 또한, DG MOSFET를 사용한 로직 응용에 대해 조사하였다.

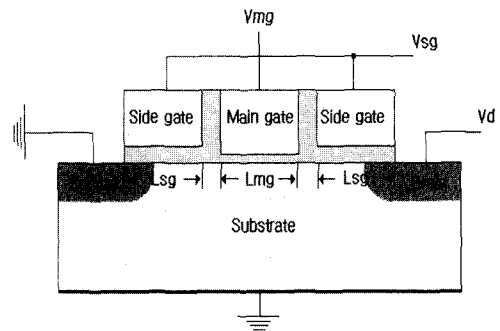


그림 1. Double Gate MOSFET 구조

II. 시뮬레이션 조건들

본 논문에서는 두 개의 side gate를 갖는 DG MOSFET에 대해 조사하였다. 본 논문에서 사용된 소자의 구조는 그림 1에 나타내었다.

그림 1에서 main gate의 산화막 두께는 3nm이고 side gate의 산화막 두께는 4nm이다. 이때, 소스와 드레인 영역에는 As^+ 를 ion implantation($5 \times 10^{15} cm^{-2}$, 30keV) 하였고, 채널 영역에는 BF_2^+ 를 ion implantation($1 \times 10^{13} cm^{-2}$, 70keV) 하였다. 이때 main gate의 길이는 100

nm에서 40nm까지 스케일링하였고, 각 게이트 길이에 대한 side gate 전압은 1V부터 5V까지 변화 시켜 가면서 소자의 특성을 분석하였다. main gate 전압은 1.5V로 일정하게 유지하였다.

본 논문에서는 소자의 특성을 분석하기 위해 문턱 전압의 변화를 고찰하였다. 많은 문턱 전압 추출 방법이 제시되고 연구되어 왔는데 본 논문에서는 드레인 전류 축을 로그 크기로 변환하여 나타낸 그래프에서 최대 기울기와 최소 기울기를 갖는 곳의 접선들이 만나는 지점의 전압을 구하는 SDL(second derivative of the logarithm of drain current) 방법을 사용하여 문턱 전압을 추출하였다[5-7].

III. 결과 및 고찰

그림 2는 main gate 길이 50nm를 갖는 DG MOSFET에서 side gate 전압에 따른 문턱 전압의 변화를 나타낸 그래프이다.

그림에서 볼 수 있듯이 side gate 전압이 2V 보다 커지면 side gate 길이에 관계없이 side gate 전압에 대한 문턱 전압의 변화는 거의 일어나지 않는다.

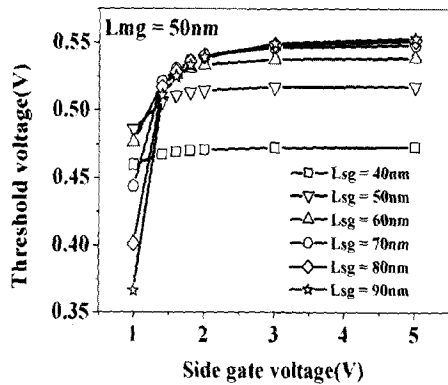


그림 2. side gate 전압에 대한 문턱 전압의 변화

그림 3은 side gate 전압이 3V일 때 DG MOSFET의 side gate 길이에 대한 문턱 전압을 나타낸 것이다. 그림에서 보듯이 side gate 길이가 70nm보다 커지면 side gate 길이에 대한 문턱 전압의 변화가 거의 일어나지 않는 것을 볼 수 있었다. 그림 2와 3에서 볼 수 있듯이 최적의 side gate 길이는 70nm, side

gate 전압은 대략 2V 정도 되는 것을 알 수 있었다.

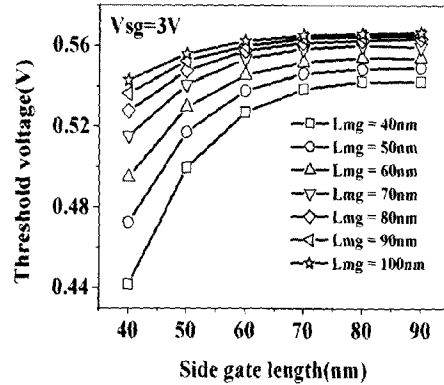


그림 3. side gate 길이에 대한 문턱 전압의 변화

그림 4는 본 논문에서 시뮬레이션 되어진 소자의 main gate에 대한 문턱 전압 roll-off 특성을 나타낸 것이다. 그림에서 볼 수 있듯이 DG MOSFET는 3V의 side gate bias와 70nm 이상의 side gate 길이에서 최소의 roll-off 특성을 나타내는 것을 볼 수 있다. 그림 5는 main gate 50nm에서 side gate 70nm를 갖는 DG MOSFET의 전류-전압 특성 곡선을 나타낸 것이다. 그림에서 $V_d=1.5V$, $V_{sg}=3V$ 그리고 $V_{MC}=1.5V$ 를 인가하였을 경우 포화 전류는 약 $510\mu A/\mu m$ 이다.

그림 6은 side gate 길이 70nm에서의 임팩트 이온화 및 전계 분포를 나타낸 그림이다. 임팩트 이온화는 고온 캐리어에 의한 산란에 의하여 전자-정공 쌍을 생성하는 과정으로서[8] 전계가 높을수록 임팩트 이온화는 높게 나타난다. 그림에서 볼 수 있듯이 소스 영역보다는 드레인 영역에서 임팩트 이온화 및 전계가 높게 나타남을 알 수 있었다.

그림 7은 본 논문에서 사용된 DG MOSFET에 대한 2-입력(main gate와 side gate)함수 출력 특성을 나타낸 그림이다. 이런 특성은 main gate와 side gate의 bias 조건에 따라 매우 좋은 on/off 상태를 나타낼 수 있다는 것을 알 수 있다. 이런 결과들은 다중 입력 gate에 대한 응용이 가능함을 보여주는 것이다.

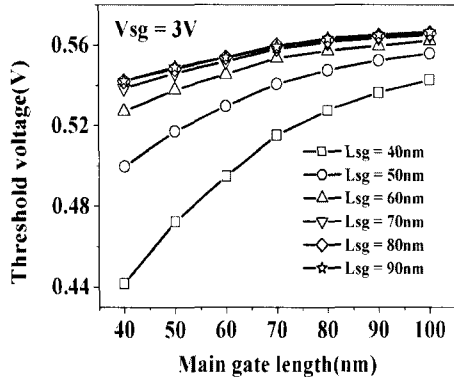


그림 4. main gate 길이에 대한 문턱 전압의 변화

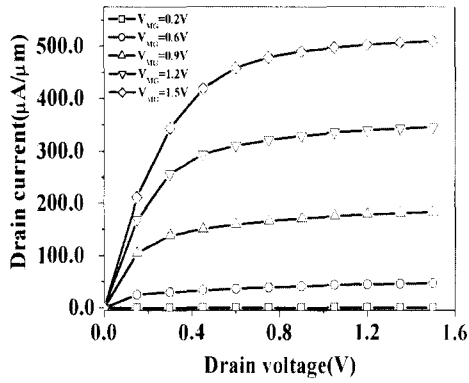
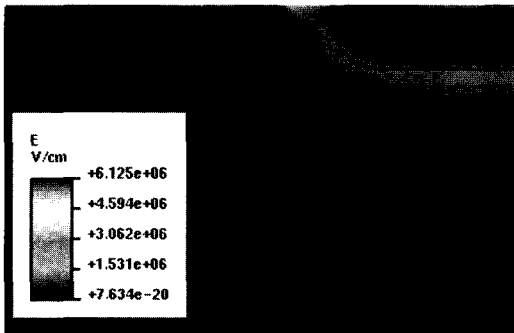
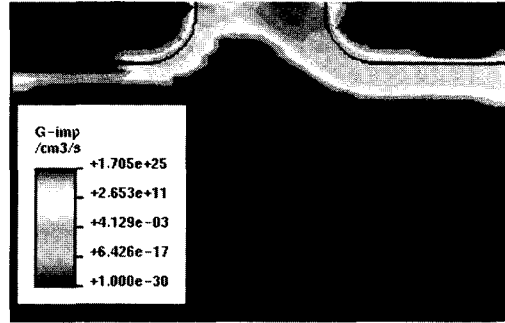


그림 5. 전류-전압 특성 곡선



(a) 전계 분포



(b) 임팩트 이온화 분포

그림 6. side gate 70nm에서의 임팩트 이온화 및 전계 분포

Fig 6. Impact ionization and electric field in the side gate of 70nm

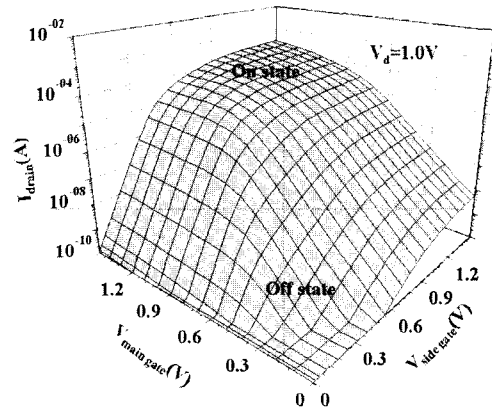


그림 7. 2-입력 NAND 출력 특성

IV. 결론

본 논문에서는 main gate와 두 개의 side gate를 갖는 DG MOSFET 구조에 대한 특성을 조사하였다. side gate는 SCE를 억압시키기 위해 사용되어 졌다. side gate 길이가 70nm 이상 그리고 side gate 전압이 2V 이상일 경우 소자의 특성은 거의 변하지 않는다는 것을 알 수 있었다. 본 논문에서 사용된 소자 구조는 다중 입력 NAND 게이트로 사용되어 질 때 많은 장점을 가질 수 있다는 것을 알 수 있었다.

마지막으로 본 논문에서 시뮬레이션 되어진 결과들은 IC 제조에 있어서 DG MOSFET의 기초 자료로 사용될 수 있을 거라 사료된다.

Monte Carlo Simulation", ICPS-25, pp. 164-165 2000.

참 고 문 헌

- [1] D. G. Borse, S. J. Vaidya and Arun N. Chandorkar, "Study of SILC and Interface Trap Generation Due to High Field Stressing and Its Operating Temperature Dependence in 2.2nm Gate Dielectrics", IEEE Trans. Electron Devices., Vol. 49, No. 4, pp. 699-701, 2002.
- [2] Byung Yong Choi, Suk Kang Sung, Byung Gook Park and Jong Duk Lee, "70nm NMOSFET Fabrication with 12nm n+-p Junctions Using As+2 Low Energy Implantations", Jpn. J. Appl. Phys. Vol.40, No. 4B, pp. 2607-2610, 2001.
- [3] Sangyeon Han, Sungil Chang, Jongho Lee and Hyungchel Shin, "50nm MOSFET With Electrically Induced Source/Drain(S/D) Extensions", IEEE Trans. Electron Devices., Vol. 48, No. 9, pp. 2058-2064, 2001.
- [4] Young Jin Choi, SMDL Annual Report 2002, "A 50nm nMOSFET with Side-Gates for Virtual Source/Drain Extension", 2002.
- [5] Kazuo Terada, Katsuhiko Nishiyama, Kei Ichi Hatanaka, "Comparison of MOSFET threshold voltage extraction methods", Solid-States Electronics, Vol. 45, pp. 35-40, 2001.
- [6] Morikazu Tsuno, Masato Suga, Masayasu Tanaka, Kentaro Shibahara, Mitiko Miura, Mattausch and Masataka Hirose, "Physically-Based Threshold Voltage Determination for MOSFET's of All Gate Lengths", IEEE Trans. Electron Devices., Vol. 46, No. 7, pp. 1429-1434, 1999.
- [7] Jhung-soo Jhung, Kwang-gyun Jang, Sung-taik Shim and Hak-kee Jung, "Investigation of Threshold Voltage in MOSFET with Nano-Channel Length", proceeding of ISIC-2001, pp. 230-233, 2001.
- [8] C.K. You, S.W. Ko, H.K. Jung, K. Taniguch, "A Study on Temperature and Field Dependent Impact ionization Coefficient for Silicon Using

저 자 소 개



김 재 흥

2001년 2월 군산대학교 전자공학과 졸업
 2001년 3월~군산대학교 대학원 전자정보공학부 석사 과정 중
 ※관심분야 : 반도체 및 통신 소자



고 석 응

1999년 2월 군산대학교 전자공학과 졸업
 2001년 2월 군산대학교 대학원 전자공학과 석사 졸업
 2001년 3월~군산대학교 대학원 전자정보공학부 박사 과정 중

※관심분야 : 반도체 및 통신 소자



임 규 성

2001년 3월~군산대학교 전자정보공학부 대학원 박사 과정 중
 2002년 6월 현재 논산 백제병원 기획실장

※관심분야 : DDR(Direct digital radiography) detector의 개발



정 학 기

1983년 2월 아주대학교 전자공학과 졸업(BS)
 1985년 2월 연세대학교 대학원 전자공학과 석사졸업(MS)
 1990년 8월 연세대학교 대학원 전자공학과 박사과정 졸업(Ph.D)

1994년 7월~1995년 7월 일본 오사카대학 객원 연구원
 2001년 2월~한국해양정보통신학회 편집이사
 2002년 6월 현재 군산대학교 전자정보공학부 교수
 ※관심분야 : 반도체 및 통신 소자