

## 400MHz 광대역 디지털 자기상관분광기 설계연구<sup>†</sup>

이창훈<sup>1,†</sup>, 김광동<sup>1</sup>, 한석태<sup>1</sup>, 김태성<sup>1</sup>, 최한규<sup>2</sup>, 변도영<sup>2</sup>, 구본철<sup>2</sup>

<sup>1</sup>한국천문연구원 대덕전파천문대

<sup>2</sup>서울대학교 전파천문대

## A DESIGN STUDY OF THE 400MHZ WIDE-BAND DIGITAL AUTOCORRELATION SPECTROMETER<sup>†</sup>

C. H. Lee<sup>1,†</sup>, K. D. Kim<sup>1</sup>, S. T. Han<sup>1</sup>, T. S. Kim<sup>1</sup>, H. K. Choi<sup>2</sup>, D. Y. Byun<sup>2</sup>, B. C. Koo<sup>2</sup>

<sup>1</sup>Korea Astronomy Observatory TRAO

<sup>2</sup>Seoul National University SRAO

E-mail: chlee@trao.re.kr

(Received September 26, 2002; Accepted November 18, 2002)

### 요 약

본 연구에서는 전파천문 관측연구 분야에서 외부은하의 스펙트럼 선 관측연구와 특정 전파원의 조사 관측을 위해서 필요한 광대역 디지털 자기상관분광기 시스템을 연구 개발하기 위한 설계연구를 수행하였다. 본 연구에서 설계되는 자기상관분광기는 기존의 시스템과는 달리 신호 입력에 대한 입력전력의 동적 범위와 입력 주파수 범위를 확대하여 어떤 시스템의 전파 분광기로도 자유롭게 사용할 수 있도록 하였다. 또한 신호의 샘플링 방식 또한 일반의 신호 검출기와는 다르게 aliasing 샘플링 방식을 사용하여, 대역 손실을 최소화하고 있으며, 상관기를 통과한 신호에 대해서는 전용의 DSP소자를 이용하여, 적분 및 푸리에 변환 등을 하드웨어적으로 처리하도록 하여 그 신호 처리속도를 빠르게 설계하여, 최근에 많은 연구가 진행되는 우주전파 관측연구인 “On the fly” 방식 등의 측정 방식을 지원할 수 있도록 설계하였다.

### ABSTRACT

In this paper, we performed the design study of a wide-band digital autocorrelation spectrometer for the observation study of an extra-galaxy's spectral lines and the survey research of the special radio sources in field of the radio astronomy observational research. The autocorrelation spectrometer designed in this paper can be used to their spectrometer of any system because this spectrometer has a wide dynamic power and frequency range properties. In this system we use the aliasing sampling method to minimize the band loss. For the output signal of the correlator we can increase the signal processing speed using by a special DSP chip, the integration and the FFT using hardware, so this spectrometer can support the newest developed technique for the radio astronomy observation so called “On the fly” method.

*Keywords:* autocorrelation spectrometer, digital study, radio astronomy

<sup>†</sup>이 논문은 한국과학재단 기초과학연구사업(R01-2000-000-00024-0)비로 수행된 것임

<sup>‡</sup>corresponding author

## 1. 서 론

전파천문 관측연구에 사용되는 우주 전파 스펙트럼 검출기로서 자기 상관기는 필터뱅크나 AOS (Acousto-Optical Spectrometer)와 비교해서 이제까지는 수 십 KHz 정도의 고 분해능에만 적용하여 왔으나 그 성능의 우수성, 관측연구의 효율성과 상관기 칩 및 고속 샘플링 기술 등이 발전됨으로서 최근에는 선진 외국의 전파천문대에서 광대역의 자기상관분광기를 설계 제작하는 연구가 진행되고 있다(Escoffier 1998, Burgess 1999).

본 연구의 목적은 이러한 광대역의 자기상관 분광기를 국내에서 설계하여 그 제작 가능성을 확인하는데 있다. 이러한 분광기의 성능을 평가하는 데 있어 무엇보다도 중요한 요인은 그 시스템의 가능한 신호 처리 대역폭이다. 이는 천문학 연구라는 특수한 목적에 기인하는 것으로, 보다 멀리 있는 천체일수록 도플러 편이에 의해 각종의 전파 신호들이 스펙트럼 상에서 멀리 분포하기 때문이다. 따라서 보다 깊은 우주에 대해 연구하고자 할 경우, 신호 검출기의 대역폭은 매우 중요해지게 된다. 그러나 주어진 입력 신호를 디지털 방식으로 처리할 경우, 어떤 시스템이 처리 가능한 신호의 대역폭은 그 시스템의 구동 클럭의 절반으로 제한 받게 된다(Canaris & Whitaker 1990). 따라서 신호의 대역폭을 늘리기 위해서는 시스템의 동작 속도를 증가시켜 주어야 한다(Bos 1991). 물론 최근 반도체 제조 기술의 급속한 진보가 있었음에도, 아직은 몇몇 종류의 일부 칩에서만 대략 2GHz 미만의 동작 속도를 가지고 있으며, 가격적 측면에 있어서도 매우 높게 된다(Timoc, Tran, & Wongso 1992).

본 연구에서는 기저 대역 변환기(Base Band Converter), 총 전력 측정기(Total Power Detector), 고속 샘플러(High Speed Sampler), 메모리(Memory), 상관기(Correlator), 그리고 제어기(Controller) 등으로 구성되는 자기상관분광기 시스템을 설계하였다. 본 연구에서 설계된 자기상관분광기의 가장 큰 특징은 다른 외국에서 제작된 시스템과는 달리 높은 입력신호의 자유도를 갖도록 했다는 점이다. 즉 시스템의 입력신호의 동적 범위를 전력 레벨은 +30dBm~-150dBm으로, 주파수 범위는 0.5~3GHz 사이에서 자유롭게 중심 주파수를 선택할 수 있도록 하여, 어떤 시스템의 전파분광기 시스템으로도 사용이 가능하도록 하였다. 주파수 채널 수는 1024채널로 전체 대역폭을 400MHz 까지 커버할 수 있도록 하였다. 또한 자체적으로 CW 신호원과 백색 잡음원을 갖도록 하여, 총 전력 측정기를 이용하여, 정밀한 눈금조정을 실시간으로 가능하도록 설계하였다.

## 2. 디지털 자기상관기의 설계

### 2.1 디지털 상관기 이론

상관함수는 일반적으로 시간 영역에서 두 입력 신호의 correlation을 측정하는 것을 의미한다. 즉, 기준신호에 대해 일정한 거리, 시간, 혹은 속도만큼 지연된 신호와의 상호 연관성을 수학적 지표로 나타낸 것이다. 즉, 두 개의 랜덤 프로세스  $X(t)$ 와  $Y(t)$ 를 비교하기 위해서는 두 신호 혹은 프로세스의 성질을 가장 잘 나타내주는 cross 상관함수  $R_{XY}$ 를 도입하는 것이 일반적이다. 이 상관함수는

$$\begin{aligned} R_{XY}(\tau) &= E[X(t)Y(t-\tau)], \\ &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} xy f_{X(t), Y(t-\tau)}(x, y) dx dy \end{aligned} \quad (1)$$

으로 표현되는 기대값이다(Hinderks 1999). 여기서  $\tau$ 는 time lag이다. 이러한 결과가 -1과 1 사이의

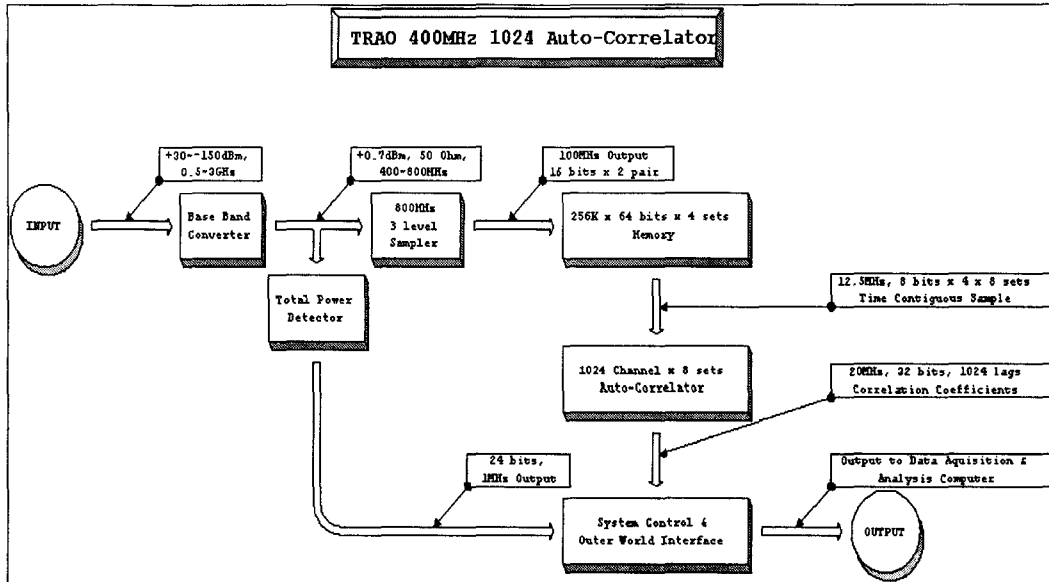


그림 1. 광대역 상관기 시스템의 구성.

값을 갖도록 규격화하기 위해서 상관계수  $\rho(\tau)$ 를

$$\rho(\tau) = \frac{R_{XY}(\tau)}{\sqrt{\sigma_X^2 \sigma_Y^2}} \quad (2)$$

으로 도입할 수 있다. 여기서  $\sigma^2$ 은 variance이다. 이 식에서  $\rho$ 가 1인 프로세스를 correlated라 하고, 0인 경우를 uncorrelated라 하며, -1인 경우를 anti-correlated라 정의한다.

이렇게 정의되는 상관함수에서  $X(t)$ 와  $Y(t)$ 가 같은 프로세스라 하면, 이때의  $R_{XX}(\tau)$ 로 표시되는 상관함수를 그 프로세스의 자기상관함수라고 부른다. 이 자기상관함수를 푸리에 변환하면 그 프로세스의 power spectral density를 얻게된다. 이러한 상관함수를 하드웨어적으로 구현하기 위한 노력은 1960년대 중반부터 연구되었으나, 실제로 상업용으로 개발된 것은 1972년 PMOS(Positive channel Metal Oxide Silicon) 기술을 사용하여 12개의 상관관계를 구현하는 칩이 개발된 후부터 본격적인 연구가 진행되었다. 1980년대에는 VLSI 기술의 발전으로 1984년 하나의 실리콘 칩에 160개의 상관함수를 1MHz의 속도로 구현되는 칩을 개발하였다. 90년대에 들어서는 집적기술과 부품들의 성능이 향상되어 빠른 속도와 더욱 향상된 분해능을 제공하는 상관기 칩들이 개발되었다.

이러한 상관기 칩의 기술발전으로부터 최근 대부분의 전파천문대에서 가격 면에서 저렴하고 광대역과 고분해능의 성능을 갖고 있으면서, 기존의 필터뱅크에서의 문제점인 안정성 문제가 없는 상관기 형태의 분광 시스템을 개발하여 기존의 필터뱅크 형태의 전파분광기들을 교체하여 사용하고 있다(Cooper 1976).

표 1. 광대역 1024 채널 디지털 자기상관기의 요구 성능

<b>일반적 고려사항</b>	
<ul style="list-style-type: none"> <li>• 1024채널 전력 스펙트럼 밀도의 실시간 계산</li> <li>• Ethernet을 통한 원격 제어 지원</li> <li>• 단일 입력 단일 대역 모드 지원</li> <li>• Parallel, Serial, External VGA 지원</li> <li>• Floppy, Hard Disk Drive 지원</li> </ul>	
<b>주파수 특경</b>	
주파수 범위	0.5 ~ 3GHz (중심주파수 자유 설정 및 고정 가능)
실시간 신호 처리 대역폭	400MHz 단일 모드
주파수 채널 수	1024 채널
기준 신호원 안정도	0.01ppm
대역 손실률	최대 10%
분해능 정밀도	10ppm
<b>전력 특경</b>	
입력 활성 범위	최대 총 85dB
최대 허용 입력 레벨	+30dBm
1dB 이득 제한 (1차 미서 전단 총 전력)	+5dBm typical
전력 측정 오차	0.01dB
최대 감출 레벨	-150dBm

## 2.2 자기상관분광기의 구성

일반적으로 자기상관분광 시스템은 총 6개의 모듈로 구성된다. 즉, 우주전파 수신기로부터의 IF(Intermediate Frequency) 신호를 상관기의 입력 범위에 적합하도록 신호를 바꾸어주는 IF 프로세서, 입력 전력을 모니터하여 제어하기 위한 총 전력 측정기, 아날로그 신호를 이산 신호로 변환 시켜 주고, 광대역의 대역폭을 커버하기 위해 필요한 고속 샘플러, 샘플러로부터의 입력신호를 다중화하고 이를 임시로 저장한 후, 여러 개의 신호 세트로 각 상관기 칩에 재분배하는 역할을 하는 메모리 보드, 입력신호의 상관함수를 구하기 위한 상관기 보드, 그리고 앞에 언급된 모든 모듈의 제어를 담당하는 제어기로 구성된다.

그림 1에서 알 수 있는 바와 같이, 본 연구에서 설계된 광대역 상관기 시스템 역시 총 6개의 모듈로 구성하였다. 즉, 기저 대역 변환기, 총 전력 측정기, 고속 샘플러, 메모리, 상관기, 그리고 제어기이다.

본 연구에서 구성한 자기상관분광 시스템의 가장 큰 특징은 높은 입력신호의 자유도를 갖도록 했다는 것이다. 즉 시스템의 입력 활성 범위는 +30dBm에서 -150dBm이며, 입력 주파수 범위도 0.5에서 3GHz까지 가변할 수 있어, 어떤 시스템의 분광기로도 사용이 가능하다는 특징을 갖는다. 또한 자체적으로 CW 신호원과 백색 잡음원을 가지고 있으며, 총 전력 측정기를 이용하여, 매우 정밀한 눈금조정이 실시간으로 가능하다는 특징을 가지고 있다. 신호의 샘플링 방식 또한 일반의 신호 검출기와는 다르게 Aliasing 샘플링 방식을 사용하여, 대역 손실을 최소화하고 있으며, 상관기를 통과한 신호에 대해서는 전용의 DSP소자를 이용하여, 적분 및 푸리에 변환 등을 고속으로 지원하여, 신호 처리속도를 빠르게 하여 최신의 “On the fly” 방식 등의 측정 방식을 지원할 수 있도록 하고 있다. 이와 같은 구성을 통하여 정해진 광대역 상관기는 표 1에 주어진 바와 같은 성능을 갖도록 하였다.

## 2.3 기저대역 변환기

기저대역 변환기의 주된 역할은 입력 RF 신호를 기저대역의 신호로 바꾸어 주는 것이다. 이 변환기는 사용자가 중심주파수를 자유롭게 선택하고, 또한 넓은 입력 전력의 허용범위를 갖도록 설계

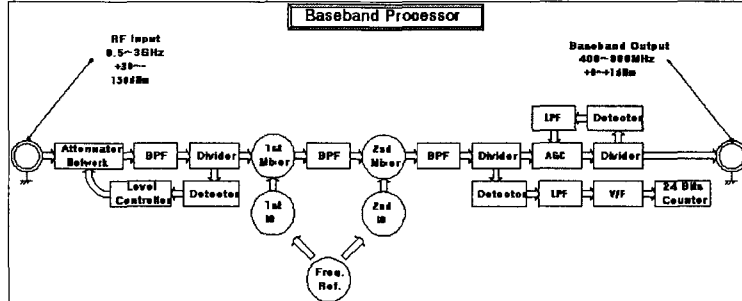


그림 2. 기저대역 프로세서의 블록선도.

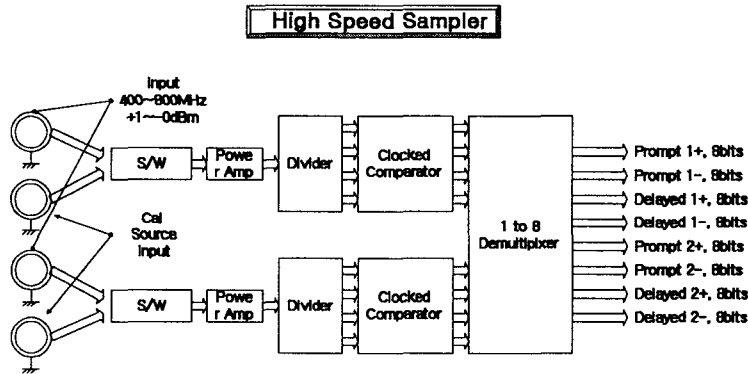


그림 3. 3-레벨 2 입력 4 드라이브 고속 샘플러 블록선도.

하여 이 시스템을 어떤 시스템에도 재설계와 재구성 없이도 Back-end IF 프로세서로 사용할 수 있도록 하였다. 그림 2에 앞으로 제작될 기저대역 변환기의 블록선도를 보였다.

그림 2에서 알 수 있듯이 기저대역 프로세서는 레벨 제어기, 주파수 변환기, 이득 제어기, 및 전체 전력 검출기의 4개 부분으로 구성될 것이다. 레벨 제어기는 초단 믹서의 전단에 위치하게되는 입력 전력의 레벨을 제어하게 되며, 그 출력은 표 1에서 설정한 입력 사용범위인 +30 ~ -150dBm 사이의 값으로 제어되도록 설계하였다. 주파수 변환기 부분은 2개의 믹서, 몇 개의 대역통과 필터와 증폭기 등으로 구성된다. 그 역할은 입력 RF 신호를 400 ~ 800MHz 범위의 기저대역 신호로 바꾸어 주는 것이다. 첫 번째 LO는 0.5GHz에서 3GHz 까지 가변 할 수 있도록 하고, LO 주파수는 0.01ppm의 정확도를 갖는 PLL 주파수원을, 그리고 두 번째 LO는 고정된 발진기를 사용할 예정이다. 이득 제어기 부분은 AGC(Auto Gain Controller)와 같은 가변 이득 증폭기를 사용하여 그 기능을 할 수 있도록 설계하였다. 그리고 전체 전력 검출기는 Square-law 검출기, 저대역 통과 필터, V/F 카운터 및 24bits 카운터로 구성하고 그들을 설계 하였다. 물론 이러한 부분의 동작은 시스템과 같이 동기화되도록 해야한다.

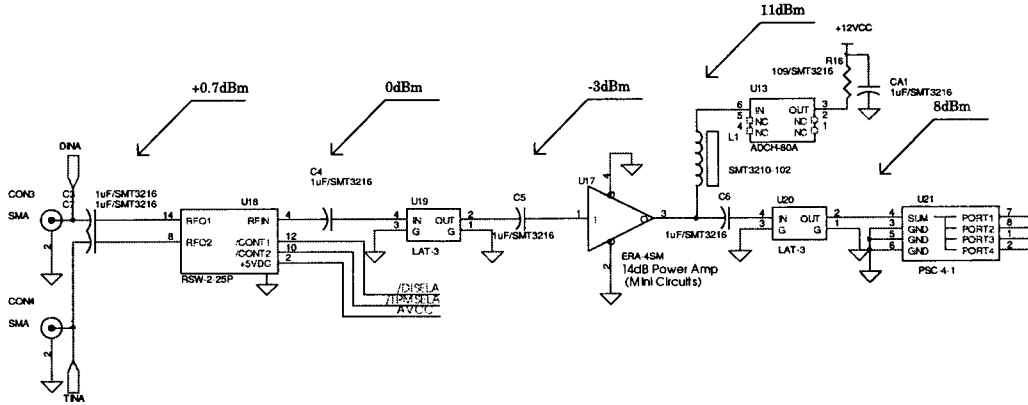


그림 4. 고속 샘플러 고주파 처리기 설계도.

### 2.4 고속 샘플러

최근 상관기는 3-레벨 연산 방식을 채택하는 것이 일반화되어 있다. 이는 물론 진폭 정밀도에 있어서는 일정한 오차를 내포하게 됨에도 불구하고 측정 결과로 주어지는 스펙트럼의 세기에는 직접적 영향을 미치지 않으며, 더구나 기준 신호원과 측정 신호원의 차이를 통해 스펙트럼을 획득하는 천문 관측의 경우 그 영향은 매우 적다는 점에 기인한다. 또한 레벨 수를 더 늘릴 경우, 시스템이 방대해지는 것에 비해 얻는 이득이 상대적으로 적다는 점도 3-레벨 연산 방식이 보편화되는 가장 큰 이유이기도 하다. 따라서 본 연구에서는 가장 이론적 분석이 잘되어 있을 뿐 아니라 최적의 시스템을 구성할 수 있는 3-레벨 연산 방식을 채택하였다. 그림 3은 설계되어진 샘플러의 기본적 구성을 보여준다.

그림 3에서 보듯이 설계된 샘플러는 2개의 측정 신호원 입력포트와 시스템 눈금 조정을 위한 2개의 기준 신호원 입력포트를 갖도록 하였다. 또한 최대 800MHz로 샘플링하여 64비트의 출력 라인으로 다중 전송하도록 이를 통하여 최대 2개의 상관기 보드까지도 제어할 수 있도록 하였다. 그리고 입력신호의 전체전력 범위는 약  $3.5\sigma$ , 그리고 threshold 레벨은 약  $\pm 0.6\sigma$  정도가 될 것이다. 샘플러 보드는 크게 고주파 처리기, 컴퍼레이터, Threshold 발생기, 신호 다중화기, clock 분배기 및 전원 입력기로 구성하였다. 자기 상관기의 경우 상관 계수의 계산을 위해 두 개의 동일한 신호 입력을 필요로 한다. 또한 아날로그 신호를 2비트, 3-레벨 디지털 방식으로 양자화하기 위해서는 2개의 동일한 Comparator를 필요로 하며 따라서 역시 2개의 동일 신호 입력을 필요로 한다. 따라서 고주파 처리기는 입력 신호를 총 4개의 동일한 신호로 분배해주는 역할을 수행하게 된다. 그러나 이 과정에서 필연적으로 신호의 삽입 손실이 발생하게 되며, 따라서 이를 보상하기 위한 전력 증폭기가 요구된다. 그림 4에서 보면, 고주파 처리기에는 두 개의 입력 신호 중에서 하나를 선택하기 위한 SPDT 스위치와 신호의 다중처리를 위한 1-to-4 Power Divider, 그리고 삽입 손실을 보상하기 위한 14dB Power Amp로 구성되어 있다. 이로써 약 0dBm 백색 잡음 입력 신호를 약 2dBm의 동일한 4개의 신호로 분배해줌으로써 총 4개의 Comparator를 구동하게 되고 이는 2쌍의 상관기 입력 신호가 된다.

고주파 처리기에서 분배되어진 신호는 신호의 역류 및 과도현상을 방지하기 위해서 버퍼용 증폭기

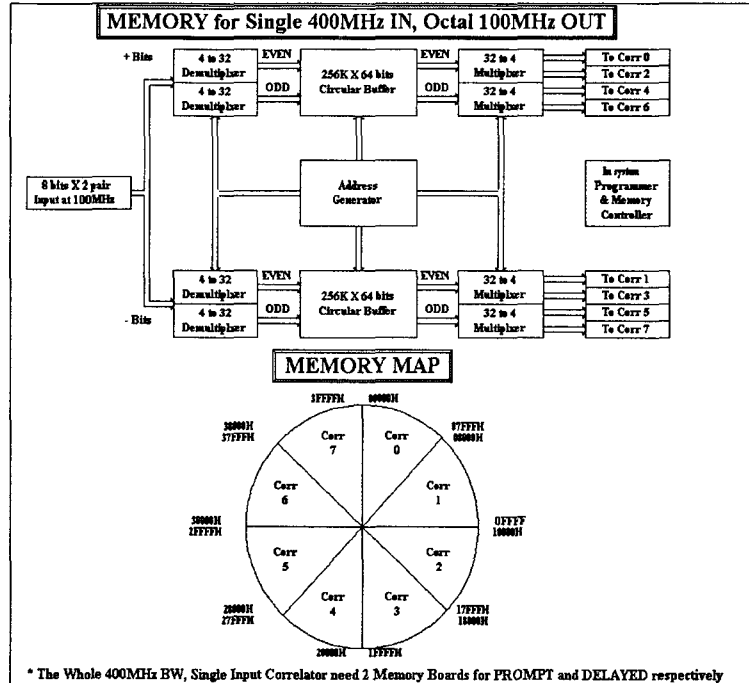


그림 5. 메모리 보드의 개념도.

표 2. 고속 샘플러의 부호화 2 비트, 3-레벨 Coding 방식.

	Bit 1	Bit 0
-1	1	0
0	0	0
1	0	1
Not Allowed	1	1

인 MAX4201을 사용하였으며, 이 신호가 MAXIM사의 고속 ECL Clocked-Comparator인 MAX906에 입력되도록 하였다. MAX906은 듀얼 형식으로서 하나의 칩에 두 개의 Comparator가 내장되어 있어 비반전 입력 신호의 양 Threshold와 반전 입력의 음 Threshold를 상호 비교함으로써 효과적으로 2-비트 3-레벨 샘플링을 수행할 것이다. 이러한 구성을 통하여 주어진 입력 신호는 다음의 표 2와 같이 코딩되어진다. 즉 비반전 입력 신호는 양의 Threshold보다 클 경우에만 1이 되고 이는 출력 신호의 0번째 비트가 되며, 반전 입력 신호는 음의 Threshold보다 작을 경우에만 1이 되고 이는 출력 신호의 1번째 비트가 된다. 이로써 부호화 2비트, 3-레벨 샘플링을 수행하게 된다.

Comparator가 동작하기 위해서는 입력 신호뿐 아니라 비교를 위한 DC 기준 신호 입력을 필요로 한다. 이러한 기준 신호를 발생시키기 위한 회로는 고정 전압 Regulator인 MAX6125와 범용 OP-Amp인 TL084를 사용하여 설계하였다. 그리고 설계된 Threshold 회로 혹은 외부의 별도 Threshold 발생기로부터의 전압을 사용하여 약 6.25dB의 범위 내에서 입력 신호 전력의 변화를 담당할 수 있도록

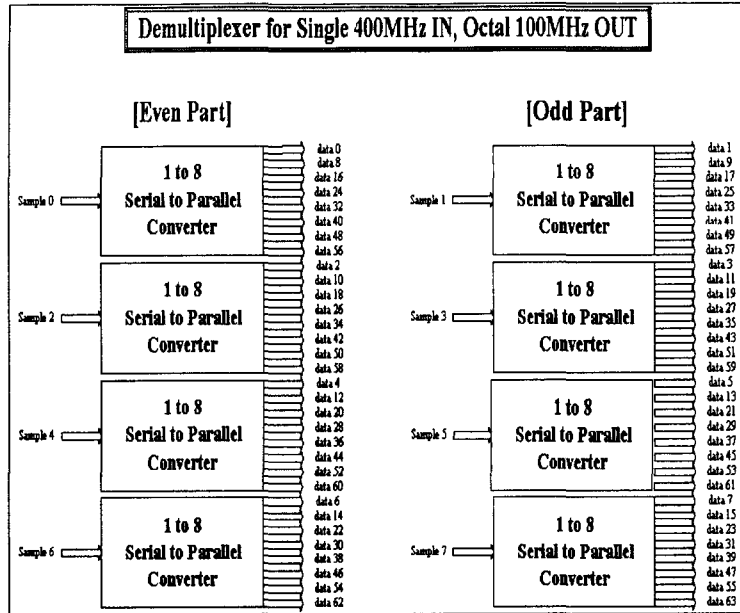


그림 6. 신호 변조기의 구성도.

록 하였다.

다중화 전송기 회로는 샘플링 되어진 자료를 디지털 방식으로 신호 처리를 하기 위해 약 2Gbps 이상의 초고속 디지털 신호 전송 특성을 갖는 다중화 IC인 SYNERGY사의 SY100E445를 사용하여 설계하였다. 즉, 이 회로에서는 800MHz로 샘플링 되어진 자료는 100MHz로 출력되어지는 구조다중화 전송기를 거쳐 8배로 다중화되어 출력되게 된다. 실제에 있어서 특이한 점은 하위 칩과 상위 칩에 대한 클럭 입력을 서로 반대로 한 점이다. 이는 단일 칩 모드가 아닌 이중 칩 모드에서 문제를 일으키는 동기 문제를 해결하기 위한 것이다. 실제로 동기가 이루어지지 않을 경우, 이중 칩 모드에서는 최대 입력 신호의 주파수가 다소 낮아질 우려가 있다. 이를 해결하기 위한 대책으로 두 칩에 대한 클럭 입력을 상호 반대로 함으로서 신호의 전송 지연 시간에 따른 발진 현상과 이로 인한 시스템 성능 저하를 방지할 수 있을 뿐 아니라, 두 칩 사이의 동기 문제 또한 효과적으로 해결할 수 있게 된다.

### 2.5 메모리 보드 설계

광대역 상관기를 구성하는 핵심기술은 샘플링 된 신호를 다중 전송하여 효율적으로 재분배하는 것이다. 이를 위해서는 신호의 임시 저장소가 필요하게 되고 이것이 메모리 보드의 가장 중요한 역할이 된다. 즉 메모리 보드의 역할은 주어진 입력 신호를 다중화하고, 이를 임시 저장한 후, 시간적으로 연속적인 세트의 신호로 상관기 칩에 재분배하는 것이다.

그림 5는 이러한 메모리 보드의 구축을 위한 기본적인 개념도를 보여준다. 그림 5에서 보듯이 메모리 보드는 크게 네 가지 구성 부분으로 나누어 설계를 하였다. 즉, 환형 메모리 버퍼(Circular Memory Buffer), 신호 변조기(Demultiplexer), 신호 복조기(Multiplexer), 그리고 주소 발생기(Address





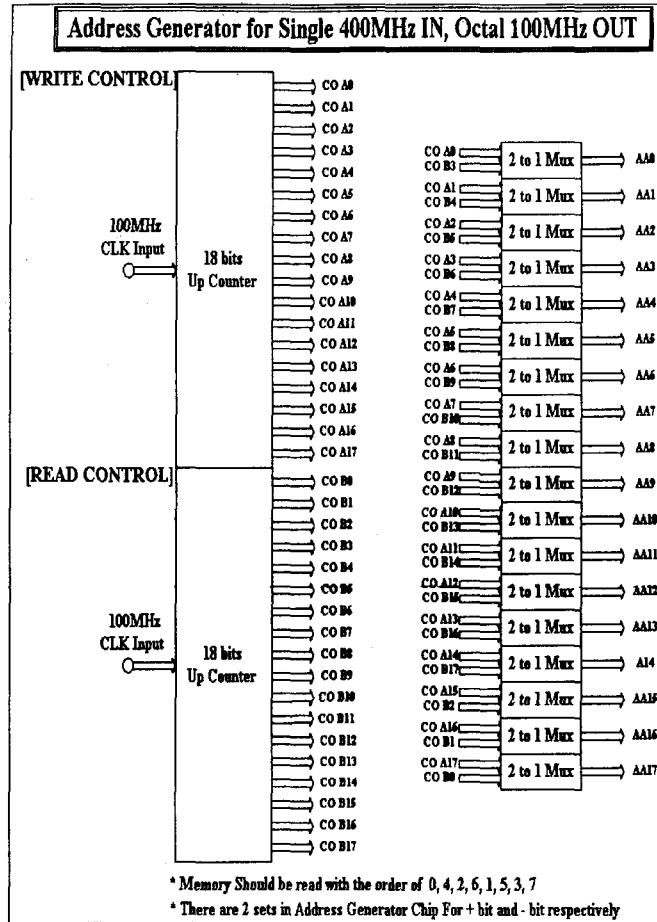


그림 8. 주소 발생기의 구성도.

순차적으로 환형 메모리 버퍼에 기록되며, 메모리 내부의 각 8개로 나뉘어진 부분은 2.62144ms 분량의 샘플을 보유하게 된다. 따라서 각 8개의 상관기 칩은 100MHz의 속도로 2.62144ms 분량의 샘플에 대해 1024개의 상관함수를 계산하게 되고, 그 계산에 소요되는 시간은 800MHz 샘플러가 20.97152ms 분량의 샘플을 획득하는 데 걸리는 시간과 정확히 일치하게 된다. 또한 실시간 동작이 보장되어야 하므로, 메모리 버퍼에 쓰는 동작과 메모리 버퍼를 읽는 동작이 반복적으로 25MHz속도로 단일 자료 버스를 공유하도록 설계하였다.

(2) 신호 변조기

다음으로 신호 변조기는 비교적 단순한 기능을 수행하는 부분으로 샘플러에 의해 8비트로 다중 전송된 신호를 단지 시간적으로 연속인 총 64비트로 다중화하는 역할을 수행한다. 그림 6은 이러한 신호 변조기의 구성도를 보여준다. 그림에서 보듯이 신호 변조기는 입력 신호에 대해 이후 신호의 원활한 재

분배를 위해 짝수 비트와 홀수 비트를 나누어 처리하도록 되어 있으며, 각 짝수 비트와 홀수 비트에 대해 1 대 8의 직렬/병렬 변환기 네 개씩을 가지고 있는 두 개의 Xilinx사의 FPGA(Field-Programmable Gate Arrays) 칩인 Spartan XCS05-LC84-04 칩으로 설계하였다(Synopsys 1999, Xilinx 2000). 또한 각 칩의 내부에는 1/8 클럭 계수기와 32비트 3상 출력 플립플롭 버퍼를 프로그램 하였다.

### (3) 신호 복조기

신호 복조기는 위에서 기술한 신호 변조기보다는 조금 복잡한 구조를 가지게 된다. 그 원인은 1회의 동작으로 읽어오는 64비트의 신호가 1개의 상관기 칩에 할당됨으로 8번의 읽기 동작이 완료되어야 비로소 8개의 상관기 칩에 신호를 분배할 수 있는 메모리 보드의 특징에서 기인하는 것이다. 즉, 신호 복조기의 주된 임무는 이러한 신호의 재분배 역할인 것이다. 그림 7은 이러한 신호 복조기의 구성도를 보여준다. 그림에서 알 수 있는 바와 같이 신호 복조기는 2개의 칩으로 구성하였으며, 각 칩에는 짝수 비트와 홀수 비트가 할당된다. 각 칩에 입력된 신호는 쉬프트 레지스터 형태의 버스 전환기를 통해, 8개의 32비트 병렬/직렬 변환기에 입력된다. 이중 각 짝수, 홀수 번째, 상관기 출력용 자료를 두 칩은 상호 교환한 후, 100MHz의 속도로 직렬 자료를 출력하게 된다. 본 연구에서는 상기의 기능을 구현하기 위해, Xilinx사의 Spartan XCS10-LC84-4 칩 두 개를 사용하도록 하였으며, 하나의 메모리 보드 안에는 각 양수 비트와 음수 비트의 두 개 처리 루틴이 존재함으로 총 4개의 칩이 필요하게 된다.

### (4) 주소 발생기

주소 발생기의 역할은 메모리 보드에서 필요로 하는 각종 제어 신호 즉, 메모리 동기 신호와, 리셋신호, 그리고 읽기, 쓰기 스트로브 신호와 주소를 발생시키는 것을 주임무로 한다. 주소 발생기는 몇 개의 카운터 회로로 구성되며, 이러한 주소 발생기의 전체적인 구성은 그림 8과 같이 하였다. 그림에서 보듯이 주소 발생기는 2개의 18비트 상향 카운터와 2:1의 다중 전송기로 구성하였다. 이는 Xilinx사의 Spartan XCS10-LC84-4 칩 한 개를 사용하여 구현이 가능하다.

## 2.6 상관기 보드

상관기부는 주어진 입력 신호에 대해 자기 상관 계수 및 교차 상관 계수를 구하기 위한 것으로서 본 설계에서는 미국 New Mexico 대학 MRC(Microelectronics Research Center)의 Canaris & Whitaker(1990)에 의해 개발된 QUAIN T ASIC(Application Specific Integrated Circuit) 칩을 사용하였다. 동작 속도가 최대 100MHz인 QUAIN T 칩의 성능과 특징을 아래에 나열하였으며, 그 핀 배치를 그림 9에 보였다.

- Auto correlation or Cross correlation
- 1024 lags
- 100 MSPS
- Double Nyquist sampling supported
- 3-level or 2-level arithmetic supported(+1, 0, -1; +1, -1; +1, 0)
- 33bit accumulator stages for 3 level operation
- 32bit accumulator stages for 2 level operation

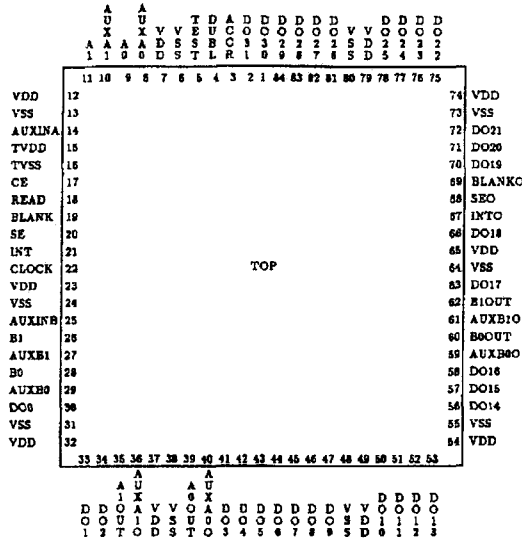


그림 9. NAIC 상관기 칩의 핀 배치도.

- 32bit 3-state asynchronous output port
- Data and control signals cascadable
- Selectable auxiliary ports on both data inputs
- Accumulator blanking supported
- Integration can continue while data is output
- CMOS and TTL compatible
- Low power consumption

그림 10은 이러한 QUAIN T 칩을 사용한 8,192채널의 상관기 보드를 개발하기 위한 기본적 설계 개념을 보여준다. 상관기부는 앞절에서 설계된 메모리로부터 총 32비트의 신호가 인가되어 자기 상관 계수 및 교차 상관 계수를 계산하여 32비트의 출력 라인을 통해 출력되도록 설계하였다. 이 그림에서 알 수 있듯이 환형 메모리 버퍼에 의해 재배열되어진 신호는 D0 ~ D7, P0 ~ P7로 입력되어진다.

시스템은 최대 800MHz 샘플링을 지원함으로 인해 100MHz의 동작 속도를 갖는 QUAIN T 칩을 4개씩 2쌍, 즉 총 8개 칩을 배열함으로 인해 병렬적으로 계산을 수행하도록 하였다. 각 칩의 자료 입력은 AI, BI를 통해 직접 입력되는 방법과 AUXAI, AUXBI를 통해 간접 입력되는 방법을 가지고 있으며 이는 PMUX, DMUX라고 하는 제어 신호에 의해 선택되어진다. 이러한 Matrix방식의 배열을 통해 설계된 상관기는 400MHz/1024 채널, 200MHz/2048 채널, 100MHz/4096 채널 및 50MHz/8192 채널의 상관기 모드가 제공될 것이다.

8192 Ch W-Corr Board Block Diagram

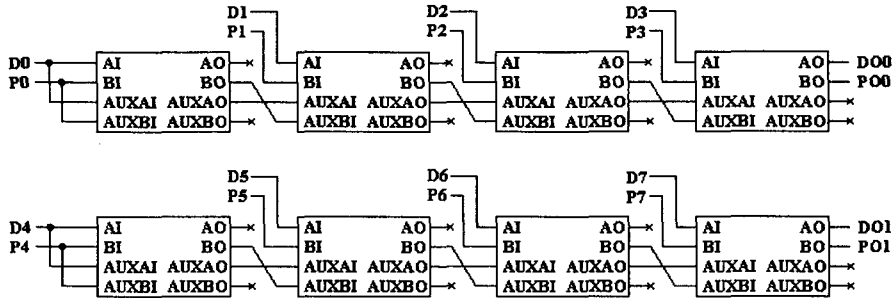


그림 10. 상관기부의 설계 개념도.

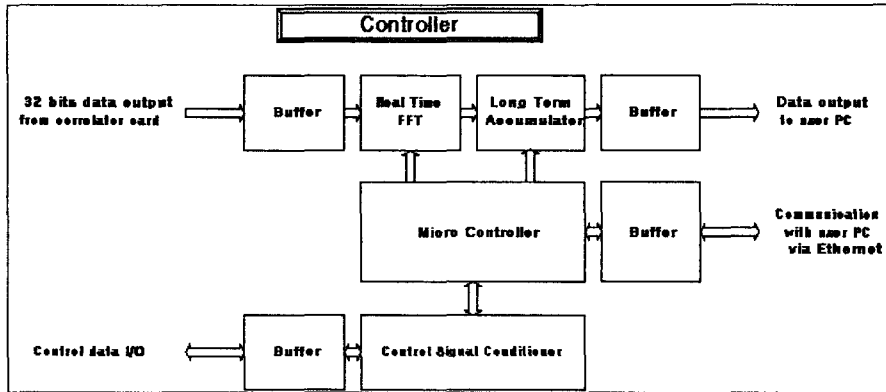


그림 11. 시스템 제어기 보드의 구성도.

2.7 제어기 보드

제어기의 역할은 시스템 제어기에 의한 사용자 명령에 따른 자료의 읽기, 자료 적분 및 어큐물레이터 블랭킹 등을 제어하는 것이다. 시스템 제어기는 사용자의 명령에 따라서 자동으로 전체 시스템을 제어하게 될 것이다. 또한 기저 대역 프로세서의 감쇄 레벨, 이득과 필터들의 제어, 메모리 구성, 및 상관기 보드 등을 제어하게 될 것이다. 그리고 수초까지 상관기의 출력 자료를 갖고 있으면서, FFT에 의해 전력 스펙트럼 밀도를 계산한다. 이러한 기능을 수행하기 위해서는 그림 11의 블록 선도와 같이 실시간 FFT 루틴, LTA(Long Term Accumulator), 마이크로 제어기 및 제어신호 조절기 등의 회로를 설계, 구성해야한다. 여기서 실시간 FFT 루틴에서는 상관기 출력을 받아 FFT를 수행하고, LTA 회로는 수초까지 전력 스펙트럼 밀도를 적분한다. 마이크로 제어기 회로에서는 모든 제어 자료를 제어하고, 사용자와 통신을 하며 사용자 명령을 전달하는 역할을 하게된다. 그리고 제어신호 조절기 회로는 자동 시간과 신호 전달 등의 기능을 조절하도록 설계하였다. 그림 11은 이상과 같은 기능을 하게될 제어기의 블록선도이다.

### 3. 결론

본 연구에서는 전파천문 관측연구 분야에서 외부은하의 스펙트럼 선 관측연구와 특정 전파원의 조사 관측을 위해서 필요한 광대역 디지털 자기상관분광기 시스템을 연구 개발하기 위한 시스템의 구성연구와 각 부분별 개념설계와 회로설계 연구를 수행하였다. 본 연구에서 설계된 자기상관분광기는 신호입력의 세기나 주파수 범위가 매우 넓으므로 어떠한 시스템의 분광기로도 별도의 회로수정 없이 사용할 수 있는 장점을 갖고 있다.

설계된 자기상관분광기는 기저 대역 변환기 및 총 전력 측정기, 고속 샘플러, 메모리, 상관기, 그리고 제어기로 구성하여 각각의 기능을 수행하도록 설계되었다.

본 연구에서 설계된 자기상관분광기는 현재 국내에서 제작 중에 있으며, 그 개발이 성공적으로 마무리된다면, 앞으로 국내 및 국외의 우주전파천문대에서 필요한 여러 가지 전파분광기를 제공하여 전파천문학 발전에 크게 기여하리라 기대한다. 또한 일반 산업계 및 계측기 등에서 요구되는 실시간 상관기 시스템의 개발도 기대된다.

### 참고문헌

- Bos, A. 1991, IEEE Trans. on Inst. and Meas., 40, 442
- Burgess, T. 1999, ACSIS, PDR05 (New Jersey: Princeton Univ.)
- Canaris, J., & Whitaker, S. 1990, 2nd NASA SERC Symposium on VLSI Design (Moscow: Univ. of Idaho)
- Cooper, B. F. C. 1976, Auto-correlation Spectrometers (New York: Academic Press)
- Escoffier, R. 1998, Technical Report vol.3 (Pochahontas: NRAO)
- Hinderks, J. 1999, The Theory, Design and Implementation of a High-Speed Digital Correlator (New Jersey: Princeton Univ.)
- Synopsys 1999, FPGA Compiler II/ FPGA Express VHDL Reference Manual (Mountain View: Synopsys)
- Timoc, C., Tran, T., & Wongso, J. 1992, National Radio Science Meeting in La Canada, CA
- Xilinx 2000, Foundation Series ISE 3.1i User Guide (San Jose: Xilinx)