

적응형 다항식 전치왜곡기의 안정화

Stabilization of an Adaptive Polynomial Predistorter

김 동 현 · 이 상 설

Donghyun Kim · Sang-Seol Lee

요 약

적응형 전치왜곡 선형화기를 안정화하기 위한 구조를 제안한다. 증폭기 궤환 루프에 의한 출력 신호의 루프 지연을 보상하기 위해 지연 제어 회로를 추가하고, 적응 앨거리즘으로 사용된 RLS 앨거리즘이 갖는 수치적 불안정성을 완화하기 위하여 Yang의 앨거리즘을 도입한다. 이 방법을 다항식형 전치왜곡기를 이용한 선형화기에 적용하고 모의실험을 통하여 그 효용성을 확인한다.

Abstract

The new architecture for the stabilization of an adaptive linearizer using the RLS algorithm is presented. The delay lock loop is applied to compensate the feedback loop delay of the nonlinear amplifier output, and the Yang's algorithm is used to mitigate the numerical instability of the RLS algorithm. This method is applied to the linearizer using the polynomial predistorter, and its efficacy is verified by the simulation of the proposed structure.

Key words : predistorter, delay lock loop, linearizer

I. 서 론

일반적으로 전력 증폭기(power amplifier : PA)의 비선형성은 증폭기 출력 신호의 진폭뿐 아니라 위상을 변화시킨다. 비선형이나 무기억(memoryless) 시스템은 진폭 왜곡만을 발생시킬 뿐, 위상 왜곡을 발생시키지 않는다. 따라서 위상 왜곡이 존재하면, 그 시스템은 기억 기능을 갖고 있어야 한다. 그러나 증폭 회로의 시정수가 증폭기 입력 신호 포락선 주파수의 최대값의 역수보다 아주 작은 비선형 시스템은 유사 무기억(quasi memoryless) 시스템으로 간주된다. 유사 무기억 시스템의 경우에 임의 시간에서 진폭 왜곡과 위상 왜곡의 양은 그 시간에 입력된 신호에만 의존한다. 따라서 대부분의 유사 무기억 시스템은 그의 입출력 진폭 특성(AM/AM 특성)과

그의 진폭 의존 위상 변위 특성(AM/PM 특성)만으로 마들링될 수 있다^[1]. 이 논문에서는 전력 증폭기를 유사 무기억 시스템으로 간주한다.

근래 개발되는 대부분의 통신 시스템은 높은 주파수 효율을 갖는 선형 디지털 변조 방식을 사용하고 있으며, 이러한 변조 방식은 통신 시스템의 선형성을 요구한다. 따라서 고품질의 통신 서비스를 제공하기 위해서는 우선 송신 신호가 왜곡되지 않아야 한다. 송신기의 선형성을 확보하기 위해서는 비선형성의 주요 요인인 전력 증폭기를 선형화 하여야 한다. 전력 증폭기의 비선형성은 주파수 재생성 현상에 의해 인접 채널 간섭을 발생시키는 대역 외 왜곡 및 BER(bit error rate)의 저하를 일으키는 대역 내 왜곡을 발생시킨다. 이러한 왜곡을 피하기 위한 가장 간단한 방법으로 증폭기의 신호 크기가 증폭

한양대학교 전자전기컴퓨터공학부(Division of Electrical & Computer Engineering, Hanyang University)

· 논문 번호 : 20020207-012

· 수정완료일자 : 2002년 4월 20일

기의 선형 영역에 한정되도록 백오프(back-off)하는 방식이 사용될 수 있다. 그러나 이 방법은 출력 전력과 진폭 효율이 심각하게 감소되는 단점을 갖고 있다. 따라서 이러한 단점을 극복하고 전력 증폭기의 선형 특성을 개선시키기 위한 방법으로 피드워드(feed forward), 포락선 제거/복원 방식 등의 애널로그 선형화 방법 또는 디지털 변조의 성상도를 왜곡하는 데이터 왜곡 방식, 그리고 비선형 소자의 결합을 통하여 선형 특성을 얻는 LINC(linear amplification using nonlinear component) 방식, 후치왜곡 방식, 전치왜곡 방식, 카테시안 루프(cartesian loop) 방식 등 여러 가지 방법이 제안되었다^{[2]-[6]}. 그 중 DSP(digital signal processing)를 이용한 기저대역 전치왜곡 방식은 여타 방법에 비하여 간단한 구조를 갖지만 협대역 신호에 대한 선형화 특성이 우수하여 많이 연구되고 있다. 최근 Ghaderi 등^[7]은 기존의 룩업 테이블(look-up table) 방법에 비하여 기억 용량 및 적응 시간이 작고 DSP 구현에 적합한 다항식형 전치왜곡기를 제안하였다. 그러나 Ghaderi 등에 의해 제안된 선형화기는 지연 변화에 따른 잠재적 불안정성 및 적응 엘거리즘으로 사용한 RLS(recursive least square) 엘거리즘의 수치적 불안정성을 가지고 있다.

대부분의 적응형 선형 전력 증폭기는 출력 신호를 궤환하여 선형화기의 기준 입력 신호와 비교하는 과정을 거친다. 궤환된 신호는 선형화기의 기준 입력 신호에 대하여 어느 정도의 지연 시간을 갖는다. 하지만 선형화기 입력신호와 궤환 신호의 위상을 같게 하여 비교해야 한다. 위상 지연을 조정하기 위하여 흔히 고정된 애널로그 지연회로가 사용된다. 그러나 애널로그 지연회로는 온도 등의 주위 환경에 의해 영향을 받아 지연 시간이 변하는 단점을 갖는다. 이를 극복하기 위하여 Nagata와 Durtler 등은 루프 지연 추정기(loop delay estimator)를 제안하였다^{[8],[9]}. 그러나 Nagata에 의해 제안된 지연추정기는 정확성이 부족하고, Durtler 등에 의해 제안된 지연추정기는 FFT(fast fourier transform) 계산에 의하여 정확성은 보장되나 계산량이 많다. 이 논문에서는 수정된 어얼리-레이트 게이트(early-late gate)로 지연 시간을 판별하고, DSP 구현이 용이한 지연 제어 회로(delay lock loop : DLL)를 이용하여 시스템을

안정시킨다. 제안된 지연 제어 회로를 Ghaderi의 선형화기에 적용하여 Ghaderi 구조가 안고 있는 지연에 따른 잠재적 불안정성을 제거한다.

수치계산의 정밀도가 유한할 때 RLS 엘거리즘은 수치적으로 불안정하다. 그 이유는 RLS 엘거리즘에 사용되는 Riccati 방정식을 이용한 역상관행렬(inverse correlation matrix)의 갱신 과정이 음이 아닌 두 개의 유한 행렬의 차로 주어지고, 이 과정에서 항상 양의 유한 행렬이어야 하는 역상관행렬이 양의 유한성, 즉 Hermitian 대칭성을 잃기 때문이다. 이 문제를 해결하기 위하여 Yang^[10]은 오차에 관계없이 역상관행렬의 Hermitian 대칭성을 유지시키는 방법을 제안하였다. 이 방법은 역상관행렬의 상삼각행렬 또는 하삼각행렬만을 계산하고 행렬의 나머지 부분은 Hermitian 대칭성을 유지하도록 채우는 방법으로서 계산 효율이 좋다. 그러나 Yang의 엘거리즘에서 지수적 가중 인자(exponential weighting factor)가 1이면, 오차의 누적에 의해 엘거리즘이 발산하므로 지수적 가중 인자는 1보다 작아야 한다. 또한 역상관행렬의 인자들이 매우 작을 때 발생하는 RLS 엘거리즘의 갱신 중지 현상을 방지하기 위하여 충분히 큰 비트의 누산기가 필요하다. 이 논문에서는 Yang의 이론을 적용하여 Ghaderi가 제안한 구조의 수치적 불안정성을 제거한다.

지연 제어 회로를 포함하는 수정된 선형화기에 대한 모의실험 결과는 제안된 지연 제어 회로가 선형화기 기준 입력 신호와 궤환 신호 사이의 지연을 보상하여 전치왜곡기의 다항식 계수가 수렴하고 높은 정도의 선형성이 이루어짐을 보인다.

II. 다항식형 전치왜곡기의 구조

그림 1은 적응형 전치왜곡기를 갖는 선형 증폭 시스템을 보인다. 이 시스템에서 DSP 블록의 입력은 디지털 필터링된 기저대역 동위상 신호 $I(n)$ 및 직교 위상 신호 $Q(n)$ 과 1차 중간 주파수 국부 발진 신호이다. DSP 블록은 전치왜곡부와 지연 제어 회로를 포함한다. 지연 제어 회로는 전력 증폭기의 출력을 샘플링하는 ADC(analog-digital converter)의 클럭 위상을 제어한다. DSP 블록에서 기저대역신호는 전치왜곡되고 1차 중간 주파수 대역으로 상향 변환

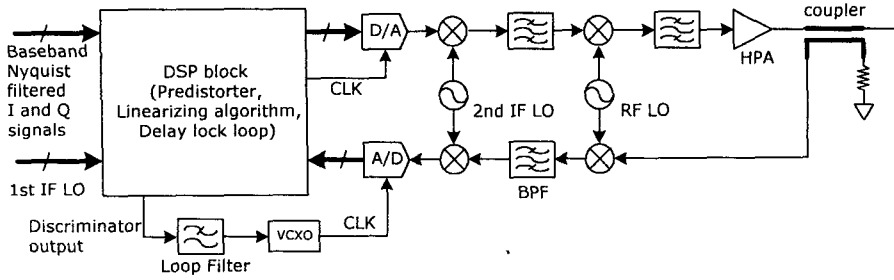


그림 1. 적응형 전치왜곡기를 갖는 선형 증폭 시스템
Fig. 1. Linear amplification system with the adaptive predistorter.

(up-conversion)된다. 1차 중간 주파수 대역으로 상향 변환된 신호는 DAC(digital-analog converter)를 거쳐 2차 중간 주파수 대역 및 RF 대역으로 상향 변환된다. 전력 증폭기의 출력은 방향성 결합기에 의해 커플링(coupling)되고, 커플링된 신호는 상향 변환에 사용된 RF 극부 발진 신호를 사용하여 하향 변환된다. 하향 변환(down-conversion)된 전력 증폭기의 커플링 신호는 주파수 재생성 과정에 의해 발생된 3차 및 5차 상호 변조 신호로 인하여 원래 대역보다 넓은 대역을 갖게 되므로 이를 왜곡없이 제거하기 위하여 충분히 넓은 대역을 갖는 대역통과 필터를 사용해야 한다. 필터링된 2차 중간 주파수 대역의 신호는 1차 중간 주파수 대역으로 하향 변환된 후 ADC에 인가된다. ADC에 의해 샘플링된 변환 신호는 기준 입력 신호와 동일한 위상을 유지해야 한다. 이는 지연 제어 회로에 의한 ADC 클럭의 위상 제어에 의해 이루어진다. 그림 2는 적응형 전치왜곡부의 구조를 나타낸다.

그림 2의 기저대역 다항식형 전치왜곡기는 Ghaderi 등에 의해 제안된 형태와 유사하다. 하지만 Ghaderi 등에 의해 제안된 형태와 그림 2의 구조와 다른 점은 직교 변조기(quadrature modulator : QM)가 포함되고, 애널러그 포락선 검출기는 입력 신호의 진폭 계산부로 대체되고, 가변 애널러그 지연 소자는 고정 지연 소자로 대체된 점이다. DSP에서 직교 변조가 이루어지므로 1차 극부 발진 신호가 DSP에 입력되어야 하고, 이는 직교 복조부(quadrature demodulator : QDM)의 입력으로 사용되어 정확한 복조 동작이 가능하다. 또한 전치왜곡부의 출력은 1차 중간 주파수 대역 신호이므로 DC 신호를 다루는

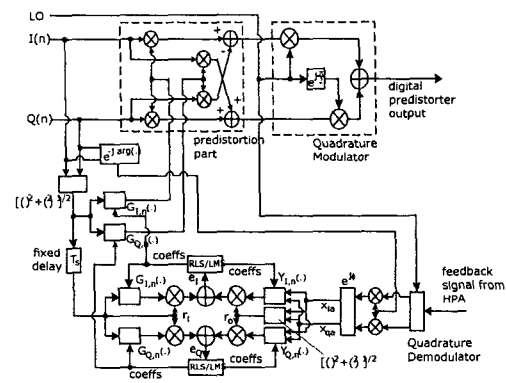


그림 2. 다항식형 전치왜곡기
Fig. 2. Polynomial predistorter.

어려움을 피할 수 있다.

그림 2에서 전치 왜곡부의 입력은 기저대역 레이드 코사인(raised cosine) 필터링된 QAM (quadrature amplitude modulation) 신호의 동위상 성분 $I(n)$ 과 직교 위상 성분 $Q(n)$ 이다. 이 성분들은 각각 동위상 전치 왜곡부 이득 $G_{I,n}(r_i(n))$ 과 직교 위상 전치왜곡부 이득 $G_{Q,n}(r_i(n))$ 과 곱해져서 직교 변조부에 입력된다. 여기서 $r_i(n) = \sqrt{I(n)^2 + Q(n)^2}$ 는 선형화기의 기준 입력 신호 진폭이다. 직교 변조부에서 1차 중간 주파수 대역으로 상향 변환된 신호는 D/A 변환되어 상향 변환되고 비선형 전력 증폭기에 의해 증폭된다. 전력 증폭기로부터 반환된 신호는 직교 복조부에 입력되고 직교 복조부의 출력은 수렴 속도를 높이기 위하여 일정한 각 ϕ 만큼 회전된다. 회전된 동위상 성분 $x_{ia}(n)$ 과 직교 위상 성분 $x_{qa}(n)$ 는 후치왜곡부 이득 다항식의 계산에 사

용된다. 이로부터 후치왜곡부 동위상 이득 $Y_{L,n}(r_o(n))$ 과 적교 위상 이득 $Y_{Q,n}(r_o(n))$ 을 얻는다. 여기서 $r_o(n)$ 는 궤환 신호의 진폭이다. 후치왜곡부 이득에는 $r_o(n)$ 이 곱하여지고, $r_i(n)$ 이 곱하여진 전치왜곡부 이득과 비교된다. 그 차이는 $e_f(n)$ 와 $e_q(n)$ 으로서 적응 엘거리즘의 오차 신호로 사용된다. 3장의 적응 엘거리즘을 이용하여 오차신호 $e_f(n)$ 과 $e_q(n)$ 을 최소화하는 후치왜곡부 이득 다항식의 계수를 구하고, 전치왜곡부 이득 다항식은 3장의 후치왜곡부 이득 다항식의 계수와 전치왜곡부 이득 다항식의 계수 사이의 관계로부터 구한다.

임의의 광대역 신호 $s_T(t)$ 가 시간 T_d 만큼 지연된 신호를 $s_T(t - T_d)$ 라 하고, 이에 AWGN (additive white Gaussian noise) $n(t)$ 가 더하여진 신호를 $s_R(t)$ 라 하면, 신호 $s_T(t)$ 에 대한 신호 $s_R(t)$ 의 지연 시간 T_d 를 추정하기 위한 지연 시간 판별식은 다음과 같다^[11].

$$s_R(t)s_T(t - \hat{T}_d) \quad (1)$$

여기서 \hat{T}_d 는 지연 시간 T_d 의 추정치이다. 위 식은 그 값이 AWGN 환경에서 두 광대역 신호 사이의 위상차의 최대 가능도 추정값(maximum likelihood estimate)이라는 점에서 최적의 지연시간 판별식이다. 식 (1)의 시간 평균으로 주어지는 DC 성분은 저역 통과 필터에 의해 추출되어 지연 오차 $T_d - \hat{T}_d$ 를 보정하기 위해 사용된다. 식 (1)을 이산 시간 신호에 대한 지연 시간 판별식으로 근사하면 다음으로 주어진다.

$$s_R(n)[s_T(n - T_s - \hat{T}_d) - s_T(n + T_s - \hat{T}_d)] \quad (2)$$

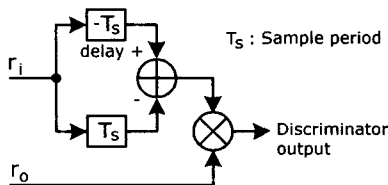


그림 3. 지연 시간 판별기의 구조
Fig. 3. Delay discriminator structure.

여기서 T_s 는 샘플링 주기이고, $s_R(n)$ 및 $s_T(n)$ 은 $t = nT_s$ 에서 샘플링된 신호이다. 위 식을 이용하여 지연 시간 판별기를 구성하면 그림 3과 같다.

지연 시간 판별기의 입력은 기준 입력 신호 $r_i(n)$ 과 T_d 만큼 지연된 궤환 신호 $r_o(n)$ 이고, 출력 $D_d(\delta)$ 는 다음으로 주어진다.

$$D_d(\delta) = r_o(n)[r_i(n - T_s - \hat{T}_d) - r_i(n + T_s - \hat{T}_d)] \quad (3)$$

여기서 $\delta = (T_d - \hat{T}_d)/T_s$, T_d 는 실제 지연시간, \hat{T}_d 는 추정된 지연시간, T_s 는 샘플 주기이다. 지연 시간 판별기의 출력은 루프 필터를 통과하여 VCXO(voltage controlled crystal oscillator)의 제어 전압으로 사용된다. 이는 VCXO 클럭의 위상을 변화시키고, 따라서 r_o 를 샘플링하는 ADC의 클럭 위상을 변화시킨다. 이 과정을 통하여 전력증폭기 궤환 신호 $r_o(n)$ 의 위상은 $r_i(n)$ 의 위상과 같게 된다. 지연 제어 회로의 위상 제어 오차는 일반 지연 제어 회로의 위상 오차와 유사하고, 다음으로 주어진다^[12].

$$\frac{T_d(s) - \hat{T}_d(s)}{T_s} = \frac{T_d(s)}{T_s} \left[\frac{s}{s + k_d g_c F(s)} \right] \quad (4)$$

여기서 k_d 는 지연 시간 판별기에 사용된 곱셈기의 이득과 $\sqrt{2P}(1 + 1/N)$ 을 곱한 값이다. 여기서 P 는 선형화기 입력 신호의 전력이고, N 은 잡음 전력이다. g_c 는 VCXO의 이득, $F(s)$ 는 루프 필터의 전달 함수, s 는 라플라스 변환의 변수이다. 식 (4)에서 잡음은 $r_i(n)$ 과 $r_o(n)$ 사이의 차이로 간주될 수 있고, 전력증폭기의 왜곡에 의하여 발생된다. 따라서 지연 제어 회로의 신호 대 잡음비는 다음으로 주어진다.

$$SNR = 10 \log_{10} \frac{|r_i(n)|^2}{|r_i(n) - r_o(n)|^2} \quad (5)$$

III. 적응 엘거리즘

RLS 엘거리즘의 오차는 후치왜곡부 이득 다항식의 계수에 선형 의존성을 갖는다. 따라서 오차의 제곱으로 주어지는 비용함수는 최소화될 수 있다. 전

치왜곡부 이득 다항식은 다음으로 주어진다^[7].

$$G_{I,n}(r_i(n)) = \sum_{m=1}^M \alpha_{i,m,n} r_i^{m-1}(n) \quad (6)$$

$$G_{Q,n}(r_i(n)) = \sum_{m=1}^M \alpha_{q,m,n} r_i^{m-1}(n) \quad (7)$$

여기서 $n=1,2,3,\dots,N$ 이다. $\alpha_{i,m,n}$ 과 $\alpha_{q,m,n}$ 은 각각 n 번째 샘플에 대한 동위상 및 직교 위상 이득 다항식의 m 번째 계수이다. 유사하게, 후치왜곡부 이득 다항식은 다음으로 정의된다.

$$Y_{I,n}(x_{ii}(n), x_{iq}(n)) = \sum_{m=1}^M a_{ii,m,n} x_{ii}^{m-1}(n) + \sum_{m=1}^M a_{iq,m,n} x_{iq}^{m-1}(n) \quad (8)$$

$$Y_{Q,n}(x_{ia}(n), x_{qa}(n)) = \sum_{m=1}^M a_{ia,m,n} x_{ia}^{m-1}(n) + \sum_{m=1}^M a_{qa,m,n} x_{qa}^{m-1}(n) \quad (9)$$

여기서 $n=1,2,3,\dots,N$ 이다. $a_{ii,m,n}$ 과 $a_{iq,m,n}$ 은 각각 n 번째 샘플에 대한 동위상 이득 다항식 $Y_{I,n}(r_o(n))$ 의 m 번째 동위상 이득 및 직교 위상 이득 계수이다. 그리고 $a_{qi,m,n}$ 과 $a_{qa,m,n}$ 은 각각 n 번째 샘플에 대한 직교 위상 이득 다항식 $Y_{Q,n}(r_o(n))$ 의 m 번째 동위상 이득 및 직교 위상 이득 계수이다. 위 식에서 $x_{ia}(n)$ 과 $x_{qa}(n)$ 은 각각 $x_{ia}(n) = r_o(n) \cos \phi_o(n)$ 및 $x_{qa}(n) = r_o(n) \sin \phi_o(n)$ 으로 주어진다. 여기서 $\phi_o(n) = \theta_o(n) - \theta_i(n) + \phi$ 이다. $\theta_i(n)$ 은 선형화기 입력신호의 위상이고, $\theta_o(n)$ 은 케환 신호의 위상이다. 전력 증폭기의 입출력 관계가 단조 증가 함수이면, 적응 엘거리즘의 수렴 후에 $r_i(n) = r_o(n)$, $\theta_i(n) = \theta_o(n)$ 의 관계를 얻을 수 있다. 또한 $Y_{I,n}(\cdot) = Y_{I,n-1}(\cdot)$, $Y_{Q,n}(\cdot) = Y_{Q,n-1}(\cdot)$ 이 되고, 이 관계로부터 다음 관계식을 얻을 수 있다.

$$G_{I,n}(r_i(n)) = Y_{I,n-1}(r_i(n) \cos \phi, r_i(n) \sin \phi) \quad (10)$$

$$G_{Q,n}(r_i(n)) = Y_{Q,n-1}(r_i(n) \cos \phi, r_i(n) \sin \phi) \quad (11)$$

식 (6)~(9)를 식 (10), (11)에 적용하면, 다음을 얻는다.

$$\alpha_{i,m,n} = [\cos \phi]^m a_{ii,m,n-1} + [\sin \phi]^{m-1} a_{iq,m,n-1} \quad (12)$$

$$\alpha_{q,m,n} = [\cos \phi]^{m-1} a_{qi,m,n-1} + [\sin \phi]^m a_{qa,m,n-1} \quad (13)$$

여기서 $m=1,2,3,\dots,M$ 이다. 식 (12), (13)의 관계식은 전치왜곡부 이득 다항식 계수와 후치왜곡부 이득 다항식 계수가 선형 관계임을 보여준다.

오차를 최소화하는 다항식 계수를 구하기 위한 비용 함수는 다음 벡터 형태로 주어진다.

$$J_I(n) = \sum_{l=1}^n [r_i(l)G_{I,l}(r_i(l)) - A_I^T(n) \mathbf{u}_{iQ}(l)]^2 \quad (14)$$

$$J_Q(n) = \sum_{l=1}^n [r_i(l)G_{Q,l}(r_i(l)) - A_Q^T(n) \mathbf{u}_{iQ}(l)]^2 \quad (15)$$

여기서 후치왜곡부 계수 벡터 $A_I(n)$ 과 $A_Q(n)$ 은 다음과 같다.

$$A_I(n) = [a_{ii,1,n}, a_{ii,2,n}, a_{ii,3,n}, \dots, a_{ii,M,n}, a_{iq,1,n}, a_{iq,2,n}, a_{iq,3,n}, \dots, a_{iq,M,n}]^T \quad (16)$$

$$A_Q(n) = [a_{qi,1,n}, a_{qi,2,n}, a_{qi,3,n}, \dots, a_{qi,M,n}, a_{qa,1,n}, a_{qa,2,n}, a_{qa,3,n}, \dots, a_{qa,M,n}]^T \quad (17)$$

또한 $\mathbf{u}_{iQ}(n)$ 는 다음으로 주어진다.

$$\mathbf{u}_{iQ}(l) = [r_o(l), r_o(l)x_{ia}(l), \dots, r_o(l)x_{ia}^{M-1}(l), r_o(l), r_o(l)x_{qa}(l), \dots, r_o(l)x_{qa}^{M-1}(l)]^T \quad (18)$$

$J_I(n)$ 과 $J_Q(n)$ 을 최소화하는 계수 벡터 $A_I(n)$ 과 $A_Q(n)$ 을 구하기 위하여 RLS 엘거리즘을 적용한다^[13]. 계수 벡터 $A_I(n)$ 과 $A_Q(n)$ 은 다음의 회귀 방정식으로 구한다.

$$A_I(n) = A_I(n-1) + \mathbf{k}_{iQ}(n) e_I'(n) \quad (19)$$

$$A_Q(n) = A_Q(n-1) + \mathbf{k}_{iQ}(n) e_Q'(n) \quad (20)$$

여기서 엘거리즘의 이득 벡터 $\mathbf{k}_{iQ}(n)$ 과 엘거리즘의 오차 신호 $e_I'(n)$ 과 $e_Q'(n)$ 은 다음으로 주어진다.

$$\mathbf{k}_{iQ}(n) = \frac{P_{iQ}(n-1) \mathbf{u}_{iQ}(n)}{\lambda + \mathbf{u}_{iQ}^T(n) P_{iQ}(n-1) \mathbf{u}_{iQ}(n)} \quad (21)$$

$$e_I'(n) = r_i(n)G_{I,l}(r_i(n)) - \mathbf{u}_{iQ}^T(n) A_I(n-1) \quad (22)$$

$$e_Q'(n) = r_i(n)G_{Q,l}(r_i(n)) - \mathbf{u}_{iQ}^T(n) A_Q(n-1) \quad (23)$$

여기서 지수적 가중 인자 λ 는 1보다 작은 수이다. 역상관행렬 $P_{iQ}(n)$ 의 갱신식은 다음의 Riccati 방정식으로 주어진다.

$$P_{iQ}(n) = \lambda^{-1} [P_{iQ}(n-1) - \mathbf{k}_{iQ}(n) \mathbf{u}_{iQ}^T(n) P_{iQ}(n-1)] \quad (24)$$

식 (24)는 음이 아닌 두 개의 유한 행렬의 차로 주어진다. 이 계산 과정에서 수치계산의 정밀도가 유한할 때, 항상 양의 유한 행렬이어야 하는 역상관

행렬이 양의 유한성, 즉 Hermitian 대칭성을 잃을 수 있다. 이 문제를 해결하기 위해 Yang은 역상관행렬의 Hermitian 대칭성을 유지하도록 역상관행렬의 상삼각행렬 또는 하삼각행렬만을 계산하고 행렬의 나머지 부분은 Hermitian 대칭성을 유지하도록 채우는 방법을 제안하였다. 이에 따라 식 (24)를 변형하면 다음 식을 얻는다.

$$P_{\hat{w}}(n) = \text{Tri}\{\lambda^{-1}[P_{\hat{w}}(n-1) - k_{\hat{w}}(n) u_{\hat{w}}^T(n) P_{\hat{w}}(n-1)]\} \quad (25)$$

식 (25)에서는 상삼각행렬 또는 하삼각행렬만을 계산하므로 계산 시간이 단축된다. 또한 항상 Hermitian 대칭성을 유지하므로 발산을 막을 수 있다. 그러나 λ 가 1인 경우 오차 전파 마들(error propagation model)에 의하면 오차의 누적에 의해 엘거리즘이 발산하므로 λ 는 1보다 작아야 한다. 또한 식 (25)의 역상관행렬의 행렬 요소가 매우 작고, 수치계산이 유한 정밀도를 갖는 경우, 언더플로우(underflow) 현상에 의해 해당 요소는 0의 값으로 되어, 해당 요소의 갱신은 중지된다. 이러한 RLS 엘거리즘 갱신 중지 현상을 방지하기 위해서 행렬 계산에 충분히 큰 비트의 누산기가 사용되어야 한다. 역상관행렬과 후치왜곡부 이득 다항식 계수의 초기값은 다음과 같이 주어진다.

$$P_{\hat{w}}(0) = c^{-1} \mathbf{I} \quad (26)$$

$$\mathbf{A}_i(0) = \mathbf{A}_q(0) = \mathbf{0} \quad (27)$$

여기서 c 는 매우 작은 양의 상수이다. 식 (17)~(25)에 의하여 후치왜곡부 이득 다항식 계수가 구하여지면, 전치왜곡부 이득 다항식의 계수는 식 (12)와 (13)으로 구한다.

IV. 모의실험 결과

그림 4는 모의 실험에 사용된 전력증폭기의 AM-AM 및 AM-PM 왜곡 특성을 보인다. 그림 4의 전력증폭기 마들은 Saleh^[14]에 의해 제안된 비선형 증폭기의 마들로서 TWTA(Traveling Wave Tube Amplifier)의 마들과 유사하다. 0.25의 롤오프(roll-off)값을 갖는 레이즈드 코싸인 필터에 의하여 필터링된 16-QAM 신호에 대하여 모의실험을 수행한다. QAM 신호의 씬벨 레이트(symbol rate)는 12.5 kpsps 이고, 씬벨 주파수는 씬벨 레이트의 32배인 32 ×

12.5 KHz이다. 입력 신호는 증폭기의 포화점으로부터 2 dB 뺀 오프된 신호를 사용한다고 가정하고, $\phi=50^\circ$ 의 회전각을 사용한다. 전치왜곡부 및 후치왜곡부의 이득 다항식은 $M=5$ 인 4차 다항식을 사용하고, 전치왜곡부 이득 다항식 계수의 초기값은 $\alpha_i = \{1, 0, 0, 0, 0\}$ 및 $\alpha_q = \{0, 0, 0.1, 0, 0\}$ 으로 설정한다. 역상관 행렬의 초기값 인자 c 는 10^{-8} 으로 설정한다. 전력 증폭기의 상태 변화는 매우 느리게 일어나므로 느린 적응 과정(slow adaptive process)이 적절하며, RLS 엘거리즘으로부터 얻을 수 있는 최소 제곱 평균 오차(minimum mean square error)의 초과치는 가능한 작게 유지하여야 하므로 지수적 가중 인자 λ 는 1에 가까운 값으로 설정되어야 한다. 여기서는 λ 를 0.999로 선택한다. 그리고 DAC와 DAC는 양자화 오차에 기인한 스펙트럼 퍼짐 현상을 피하기 위하여 14비트로 선택한다^[15].

그림 5는 전력증폭기의 16-QAM 입력 신호에 대한 정규 전력 스펙트럼과 출력 신호의 정규 전력 스펙트럼을 보인다. 출력 신호의 전력 스펙트럼은 스펙트럼 재생성 현상을 나타낸다. 선형화기의 기준 입력 신호와 비교하여 지연된 왜곡 신호에 대한 지연 시간 판별기의 특성이 그림 6에 보인다. 이는 일반 지연 시간 판별기의 S-커브를 보인다. 선형화기에서 허용되는 지연 오차는 씬벨 주기의 1/64 이내인 것으로 알려져 있다^[8]. 그림 6의 결과는 제안된 지연 시간 판별기가 이러한 지연 요구 사항을 충족함을 보여준다. 그림 1의 DSP 블럭 외부에 놓인 루프 필터를 간단한 지수적 시간 평균기로 구현하고, DSP내에서 계산하기 위하여 지수적 평균 가중식 $y_{n+1} = (1-\alpha)y_n + \alpha x_n$ 을 사용한다. 여기서 α 는 루프 필터의 3 dB 대역폭을 결정하기 위한 가중 인자, x_n 은 그림 3의 지연 시간 판별기의 출력, y_n 은 지수적 가중 평균값이다. 이를 z -변환하고 $z = e^{sT}$ 를 이용하면, 지수적 시간 평균기의 전달 함수를 구할 수 있다. 가중 인자 α_1 과 α_2 를 갖는 두개의 지수적 가중 평균식을 사용하여 지연 시간 판별기의 DC 신호를 추출하기 위한 루프 필터를 근사하면 루프 필터의 전달 함수는 다음으로 주어진다.

$$F(s) = \frac{\alpha_1 \alpha_2}{(e^{sT})^2 - (2 - \alpha_1 - \alpha_2)e^{sT} + (1 - \alpha_1)(1 - \alpha_2)} \quad (28)$$

여기서 가중 인자 $\alpha_1=0.001$, $\alpha_2=0.01$ 인 경우의 루프 필터를 사용한다.

그림 7은 지연 제어 회로가 없는 경우, 지연된 궤환 신호에 대한 전력증폭기의 출력 스펙트럼을 보인다. 이로부터 선형화기의 기준 입력 신호에 비하여 지연된 궤환 신호가 앞선 궤환 신호보다 앨거리즘의 수렴에 더 나쁘게 작용함을 알 수 있다. 그림 8은 지연 제어 회로가 있는 경우, 지연된 궤환 신호에 대한 전력증폭기의 출력 스펙트럼을 보인다. 그림 7의 결과와 비교하면 스펙트럼 재생성 현상이 15 dB 이상 감소하였음을 알 수 있다. 그림 9는 지연 제어 회로를 갖는 선형화기에서 지연 신호에 대한 적응 앨거리즘의 진폭 오차 및 위상 오차를 보인다. 진폭 오차와 위상 오차가 8샘플 이내 1% 이내로 감소하였음을 보인다. 표 1은 적응 앨거리즘이 수렴

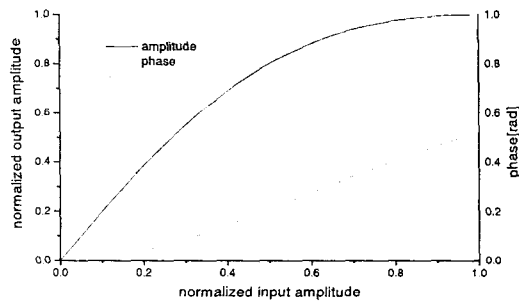


그림 4. 전력증폭기의 AM/AM 및 AM/PM 왜곡 특성
Fig. 4. The AM/AM and AM/PM distortion characteristics of the power amplifier.

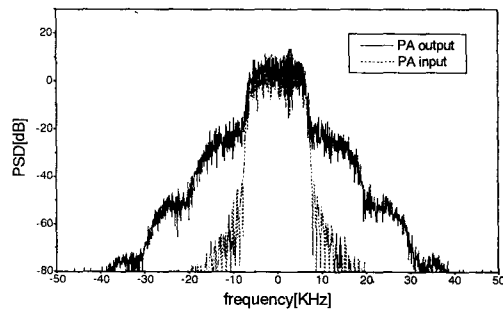


그림 5. 전력증폭기 입력신호 및 전치왜곡부가 없는 경우 전력증폭기 출력 신호의 전력 스펙트럼
Fig. 5. Power spectral density of the input and the output of the PA without the predistorter.

한 후의 전치왜곡부 이득 다항식의 계수를 보인다.

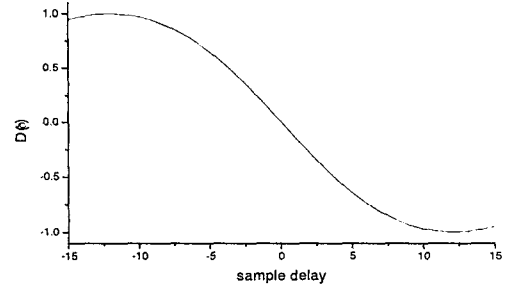


그림 6. 제안된 지연 시간 판별기의 지연에 대한 응답 특성
Fig. 6. Characteristics of the proposed loop delay discriminator.

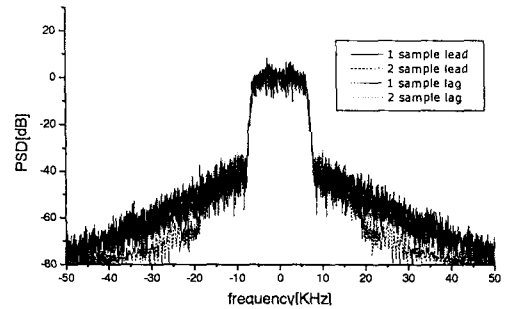


그림 7. 지연된 신호에 대한 전치왜곡부를 갖는 전력증폭기의 출력 전력 스펙트럼
Fig. 7. Power spectral density of the output of the PA with the predistorter for the delayed signals.

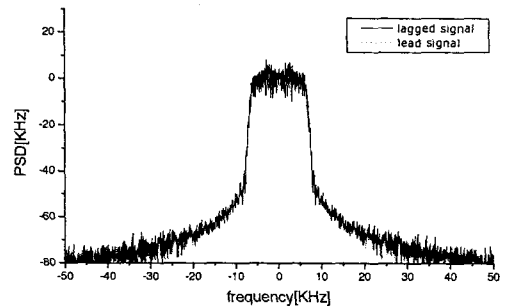


그림 8. 전치왜곡부 및 지연 제어 회로를 갖는 전력증폭기의 출력 전력 스펙트럼
Fig. 8. Power spectral density of the output of the PA with the predistorter and the DLL.

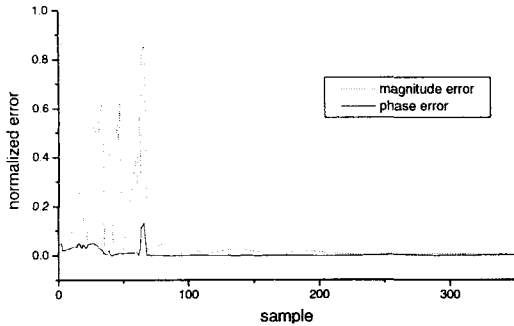


그림 9. 지연 신호에 대한 루프 지연 판별기를 갖는 선형화기의 진폭 및 위상 오차

Fig. 9. The amplitude and phase errors of the linearizer with the DLL for a delayed signal.

표 1. 전치왜곡기 이득 다항식의 계수

Table 1. Coefficients of the predistorter gain polynomial.

k	1	2	3	4	5
$\alpha_{i, k, n}$	0.499653	0.003759	0.121333	-0.032158	0.107169
$\alpha_{s, k, n}$	-0.012306	0.171501	-0.893819	1.388626	-0.980083

V. 결 론

기존의 다항식형 선형화기에서 나타나는 RLS 엘거리즘의 수치적 불안정성을 완화하고, 궤환 신호의 지연에 따른 선형화기의 불안정성을 제거하기 위하여 Yang의 엘거리즘 및 지연 제어 회로를 도입한 선형화기를 구현하고, 모의 실험을 통하여 그 성능을 검증하였다. 모의실험 결과는 궤환 신호의 지연 변화에 대하여 제안된 시스템이 안정함을 보이고 있다. 또한 Yang의 엘거리즘은 지연 변화에 대하여 안정하게 수렴한다. 주위 환경에 대하여 불안정하고, 미세 조정이 필요한 기존의 애널로그 지연 소자는 제안된 지연 제어 회로로 대체할 수 있다. 전력 스펙트럼의 스펙트럼 재생성 현상에서 15 dB 이상의 개선효과를 보이고, 적응 엘거리즘의 진폭 오차와 위상 오차는 8뿔벌 이내에서 1% 이내로 감소한다.

참 고 문 헌

- [1] G. Gatti, "Measurement of memory effects in predistortion linearizers", *IEEE MTT-S International Microwave Symposium Digest*, vol. 3, pp. 885-888, 1989.
- [2] P. B. Kenington, *High-Linearity RF Amplifier Design*, Artech House, pp. 425-442, 2000.
- [3] James K. Cavers, "Amplifier linearization by adaptive predistortion", *United States Patent*, no. 5,049,832, Sep. 1991.
- [4] Le D. Quach and S. P. Stapleton, "A Postdistortion Receiver for Mobile Communications," *IEEE Trans. Veh. Tech.*, vol. 42, no. 4, pp. 604-616, Nov. 1993.
- [5] D. C. Cox, "Linear amplification with nonlinear components", *IEEE Trans. on Communications*, vol. COM-22, pp. 1942-1945, Dec. 1974.
- [6] Jean-Serge Cardinal, "New adaptive double envelope feedback (ADEF) linearizer for solid state power amplifier", *IEEE Trans. Microwave Theory Tech.*, vol. 43, no. 12, July 1995.
- [7] M. Ghaderi, S. Kumar, D. E. Dodds, "Fast adaptive polynomial I and Q predistorter with global optimisation", *IEE. Proc.-Commun.*, vol. 143, no. 2, pp. 78-86, Apr. 1996.
- [8] Y. Nagata, "Linear amplification technique for digital mobile communications", in *Proc. IEEE Veh. Tech. Conf.*, San Francisco, CA, 1989, pp. 159-164.
- [9] A. S. Wright and W. G. Durlter, "Experimental performance of an adaptive digital linearized power amplifier", *IEEE Trans. on Veh. Tech.*, vol. 41, no. 4, pp. 395-400, Nov. 1992.
- [10] B. Yang, "A note on the error propagation analysis of recursive least square algorithms", *IEEE Trans. on Signal Process.*, vol. 42, pp. 3523-3525, 1994.
- [11] J. J. Spilker and D. T. Magill, "The delay-lock discriminator: an optimum tracking device", *Proc. IRE*, vol. 49, pp. 1403-1416, Sept. 1961.
- [12] R. Peterson et al., *Introduction to Spread Spectrum Communications*, Prentice-Hall, 1995.

[13] S. Haykin, *Adaptive Filter Theory*, Prentice-Hall, 1996.

[14] A. A. M. Saleh and J. Salz, "Adaptive linearization of power amplifiers in digital radio systems", *Bell Syst. Tech. J.*, vol. 62, no. 4, pp. 1019-1033, 1983.

[15] L. Sundstrom, M. Faulkner and M. Johansson, "Quantization analysis and design of a digital predistortion linearizer for RF power amplifier", *IEEE Trans. on Veh. Tech.*, vol. 45, no. 4., pp. 707-719, Nov. 1996.

김 동 현



1992년 2월: 한양대학교 자원공학과 (공학사)
 1994년 2월: 한양대학교 대학원 전자통신공학과 (공학석사)
 1994년 3월~1997년 10월: LG정보통신 중앙연구소 주임연구원
 1997년 9월~현재: 한양대학교 대학원 전자통신공학과 박사과정

[주 관심분야] RF 회로설계 및 무선통신시스템, 적응형 배열 안테나

이 상 설



1961년: 한양대학교 전기공학과 (공학사)
 1966년: 한양대학교 대학원 전기공학과 (공학석사)
 1977년: 프랑스 그르노블대학교 (공학박사)
 1995년~1997년: 한양대학교 공과대학장

1996년~1997년: 대한전자공학회 회장
 1975년~현재: 한양대학교 전자전기공학부 교수
 [주 관심분야] 안테나 및 전자파 이론