

결합된 접지 구조를 이용한 증폭기의 소형화 방법

A Method to Reduce the Size of Amplifiers using Defected Ground Structure

임종식 · 박준석* · 김철수** · 이영택 · 안 달* · 남상욱

Jong-Sik Lim · Jun-Seok Park* · Chul-Soo Kim** · Young-Taek Lee · Dal Ahn* · Sangwook Nam

요 약

본 논문은 마이크로스트립이나 코플래너 웨이브가이드와 같은 평면형 전송선로의 접지면에 결합 접지 구조(defected ground structure, DGS)를 식각하여 증폭기의 길이를 줄이는 방법을 제시한다. DGS에 기인하여 발생하는 부가적인 등가의 L-C 성분에 의하여 전파 지연 특성이 표준형 전송선로보다 더욱 크게 나타나는데, 이로 인하여 DGS를 포함한 전송선로의 전기적 길이가 DGS가 없는 동일한 물리적 길이의 전송선로보다 더욱 길다는 점을 이용한다. 즉, 동일한 전기적 길이를 유지하기 위하여 DGS를 삽입한 후 전송선로의 물리적 길이를 줄일 수 있다는 것이 본 논문에서 이용하는 주개념이다. 원래의 전송선로가 증폭기 정합회로의 어느 부분이라고 할 때, DGS를 삽입하고 물리적 길이를 줄임으로써 전기적 길이를 원래 선로와 같게 맞추면 원증폭기의 정합과 성능을 그대로 유지할 수 있다. 제시된 방법을 검증하기 위하여 마이크로스트립, CPW 각각에 대하여 원증폭기를 제작하고, 다시 DGS를 이용하여 길이를 줄인 증폭기를 제작하였다. 그리고 이들 증폭기 정합회로에 포함된 원래의 전송선로와 DGS를 삽입하여 길이를 줄인 전송선로도 각각 제작하였다. 측정된 결과들은 DGS에 의하여 길이가 줄어든 증폭기의 성능이 원증폭기의 성능과 거의 같음을 보여주고 있다. 또한 DGS를 삽입하여 길이를 줄여준 전송선로의 측정된 전기적 길이도 원선로와 거의 유사함을 보여주고 있다.

Abstract

This paper presents a new method, which uses defected ground structure (DGS) on the ground planes of planar transmission lines such as microstrip and coplanar waveguide (CPW), to reduce the size of amplifiers. The main idea can be summarized as follow; DGS on the ground plane of microstrip or CPW line shows an increased slow-wave effect due to the additional equivalent L-C components. So the electrical length of the transmission line with DGS is longer than that of the standard transmission line for the same physical length. Then, the length of the transmission line with DGS can be shortened in order to maintain the original electrical length to be the same. This leads the matching of the original amplifier to be kept. In order to show the proposed method is valid, two kinds of amplifiers, the original amplifier and reduced amplifier, are fabricated, measured, and compared using both microstrip and CPW. The measured performances of the reduced amplifiers with DGS are quite similar to the ones of the original amplifiers for both microstrip and CPW amplifiers, even though the size of matching networks of the amplifiers with DGS are much smaller than those of the original amplifiers.

Key words : defected ground structure, DGS, amplifiers

「이 논문은 2001년도 두뇌한국21 사업에 의하여 지원되었습니다.」

서울대학교 전기컴퓨터공학부(School of Electrical Engineering & Computer Science, Seoul National Univ.)

*순천향대학교 정보기술공학부(Division of Information Technology Engineering, Soonchunhyang Univ.)

**한국전자통신연구원 원천기술연구소(Telecommunication Basic Research Lab, ETRI)

· 논문 번호 : 20011215-174

· 수정완료일자 : 2002년 3월 7일

I. 머리말

증폭기는 모든 통신 시스템에서 필요한 중요한 부품 가운데 하나로서, 성능이나 가격면에서 차지하는 비중이 매우 크다. 다른 초고주파 부품과 마찬가지로, 마이크로파 증폭기에 있어서도 요구 규격을 만족하는 범위 내에서 가능한 한 소형의 회로가 요구된다. 회로의 소형화는 양산(量産) 가격을 낮출 수 있는 직접적 요인이고, 부수적으로 시스템의 질량을 감소시킬 수도 있는 요인이기 때문에 중요한 설계 목표 가운데 하나이다.

마이크로파 증폭기의 소형화는 일반적으로 정합 회로의 소형화를 의미하는 것으로 이해된다. 증폭소자의 크기는 반도체 공정 과정에서 이미 결정되고, 또 그 자체가 원래부터 극소형이므로, 회로의 소형화 과정에 기여하는 바가 거의 없다. 소형화를 하는 가장 일반적인 방법으로는, 정합회로를 설계하면서 스미스 선도상에서 가능한 한 최단 궤적을 거쳐 정합점으로 이동하는 방법과^[1], 이미 설계가 끝난 회로를 주어진 면적 내에서 최대한 집적시키는 방법이 있다. 전자의 방법은 주로 설계 과정에서 해결하는 문제이고, 후자의 방법은 이미 설계가 끝난 회로를 이용하여 레이아웃(layout)을 할 때, 면적이 제한되어 있을 경우에 주로 이용된다. 후자의 방법은 특히 MMIC(Monolithic Microwave Integrated Circuits)나 RFIC(Radio Frequency Integrated Circuits) 설계에서 매우 중요한 과정 가운데 하나이다. 사실 이 두 가지 방법은 따로 강조하지 않아도 모든 설계자가 증폭기를 설계할 때 당연하게 거치는 과정이다. 그런데 분포 소자 정합을 이용한 증폭기 회로에서는 어떤 방법으로 설계를 하더라도, 정합회로나 스테브들이 일정한 길이를 가지게 된다.

최근에 마이크로스트립 선로에 PBG(Photonic Band Gap)나 DGS(Defected Ground Structure)와 같은 주기구조를 사용하여 원하는 특성을 얻어 내는 연구가 활발하게 진행되고 있다^{[2]-[9]}. PBG를 이용한 주기 구조의 경우, 마이크로스트립 선로 주변 유전체에 주기적으로 구멍을 만들어주거나^[2], 바닥 접지면에 이론적으로 무한대의 동일한 격자구조를 사방으로 만들어서^[3], 저역 통과 여파기 형태의 특성을 얻어내는 방법이 제안되었다. 이 방법에서는 바

닥 접지면의 전체 면적이 주기구조의 식각 대상이 된다. 이에 비하여 마이크로스트립 선로의 바로 아래 접지면에 아령 모양처럼 간단한 패턴을 불과 몇 개만 삽입하여, 즉 접지면에 간단한 형태의 결함(defect)을 만들어서, PBG에서 얻을 수 있는 것과 유사하거나 오히려 더 우수한 특성을 얻는 방법도 제시되었다. 특히 DGS 주기 구조는 기존 PBG 주기 구조에 비하여 패턴이 간단하고 구현 방법이 쉬울 뿐만 아니라, 성능 예측 과정이 상대적으로 간단하고 등가회로 모델링이나 응용 확장성이 뛰어나서, PBG보다 간단하면서도 우수한 주기구조로 간주되고 있다^{[5]-[9]}.

DGS를 지닌 마이크로스트립 선로(이하 "DGS 선로")는 삽입한 결함 구조에 의하여 등가 인덕턴스 성분이 증가하므로 특성 임피던스가 커진 것과 같은 효과를 갖는다. 이는 곧 동일한 길이의 표준 마이크로스트립 선로에 비하여 유효 유전율이 증가한 것으로 등가화되며, 이로 인하여 전파 지연(slow-wave) 특성을 얻을 수 있다. 따라서 동일한 전기적 길이를 유지하면서도 물리적 길이를 줄일 수 있다.

본 논문에서는 이와 같은 DGS 선로의 전파 지연 특성을 이용하여 마이크로파 증폭기의 정합회로를 소형화할 수 있는 방법을 제시한다. 이 방법은 기존의 소형화 설계 방법과 상충하지 않으며, 오히려 기존 정합 방법을 통하여 설계된 회로에 대하여 다시 한번 더 소형화를 시도할 수 있는 방법이다. 제시된 방법의 타당성을 입증하기 위하여 마이크로스트립 선로를 이용하여 설계한 "원증폭기(original amplifier)"와, 원증폭기의 정합회로에 DGS를 적용하여 길이를 줄인 "소형화된 증폭기(reduced amplifier)"를 각각 제작하여 DGS 삽입 이전과 이후의 증폭기 성능이 거의 같음을 보였다. 또한 DGS 삽입에 따른 전기적 길이의 증가 현상과, 선로의 길이를 줄임으로써 정합을 유지할 수 있음을 보이기 위하여 원선로와 DGS 선로의 전기적 길이도 측정하여 비교하였다.

한편, 제시된 방법을 CPW 증폭기에 대하여서도 적용하여 그 타당성을 확인하였다. 본 논문에서 제시하는 방법과 이론을 설명할 때는 편의상 마이크로스트립 선로를 예로 들어서 기술할 예정인데, 모든 설명이 CPW 선로에 대하여도 동일함을 밝힌다.

II. DGS 전송선로와 전파지연상수

그림 1은 마이크로스트립 선로의 접지면에 아령 모양으로 새겨진 단위 DGS 패턴의 예를 보여주고 있다. 바닥 접지면에 결함을 주면 등가의 인덕턴스와 캐패시턴스 성분이 발생하므로 특정 주파수에서의 공진과 차단 특성이 발생한다. 그림 2는 그림 1과 같은 DGS 선로에 대하여 EM 시뮬레이션으로 얻은 전달 특성이다. 결함구조 각 부분의 치수와 사용기판에 따라서 주파수 특성이 달라지겠지만, 전형적으로 그림 2와 같은 특성을 보인다. 즉, 이론적으로 $S_{21}=0$ 인 첫번째 공진 주파수가 생성된다. 그림 1에 주어진 기판과 치수의 경우, 공진주파수가 17.2 GHz에서 생성되었음을 그림 2에서 알 수 있다. EM 시뮬레이션을 위하여 Microwave Studio V3.0을 사용하였다.

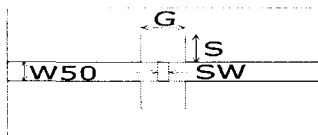


그림 1. 접지면에 아령모양의 단위 DGS 패턴을 지닌 마이크로스트립 선로의 예 ($\epsilon_r=2.6$, 기판두께=0.5 mm, $W_{50}=1.4$ mm, $SW=0.5$ mm, $G=S=2$ mm)

Fig. 1. An example of a microstrip line with a unit DGS pattern on the ground plane ($\epsilon_r=2.6$, substrate thickness=0.5 mm, $W_{50}=1.4$ mm, $SW=0.5$ mm, $G=S=2$ mm).

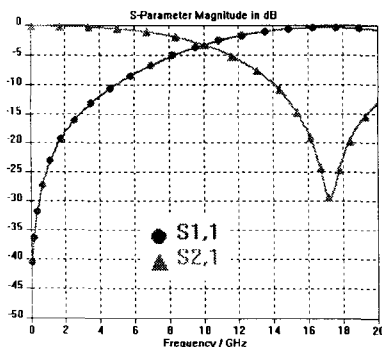


그림 2. 그림 1의 DGS를 포함한 마이크로스트립 선로의 전형적인 전달 특성

Fig. 2. Transfer characteristics of the microstrip line with a DGS pattern shown in Fig. 1.

그림 3은 DGS에 의한 전기적 길이의 증가를 보이기 위하여 물리적으로 길이가 같은 두 개의 선로 중 하나에 DGS를 삽입한 그림이다. 이 두 선로에 대한 10 GHz까지의 S_{21} 의 전기적 길이를 그림 4에 나타내었다. DGS에 의하여 전체 선로의 전기적 길이가 더 길어졌음을 알 수 있다. 따라서 그림 3(a)를 증폭기의 정합회로에 내재되어 있는 어느 선로라 가정한다면, DGS를 삽입함으로써 처음의 길이 L 에서 L' 으로 줄여도 동일한 전기적 길이를 유지할 수 있다. 이 때 기본적으로 지켜져야 할 것은 원하는 동작주파수에서 증폭기의 정합을 깨뜨리면 안된다는 것이다.

그림 3에는 표준형 마이크로스트립 선로가 DGS 패턴 양쪽 입,출력 단자에 길게 연결되어 있기 때문에 순수하게 DGS에 의한 S_{21} 위상의 증가 정도를 알아보기가 알아 보기가 어렵다. 그래서 기준면을 그림 3에 표시한 A와 B까지 밀어넣으면(de-embedding), 동일한 물리적 길이 G 에 대하여 DGS에 의하여 증가한 S_{21} 의 위상을 알 수 있다. 이를 구하여 10 GHz까지 위상을 그림 5에 나타내었다. 이 그림을 통하여 DGS에 의한 전기적 길이가 현재

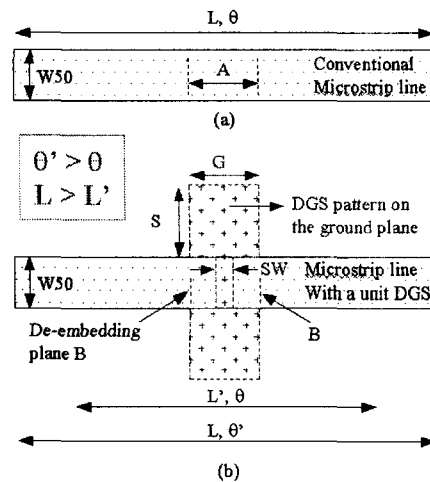


그림 3. (a) 표준형 마이크로스트립 선로
(b) DGS를 포함하면서 길이가 같은 마이크로스트립 선로

Fig. 3. (a) A standard simple microstrip line.
(b) The microstrip line with one DGS pattern and the same length.

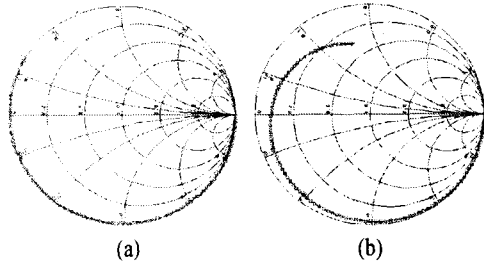


그림 4. (a) 그림 3(a)의 S_{21} 위상, (b) 그림 3 (b)의 S_{21} 위상

Fig. 4. (a) S_{21} phase of Fig. 3(a), (b) S_{21} phase of Fig. 3 (b).

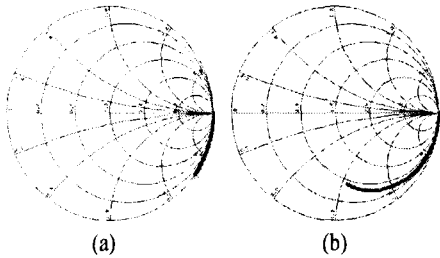


그림 5. (a) 그림 3 (a)의 길이 G에 대한 S_{21} 위상 (b) 그림 3 (b)의 길이 G에 대한 S_{21} 위상

Fig. 5. S_{21} phases of the microstrip lines with length G shown in (a) Fig. 3(a) and (b) Fig. 3(b).

하게 증가했음을 알 수 있다.

위에서 살펴본 DGS에 의한 S_{21} 의 위상 증가 현상을 전파지연효과(slow-wave effect)로 생각해 볼 수 있다. 전자파가 동일한 물리적 길이를 진행하는데 필요한 파장 단위의 길이는, 자유공간에서보다는 유전율이 1보다 큰 일반 매질에서 더 크게 나타나게 된다. 역으로 말해서 동일한 파장일 때, 자유공간에서 전파된 거리가 일반 매질에서보다는 크게 나타난다. 따라서 매질의 유효 유전율이 클수록 전파지연효과가 클 것이다.

동일한 매질에서는, 마이크로스트립이나 CPW와 같은 표준 전송선로보다, PBG나 DGS같은 부가적인 조건을 인가하여 별도의 등가 L-C 성분을 유도해 내면 보다 더 큰 전파지연효과를 얻을 수 있다. 이것을 수식으로 표현하면 다음과 같다. 식 (1)은 유효 유전율이 ϵ_{eff} 인 유전체에서의 β - κ_o 의 관계를

보여준다. 여기에서 β 는 유효 유전율이 ϵ_{eff} 인 매질에서의 전파상수, κ_o 는 자유공간에서의 전파상수이다. 전파지연상수(slow-wave factor, SWF)는 β 와 κ_o 의 비로 나타나므로 식 (2)와 같이 되는데, 파장과의 관계식은 식 (3)과 같다. 여기에서 λ_g 와 λ_o 는 유효 유전율이 ϵ_{eff} 인 유전체에서와 자유공간에서의 파장이다. 이제 길이가 L 인 어느 전송선로에서 S_{21} 의 위상을 $S_{21p,degree}$ 라고 하면, 식 (4)를 이용하여 전파지연상수를 계산할 수 있다.

그림 6은 그림 3에 표시된 표준 마이크로스트립 선로와 DGS 선로를 길이 G만큼 잘라서 비교했을 때의 전파지연상수를 보여주고 있다. DGS가 있는 경우에 두 배 이상 큰 전파지연상수를 보여준다. 따라서 마이크로스트립 선로에 DGS를 적용했을 경우에 길이를 크게 줄일 수 있음을 예측할 수 있다.

$$\beta = \kappa_o \sqrt{\epsilon_{eff}} \quad (1)$$

$$SWF = \sqrt{\epsilon_{eff}} = \frac{\beta}{\kappa_o} \quad (2)$$

$$\lambda_g = \frac{\lambda_o}{\sqrt{\epsilon_{eff}}} \quad (3)$$

$$\sqrt{\epsilon_{eff}} = \frac{\lambda_o S_{21p,degree}}{360L} \quad (4)$$

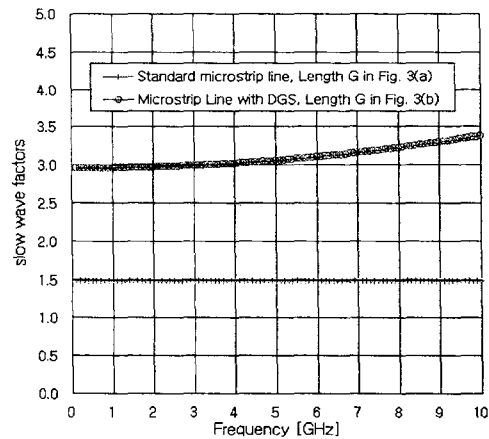


그림 6. 그림 3에 나타난 두 마이크로스트립 선로의 길이 G에 대한 전파지연상수

Fig. 6. Slow-wave factors of two microstrip lines with length G as shown in Fig. 3.

Ⅲ. 원증폭기의 설계 및 특성

본 절에서는 실제 증폭기를 설계하고, DGS를 이용하여 정합회로를 소형화하는 방법에 대하여 기술하고자 한다. 먼저 비교대상으로서의 증폭기가 필요한데, 이를 위하여 2.0~2.3 GHz를 동작 목표 주파수로 하는 증폭기를 설계하였다. 편의상 이를 원증폭기(original amplifier)라고 부르기로 한다.

그림 7 (a)는 실제로 제작한 원증폭기를 정합회로 부분만 간략화시켜 나타낸 그림이다. 증폭기 제작을 위해 유전율이 2.6이고 두께가 20 mil인 테플론 기판을 사용하였고, 패키징된 일반 목적용 HEMT를 증폭 소자로 사용하였다. 그림 8(a)는 원증폭기를 실제로 제작하여 측정한 성능을 보여주고 있다. 목표 주파수 대역에서 약 15 dB의 이득을 갖는 특성을 보여주고 있다. 이 결과는 나중에 제시하게 될 소형화된 증폭기의 성능과 비교될 것이다.

제시하게 될 증폭기의 소형화 방법은, 그림 7(a)의 원증폭기가 스미스 선도상에서 최단 궤적을 따라가도록 설계되었는지 여부에 상관없이, 이미 설계가 완료된 증폭기의 정합회로 내의 전송선로에 대하여 적용할 수 있다. 따라서 원증폭기가 최단 거리를 따라 가도록 설계되었다고 가정한다면, DGS에 의하여 한 번 더 소형화 과정을 거치는 것이 된다.

Ⅳ. DGS를 이용한 증폭기의 소형화와 측정 결과

그림 7 (a)를 보면 입출력 정합회로는 두개의 병렬 스티브와 하나의 직렬 전송선로로 구성되어 있다. 이 회로에서 증폭기의 크기를 줄일 수 있는 부

분이 L_1, L_2 로 표시된 선로이다. 스미스 선도를 이용하여 증폭기 정합회로를 설계할 때 직렬 전송선로 부분은 원점을 중심으로 회전하는 것으로 나타나므로, DGS를 삽입하여 길이를 줄인 직렬 선로의 전기적 길이가 원래 선로와 같으면 동작 대역에서의 정합을 유지할 수 있게 된다. 이 때 원증폭기의 성능이 크게 훼손되면 안된다는 기본적인 전제 조건이 만족되어야 한다. 따라서 크기를 줄인 증폭기는 1) 성능에 있어서 손해가 있더라도 받아 들일만 할 정도로 미미해야 하거나, 2) 최소한 동일한 성능을 유지하거나, 3) 오히려 어떤 부분은 뛰어나야 의미가 있다고 할 수 있다. 그렇지 않으면 소형화의 장점이 반감될 것이다.

전송선로 내에 삽입한 단위 DGS의 개수가 많을수록 전파 지연 현상이 더 크게 나타나므로 상대적으로 길이를 더 많이 줄일 수 있다. 그러나 DGS 개수가 지나치게 많으면, 현실적으로 DGS를 수용할 수 있는 선로의 실제 길이에 한계가 있고, 또한 손실이 무시할 수 없을 정도로 커져서 오히려 정합을 깨뜨리는 문제가 발생하기 때문에 원래 회로의 성능을 해치지 않는 범위 내에서 최적의 개수를 결정하는 것이 좋다. 본 논문에서는 그림 7(a)의 정합회로의 크기를 줄이려는 시도와 원래의 성능을 유지하려는 노력의 결과로 입력측은 두 개, 출력측은 세 개의 DGS 패턴을 삽입하였다.

그림 7(b)는 크기를 줄인 증폭기를 보여주고 있다. 원증폭기의 직렬 전송선로 부분이 DGS삽입으로 인하여 크기가 크게 줄었음을 알 수 있다. 최종적으로 결정된 치수를 살펴보면 먼저 입력측 정합회로의 경우에, 원증폭기에서 L_1 은 13 mm였으나, 두 개의 DGS 패턴 삽입후 7mm(L_1')로 줄어들었다.

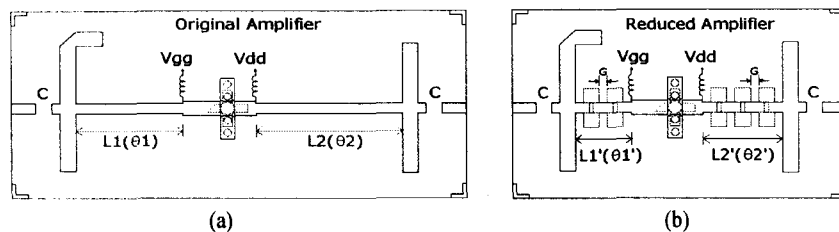


그림 7. 설계된 두 증폭기의 레이아웃. (a) 원증폭기, (b) 소형화된 증폭기(G=1 mm)

Fig. 7. Matching network of two amplifiers. (a) original amplifier, (b) reduced amplifier(G=1 mm).

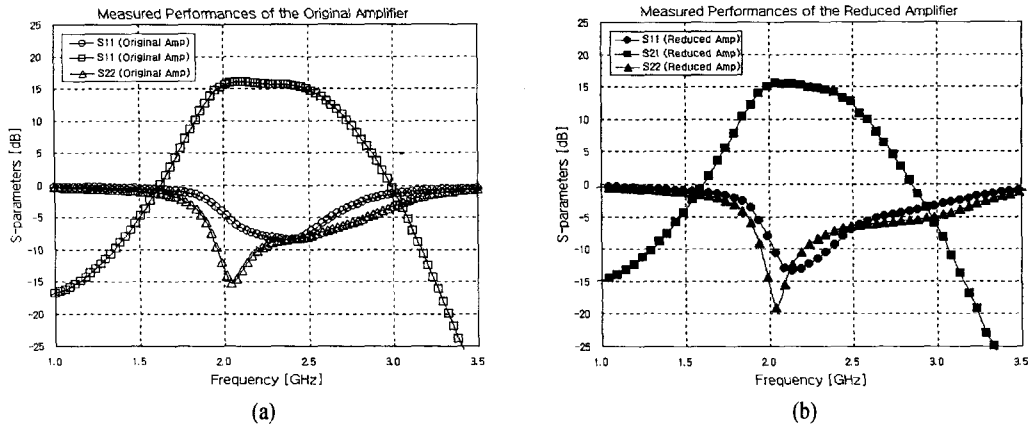


그림 8. 두 증폭기의 측정된 성능 (a) 원증폭기, (b) 소형화된 증폭기

Fig. 8. Measured performances of two amplifiers. (a) original amplifier, (b) reduced amplifier.

또한 출력측의 경우에 L_2 는 처음에 18 mm였으나 역시 DGS 패턴 세 개를 삽입하여 10 mm(L_2')로 길이가 줄었다. L_1 , L_2 를 L_1' , L_2' 와 비교하면 각각 54%, 56%밖에 되지 않는다.

크기 감소가 원증폭기의 성능을 크게 해치지 않는지를 확인하기 위하여 소형화된 증폭기를 측정하여 그림 8(b)에 나타내었다. 원하는 동작 주파수에서 여전히 15 dB의 이득을 보여주고 있으며, 입력 반사계수는 원증폭기와 같거나 약간 더 우수하다. 또한 출력측 반사계수는 2.0~2.3 GHz에서 오히려 개선된 결과를 보이고 있다. 이득 특성의 경우에, 전체적인 이득 곡선의 형태는 같으나 2.5 GHz 부근에서 원증폭기보다 이득이 약간 감소하는 것을 볼 수 있다. 이것은 DGS를 삽입한 선로 자체의 전기적 길이는 유지가 되나, 그림 5(b)에서 보이듯이 주파수가 높아질수록 자체 손실이 조금씩 커지면서 정합점에서의 이탈이 점점 심해지기 때문이다. 그러나 증폭기의 목표 동작 대역을 고려하여 DGS의 크기를 결정했고, 또 동작 주파수를 벗어난 점에서의 정합점 이탈이므로 심각한(critical) 불일치라고 할 수는 없다. 따라서 소형화된 증폭기의 동작 특성이 원하는 동작주파수에서 원증폭기와 매우 유사하다고 말할 수 있다.

그림 9는 L_1 , L_2 , L_1' , L_2' 에 해당하는 선로를 따로 제작하여 S_{21} 의 위상을 측정하여 그 비율을 나타낸 것이다. 약간의 오차는 있겠으나 이상적인 값인 1

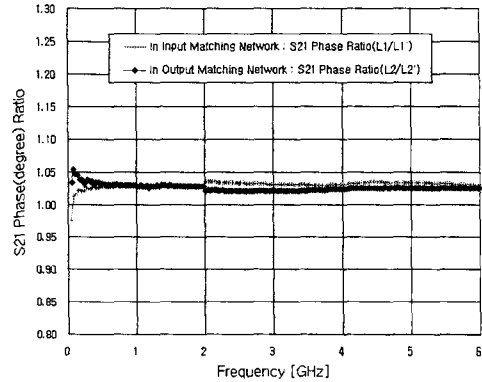


그림 9. 증폭기 정합회로 내의 선로들간의 S_{21} 위상각의 비율(θ_1/θ_1' and θ_2/θ_2')

Fig. 9. The ratio of the measured S_{21} phases (degree), θ_1/θ_1' and θ_2/θ_2' .

에 가까우므로, DGS를 삽입하여 길이를 줄인 마이크로스트립 선로가 증폭기 정합을 원증폭기에서와 같이 유지하여, 결과적으로 증폭기 성능이 큰 변화 없이 유지됨을 설명해 준다.

V. CPW 증폭기에서의 DGS를 이용한 소형화

본 논문에서 제안하는 방법은 CPW 증폭기에도 그대로 적용할 수 있다. 방법이 같으므로 자세한 설명은 생략하고, CPW 증폭기에 제안하는 방법을 적용한 결과를 기술하고자 한다. 그림 10(a)는 CPW

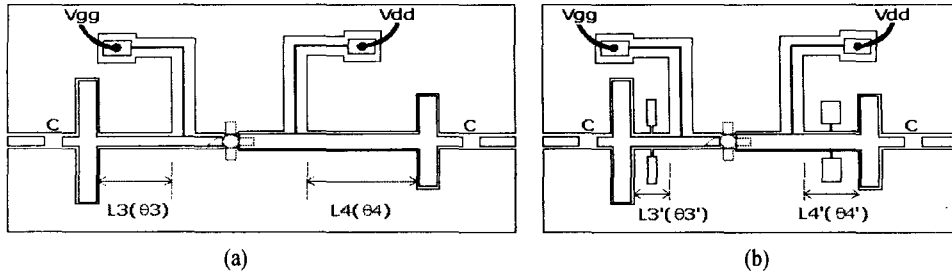


그림 10. CPW로 설계한 증폭기의 레이아웃. (a) 원증폭기, (b) 길이가 줄어든 증폭기
 Fig. 10. Layouts of two CPW amplifiers. (a) original amplifier, (b) reduced amplifier.

선로를 이용하여 중심주파수 2 GHz에서 설계한 증폭기의 레이아웃을 보여주고 있다. 이 그림에서 표시된 L_3 , L_4 가 DGS를 삽입하여 길이를 줄일 수 있는 부분이다. 동일한 전기적 길이를 유지하면서 물리적 길이를 줄이기 위하여 그림 10(b)에 나타난 것과 같은 CPW용 DGS를 정합회로에 삽입하여 L_3' , L_4' 로 길이를 줄일 수 있다. 길이를 줄이기 전에 L_3 , L_4 는 각각 8 mm, 12 mm이고, DGS에 의하여 길이가 줄어든 L_3' , L_4' 는 각각 4 mm, 6 mm이다.

CPW 증폭기 설계에 사용한 기판의 유전율과 유전체 두께는 각각 10.2, 25 mil이다. 이 기판을 이용하여 실제로 두 증폭기를 제작하여 그 성능을 측정하였다. 사용된 증폭소자는 마이크로스트립 증폭기에서와 같다. 그림 11은 CPW를 이용한 원증폭기와 소형화된 증폭기의 측정된 성능을 보여주고 있다. 마이크로스트립 증폭기에서와 마찬가지로 두 측정된 성능이 유사함을 알 수 있다.

VI. 맺음말

DGS를 포함한 전송선로가 갖는 증가된 전파 지연 효과에 기인한, 동일한 물리적 길이일 때 DGS를 포함한 선로의 전기적 길이가 더 길다는 사실을 이용하여, 마이크로파 증폭기의 정합회로의 크기를 줄일 수 있는 방법을 제시하였다. 전파지연상수를 전송선로의 위상으로부터 계산할 수 있음을 밝히고, DGS가 삽입됨으로써 증가하는 전파지연상수를 구하여 표준형 마이크로스트립 선로와 비교해 보았다. 동작 대역에서 원증폭기의 정합을 깨뜨리지 않으면서도 정합회로를 구성하는 직렬 전송선로와 동일한 전기적 길이를 갖게 유지하기 위하여, DGS를 삽입한 후 전송선로의 길이를 크게 줄여 주었다. DGS가 삽입된 전송선로의 전기적 길이가 원증폭기 내의 전송선로와 거의 같음을 측정을 통하여 확인하였다.

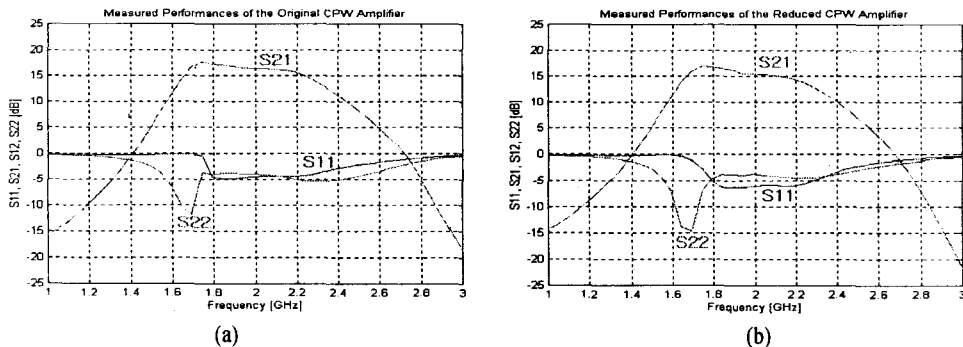


그림 11. CPW 증폭기의 성능 측정 결과. (a) 원증폭기, (b) 소형화된 증폭기
 Fig. 11. Measured performances of two CPW amplifiers. (a) original amplifier, (b) reduced amplifier.

마이크로스트립과 CPW 증폭기 모두에 DGS를 삽입하여 정합회로의 길이를 줄임으로써 소형화된 증폭기를 설계, 제작하였다. 제작된 4개의 증폭기의 성능을 모두 측정하여, 원증폭기와 소형화된 증폭기의 특성이 유사함을 확인하였다. 이로써 본 논문에서 제시한 DGS를 이용한 증폭기의 크기 감소 방법이 타당함을 확인하였다. 제시된 방법은 MIC, MMIC, RFIC 기술을 이용하여 증폭기 뿐만 아니라 여타의 고주파 회로의 소형화에도 널리 적용할 수 있을 것으로 여겨진다.

참 고 문 헌

[1] G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice-Hall, 1984.
 [2] V. Radisic, Y. Qian, and T. Itoh, "Broad power amplifier using dielectric photonic bandgap structure", *IEEE Microwave Guide Wave Lett.*, vol. 8, pp. 13-14, Jan. 1998.
 [3] Y. Qian, F.-R. Yang, and T. Itoh, "Characteristics of Microstrip Lines on A Uniplanar Compact PBG Ground Plane", *Proceedings of the 1998 Asia-Pacific Microwave Conference*, pp. 589-592, Dec. 1998.
 [4] T. Y. Yun and K. Chang, "Uniplanar One-Dimensional Photonic-Bandgap Structures and

Resonators", *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 3, pp. 549-553, Mar. 2001.
 [5] C. S. Kim, J. S. Park, D. Ahn and J. B. Lim, "A Novel 1-D Periodic Defected Ground Structure for Planar Circuits", *IEEE Microwave Guide Wave Lett.*, vol. 10, pp. 131-133, Apr. 2000.
 [6] J. S. Lim, H. S. Kim, J. S. Park, D. Ahn, and S. Nam, "A Power Amplifier with Efficiency Improved Using Defected Ground Structure", *IEEE Microwave and Wireless Component Lett.*, vol. MWCL-11, no. 4, pp. 170-172, Apr. 2001.
 [7] D. Ahn, J.-S. Park, C.-S. Kim, J. Kim, Y. Qian, and T. Itoh, "A Design of the Low-Pass Filter Using the Novel Microstrip Defected Ground Structure", *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 1, pp. 86-93, Jan. 2001.
 [8] J. S. Lim, C. S. Kim, J. S. Park, D. Ahn, and S. Nam, "Design of 10 dB 90° branch line coupler using microstrip line with defected ground structure", *IEE Electronics Lett.*, vol. 36, no. 21, pp. 1784-1785, Oct. 2000.
 [9] J. S. Lim, S. W. Lee, C. S. Kim, J. S. Park, D. Ahn, and S. Nam, "A 4:1 Unequal Wilkinson Power Divider", *IEEE Microwave and Wireless Components Lett.*, vol. 11, no. 3, pp. 124-126, Mar. 2001.

임 종 석



1991년: 서강대학교 전자공학과 (공학사)
 1993년: 서강대학교 대학원 전자공학과 초고주파 전공 (공학석사)
 1993년~1999년 3월: 한국전자통신연구원 위성통신기술연구단, 무선방송기술연구소 선임연구원

1999년 3월~현재: 서울대학교 전기컴퓨터공학부 박사과정
 [주 관심분야] MIC, MMIC 초고주파 회로 개발, 능동/수동 소자 모델링, 위성중계기용 시스템 및 부품, 고효율 증폭기, 전력분배기/합성기 개발, 주기 구조의 모델링 및 회로 응용 등

박 준 석



1996년: 국민대학교 전자공학과 (공학박사)
 1997년: UCLA Post Doc.
 1998년~현재: 순천향대학교 정보기술공학부 교수
 [주 관심분야] RF, 마이크로파 회로 설계 및 모델링 등

김 철 수



2002년 2월: 순천향대학교 전자공학과 (공학박사)
2001년~현재: 한국전자통신연구원 원천기술연구소
[주 관심분야] RF, 마이크로파 수동 회로 설계 및 수동소자 모델링 등

안 달



1990년: 서강대학교 전자공학과 (공학박사)
1990년~1992년: 한국전자통신연구소 선임연구원
1992년~현재: 순천향대학교 정보기술공학부 교수
[주 관심분야] RF, 마이크로파 수동소자 해석 및 설계 등

이 영 택



2000년 2월: 서울대학교 대학원 전기공학부 (공학석사)
2000년 3월~현재: 서울대학교 전기컴퓨터공학부 대학원 박사과정
[주 관심분야] 마이크로파 발진기, 저위상잡음 발진기, 공진기, 주기구조 응용 등

남 상 욱



1981년 2월: 서울대학교 전자공학과 (공학사)
1983년 8월: 한국과학기술원 전기전자공학과 (공학석사)
1989년 5월: University of Texas at Austin 전기공학과 (공학박사)
1990년~현재: 서울대학교 전기컴퓨터공학부 교수
[주 관심분야] 전자파 수치 해석, 안테나 및 초고주파 회로 설계 등