Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol. 15, No. 12, p. 1065, December 2002.

논 문 15-12-10

AC PDP의 유전체 두께와 격벽 높이에 따른 Addressing Time

The Effect of Dielectric Thickness and Barrier Rib Height on Addressing Time of Coplanar AC PDP

신중홍*, 박정후**
(Joong-Hong Shin* and Jung-Hoo Park**)

Abstract

The addressing time should be reduced by modifying cell structure and/or driving method in order to replace the dual scan system by single scan and increase the luminance in large ac plasma display panel(PDP). In this paper, the effects of the addressing time was decreased with decreasing thickness of dielectric layer on the front glass and thickness of white dielectric layer on the rear glass. the decreasing rate were 160ns/10μm and 270ns/10μm, respectively. Also in case of decreasing the height of barrier rib, addressing time was decreased at the rate of 50ns/10μm.

Key Words : AC PDP, Addressing time, Dielectric laye, Barrier rib

1. 서 론

AC plasma display panel의 ADS(Address-Display Separated) 기법[1,2]의 가장 큰 단점은 긴 Addressing time 이다. 한 line을 Scanning 하는데 소요되는 시간은 약 3μs로 만약 VGA급의 480라인을 Scanning 한다면 총 소요시간은 약 1.4㎳가 된다. 1 frame은 256 gray level을 구현하기 위해서 8개의 subfield가 필요하다. 그러므로, 총 addressing time은 1 frame 70%인 11.52㎳이 된다. Addressing time이 증가함으로써, image를 구현하는데 필요한 Sustaining time은 감소하게 되고 결과적으로, PDP의 휘도가 감소하게 된다.

이러한 문제를 해결하기 위해 대화면 AC PDP에 dual scan 방식이 적용되었다. 이 경우 single scan방식에 비해 scanning 시간이 반으로 줄어들 수 있으나 구동회로의 비용이 증가한다. HDTV (High Definition TV)의 경우에는 VGA급 보다 더 많은 scan line을 가지고 있으므로 addressing 속도에 대한 문제는 앞으로 큰 관심거리가 될 것이다[3]. Addressing time은 ac PDP의 셀 특성과 유전층의 두께 그리고 address 전극에 의존한다.

본 연구에서는, ac PDP의 유전체 두께와 격벽 높이의 변화에 따른 addressing time을 조사하였다.

* : 동의대학교 전기공학과
부산시 부산진구 가야동 산24번지,
E-mail : jhshin@dongeui.ac.kr
** : 부산대학교 전기공학과
2002년 9월 24일 접수, 2002년 10월 10일 1차 심사완료,
2002년 10월 29일 최종심사완료

2. 이론적 배경 및 실험 방법

그림 1은 3전극 ac PDP의 방전 셀 구조를 나타내고 있으며 표 1은 VGA급의 해상도를 가진 4inch Test PDP의 Spec.을 보여주고 있다. 본 연구에서는 3전극 stripe 구조인 4 inch 모델PDP를 사용하였으며 그림 1에 Sustain 전극 X, Scan 전극 Y, Address 전극 A의 모양이 나타나 있다[5,6].

그림 2는 address 구간에서 addressing time을 검출하기 위한 구동 파형을 나타내고 있다.

표 2는 각 전극에 인가되는 전압이다. 이 파형의 한 주기는 약 2㎳이고 같은 파형이 반복된다. cross-talk 현상을 제거하기 위해서 어드레스 전극

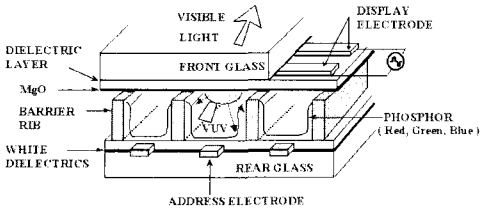

그림 1. AC-PDP의 개략도.

Fig. 1. The schematic diagram of ac-PDP.

표 1. PDP 4 인치 명세사항.

Table 1. Specifications of 4-inch AC PDP.

Front panel		Rear panel	
ITO width	310㎛	Address electrode width	100㎛
ITO gap	60㎛	White back thickness	15㎛
BUS width	100㎛	Rib height	150㎛
Dielectric thickness	25㎛	Rib pitch	360㎛
MgO thickness	5000Å	Rib width	70㎛
		Phosphor thickness	15㎛

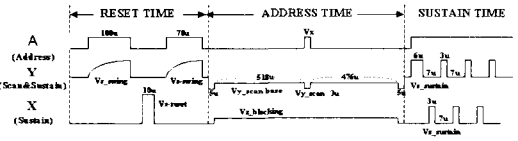

그림 2. ADS 방식의 인가 파형 개략도.

Fig. 2. The schematic waveform of ADS Method.

표 2. 상·하판 유전체 두께 및 격벽 높이에 따른 변화 시 전압상태.

Table 2. The conditions of applied voltage.

V_Y	-150~160 [V]
V_Y (scan base)	-50 [V]
V_A	100~120 [V]
V_X	90 [V]
V_X (reset)	380 [V]
V_X (sustain & swing)	180 [V]
Rising time of addressing pulse	100 [ns] / 100 [V]

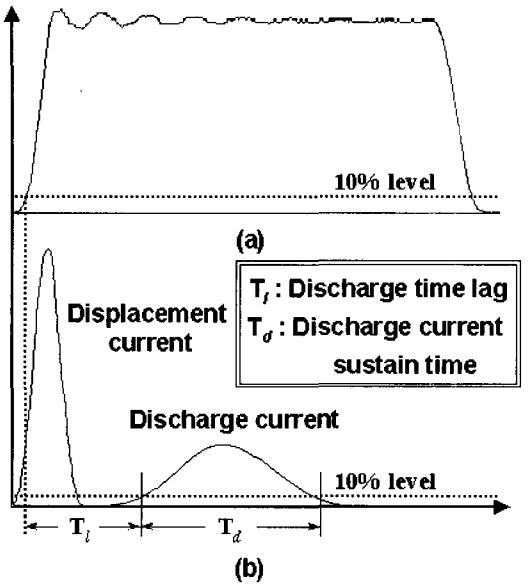

그림 3. T_l과 T_d의 정의

(a) 인가 전압 파형

(b) 변위전류와 방전전류 파형.

Fig. 3. The definition of T_l and T_d.

(a) Applied voltage waveform

(b) Displacement and Discharge current waveform.

들은 교대line에 addressing 되어진다.

그림 3은 addressing pulse voltage Va의 전형적인 파형과 충전 전류 Io(혹은 변위 전류), addressing 방전 전류 Ia를 나타내고 있다. 방전시간지연 T_l과 방전 전류 늦음 T_d는 그림 3에 나타내었다. T_l은 전압의 인가와 Breakdown의 onset 사이의 시간이다. 어드레싱 방전과정은 T_l+T_d의 시간 안에 종결되어지고 addressing time은 T_l+T_d [7]에 의해서 결정된다.

3. 결과 및 토론

그림 4는 상판 유전체의 두께에 따른 addressing time 특성을 보여준다. 방전지연시간과 addressing time은 유전체 두께 증가와 더불어 증가한다.

이 결과는 다음과 같은 이유로 설명된다. 그림 5(a)는 방전 cell의 구조 중 상판의 Sustain 전극쌍이다. 그림 5(b)는 그림 5(a)의 전극구조의 등가용

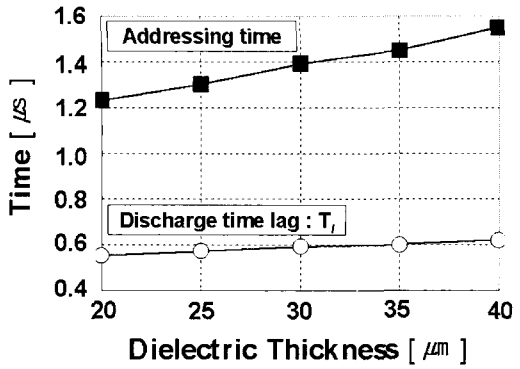

그림 4. 상판 유전체 두께에 따른 Addressing time.

Fig. 4. The addressing time as a parameter of dielectric layer thickness.

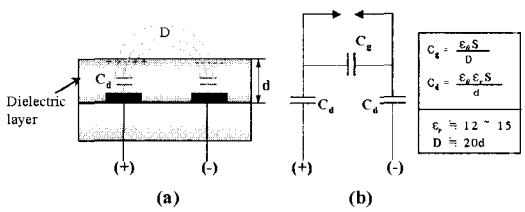

그림 5. 단위셀에서의 표시전극 배열과 용량성 등가회로.

Fig. 5. Sustain electrode arrangement and capacitance equivalent circuit in a discharge cell..

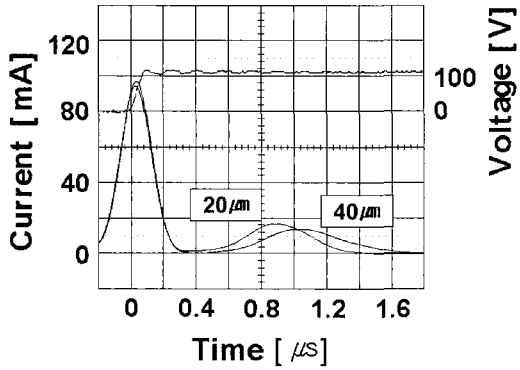

그림 6. 유전체 두께에 따른 방전 전류 파형.

Fig. 6. The current waveforms as a parameter of dielectric layer thickness.

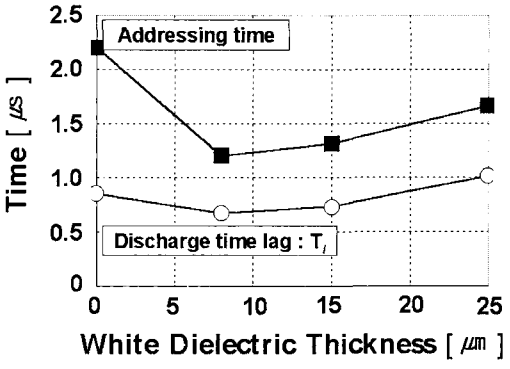

그림 7. 하판 유전체 두께에 따른 addressing time.

Fig. 7. The addressing time as a parameter of white back layer thickness.

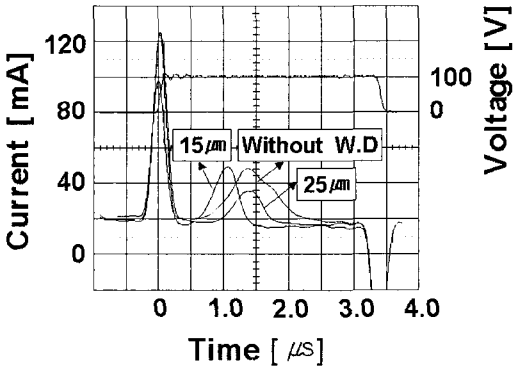

그림 8. 하판 유전체 두께에 따른 방전 전류 파형.

Fig. 8. The current waveforms as a parameter of white back laye thickness.

량을 보여준다. Cg는 방전 gap의 용량이고 Cd는 유전체의 용량이다. 방전이 개시하기 전에 방전공간에 걸리는 방전전압은 유전체 두께(d)가 증가할수록 감소한다[8]. 그러므로, 방전지연시간은 같은 인가 전압상태 하에서의 유전체층의 두께(d)가 증가 할수록 길어진다.

그림 6은 상판 전극 위의 유전체의 두께가 20㎛와 40㎛ 일 때의 일반적인 전류 파형을 보여준다. 방전지연시간과 addressing time은 하판 유전체의 두께가 증가 할수록 함께 증가한다. 방전지연시간과 addressing time의 증가율은 각각 35ns/10㎛와 160ns/10㎛이다.

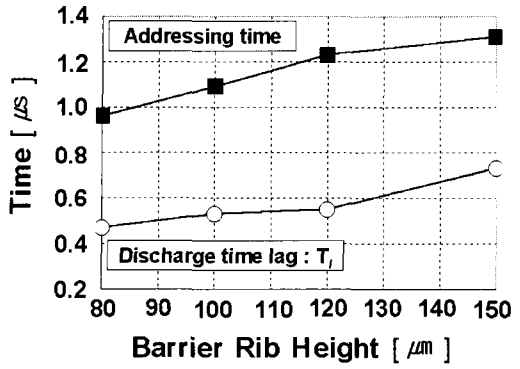

그림 9. 격벽(barrier rib) 높이에 따른 addressing time.

Fig. 9. The addressing time as a parameter of barrier rib height.

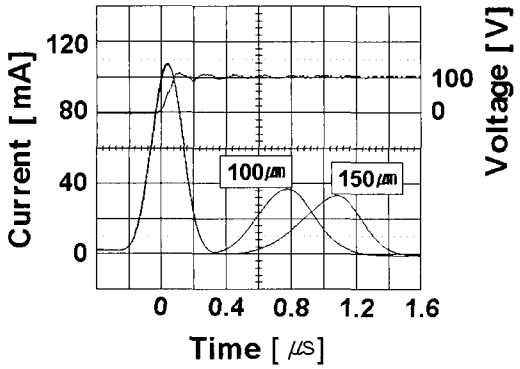

그림 10. 격벽의 높이에 따른 전류파형.

Fig. 10. The current waveforms as a parameter of rib height.

그림 7은 하판 전극(address 전극)위 하판 유전층 두께의 파라미터에 따른 addressing time을 보여주고 있다. 하판 유전체의 두께가 증가할 경우, gap에 걸리는 전압은 감소하고, 따라서 방전지연시간은 증가한다. 그 이유는 그림 4에서 기술되어진 것과 같이 상판 유전체 두께가 증가 할수록 addressing time이 증가하는 이유와 동일하다. address pulse 기간동안 그림 1에서 보여주듯이 Y와A사이에서 방전이 시작된다. 플라즈마의 첫 형성은 A전극(anode)위의 유전체 표면에서 발생하고, Y전극(cathode)쪽으로 확산 되어간다[9,10]. 이 Y와 A 전극사이에서 발생한 방전으로 X와 Y사이의 성공적인 방전을 형성한다. address pulse의 마지막에는 양(+)의 전하들이 Y 전극위의 유전체 표면에 축적되어지고 음의 전하들은 각각 X와 A전극위의 유전체 표면에 축적되어 진다. 이렇게 유전체위에 축적된 전하들은 벽전하라 부르며 이러한 벽전하들은 X와 Y전극에서 서스테인 기간 동안 sustain 방전을 가능하게 할 것이다[11-13].

그러나, 만약 하판 유전층이 없다면 음전하의 대부분은 A 전극안으로 흘러 결과적으로, 전류 파형의 폭과 addressing time은 증가를 야기할 것이다.

또한, X와 Y전극 사이의 sustain 방전은 X전극위의 음의 벽전하의 감소 때문에 일어나지 않을 것이다.

그림 8은 하판 유전층의두께가 0㎛, 15㎛와 25㎛ 일때의 전류 파형을 보여준다. 방전지연시간 addressing time은 하판 유전층의 두께가 증가할수록 함께 증가한다.

방전지연시간과 addressing time의 증가율은 각각 200ns/10㎛와 270ns/10㎛이다.

그림 9는 격벽 높이에 따른 addressing time을 보여준다. ac PDP에서 격벽은 cell 사이에서 전기적인 상호작용과 광학적인 상호작용(cross-talk)를 막는 역할을 하고, 또한 형광체 층에서 VUV와 가시광 전이의 역할도 한다. 방전지연시간은 그림9에서 보여주듯이 격벽 높이가 증가할수록 증가한다. address 기간에 격벽 높이가 증가할 때, 즉 A와 Y 전극의 간격이 증가하면 Break-down 전압과 방전지연시간이 Parchen의 법칙에 따라서 증가한다. 그러나, 격벽 높이가 80㎛보다 낮은 경우 sustain 전압은 sustain 기간 동안 플라즈마의 방전공간의 감소와 확산손실로 인해 증가하게 된다.

그림 10은 격벽의 높이가 100㎛와 150㎛일 때 전형적인 전류 파형을 보여준다. 방전지연시간과 addressing time은 격벽의 높이가 증가할수록 증가한다. 방전지연시간과 addressing time의 증가율은 각각 37ns/10㎛와 50ns/10㎛이다.

4. 결 론

본 연구에서는 유전체 두께와 격벽높이의 변화에 따른 방전지연시간과 addressing time을 조사하였다.

방전지연시간과 addressing time은 유전체의 두께가 증가할수록 함께 증가하였고 그 증가율은 각각 35ns/10㎛와 160ns/10㎛이다. 방전지연시간과 addressing time은 address전극 측의 유전체의 두

께와 함께 증가하였다. 그 증가율은 각각 200ns /10㎛와 270ns/10㎛ 이다.

형광체 두께가 15㎛일 때 가장 합리적인 격벽 높이는 addressing과 sustain 방전 관점에서 볼 때 100㎛이고, 방전지연시간과 addressing time은 격벽 높이의 감소와 함께 각각 37ns/10㎛와 50ns/10㎛의 비율로써 증가하였다.

참고 문헌

[1] T. Shinoda, "High level gray scale for AC plasma display panels using address-display period-separated sub-field method", Trans. of IEICE C-2, No. 3, p. 349, 1998.

[2] S. Yoshikawa "Full-color AC plasma display with 256 gray scale", Japan Display, p. 605, 1992.

[3] A. Sobel, "Big, bright, and beautiful", Information DISPLAY(SID), Vol. 14, No. 9, p. 26, 1998.

[4] H. Hirakawa "Cell structure and driving method of a 25-in.(64-cm) diagonal high-resolution color ac plasma display", SID 98 digest, p. 279, 1998.

[5] K. B. Kim, Y. I. Kim, K. W. Koo, H. G. Chun, and D. Y. Cho, "A study of the structure and luminescence property of $BaMgAl_{10}O_{17}:Eu^{2+}$ blue phosphor using scattering method", J. of KIEEME(in Korean), Vol. 15, No. 1, p. 67, 2002.

[6] T. Shinoda, "Development of panel structure for a high-resolution 21-in-diagonal full color surface-discharge plasma display panel", IEEE Trans. on Electron Devices, Vol. 47, No. 1, p. 77, 2000.

[7] C. Punset "Addressing and sustaining in alternating current coplanar plasma display panels", J. Appl. Phys., Vol. 86, No. 1, p. 124, 1999.

[8] D. H. Nam, K. W. Lee, and J. W. Park, "DC magnetron sputtering of Cr/Cu/Cr metal electrodes for AC plasma display panel", J. of KIEEME(in Korean), Vol. 13, No. 8, p. 704, 2000.

[9] R. Yoshida, "Plasma Display", Kyoritsu Ed. Japan, p. 63, 1983.

[10] SEI Sato "Surface-discharge type plasma display panel", IEEE Trans. on Electron devices, Vol. 23, No. 3, p. 328, 1976.

[11] J. D. Schemerhorn "A controlled lateral volume discharge for high luminous efficiency AC APDP", SID '00 Digest, p. 106, 2000.

[12] J. S. Park "Comparision study between modeling and experiment of the breakdown voltage for AC plasma display panel", J. of KIEEME(in Korean), Vol. 13, No. 12, p. 1039, 2000.

[13] J. P. Boeuf "Physics and modeling of plasma display panels", J. Appl. Phys., IVFrance 7, C4-3~C4-14, 1