

실리콘 액정표시 장치 시스템을 위한 0.5 μm 이중 게이트 고전압 CMOS 공정 연구

A Study on the 0.5 μm Dual Gate High Voltage CMOS Process for Si Liquid Display System

송한정
(Han-Jung Song)

Abstract

As the development of semiconductor process technology continue to advance, ICs continue their trend toward higher performance low power system-on-chip (SOC). These circuits require on board multi power supply. In this paper, a 0.5 μm dual gate oxide CMOS process technology for multi-power application is demonstrated. 5 V and 20 V devices fabricated by proposed process is measured. From 5 V devices using dual gate process, we got almost the same characteristics as are obtained from standard 5 V devices. And the characteristics of the 20 V device demonstrates that 3 μm devices with minimum gate length are available without reliability degradation. Electrical parameters in minimum 3 μm devices are 520 $\mu\text{A}/\mu\text{m}$ current density, 120 mV DIBL, 24 V BV for NMOS and 350 $\mu\text{A}/\mu\text{m}$ current density, 180 mV DIBL, 26 V BV for PMOS, respectively.

Key Words : High voltage, Multi power supply, Dual gate, CMOS, Process, Device

1. 서론

반도체 미세 소자 기술이 발전함에 따라 집적회로가 갈수록 고집적, 저전력화 하면서 거대한 시스템 자체가 하나의 단일칩으로 구현되는, 소위 SOC (system-on-chip) 시대가 이제는 거스를 수 없는 보편적 추세가 되었다[1,2]. 이러한 거대한 시스템의 단일 칩화는 그 회로의 복잡성뿐 아니라 공정 구현 측면에서도 새로운 도전이 되고 있다. 종래의 칩들이 단일 전원을 사용하였다면 이러한 시스템 레벨의 SOC 들은 대개 회로의 기능별로 서로 다른 다중 전원 전압이 필요하다는 점이 그

특징이다[1,2]. 일반적으로 고 전압 전원이 요구되는 부분은 시스템에서의 출력단 부분인데, DC 모터 드라이버 라든가 액정표시 장치 드라이버 등이 그 대표적인 예로써, 이들은 일반적으로 5 V 또는 3.3 V 의 표준 전원을 사용하는 것과는 달리 12 V 에서 경우에 따라서는 60 V에 이르는 전압이 필요하다[2]. 이러한 다중 전원전압 응용을 위한 공정에서는 기본적으로 상이한 전압으로 인한 이중 게이트 산화막을 사용하는데, 지금까지의 연구결과를 살펴보면, 이중 확산 BiCMOS 공정이라든지 smart MOS 공정 또는 감소된 표면 전계 효과를 이용하는 lateral LDMOS 등이 대표적이라 할 수 있다 [3-5]. 이러한 연구들은 제각기 장단점을 가지고 있는데, 신뢰성 있는 소자 구현을 위하여는 공정의 상이성이 문제가 되거나 또는 고전압 소자로 인한 낮은 집적도 등이 문제가 될 수 있고 표준 공정 또는 집적도를 지향하는 경우는 소자의 신뢰성이

충청대학 전자공학과
(충북 청원군 강내면 월곡리 330번지,
Fax : 043-230-2279
E-mail : hjsong@ok.ac.kr
2002년 8월 14일 접수, 2002년 8월 30일 1차 심사완료,
2002년 9월 18일 최종 심사완료

문제가 되기도 한다. 더욱이 시스템마다 필요한 고전압 소자가 각기 다르기 때문에 아직까지는 통일된 공정이라기 보다는 시스템 의존성이 더 크다고 할 수 있다[3-5]. 이러한 이유로 고전압 및 저전압을 아우르는 다중 전원전압 공정 연구는 앞으로 시스템 레벨의 SOC 회로의 발전과 함께 더욱 더 많은 연구가 필요하리라 사료된다. 본 논문에서는 20 V 급 고전압이 필요한 실리콘 액정표시장치 시스템 응용을 위한 이중 게이트 산화막 CMOS 공정을 소개한다. 이미 구축되어진 5 V 저전압 소자의 SPICE 모델 및 라이브러리 이용이 가능하도록, 종래의 0.5 μm 표준 CMOS 공정에 20 V 급 고전압 소자를 위한 이중 산화막 공정 등을 추가하여 최적화 하는 방법을 취하였다.

본 논문의 구성은, 우선 2 장에서 0.5 μm 이중 게이트 산화막 CMOS 공정 구현에 대하여 언급한다. 종래의 0.5 μm 5 V CMOS 공정기술을 기본으로 하여 20 V 고전압 공정을 추가하여 구현한다. 신뢰성 있는 공정 개발을 위하여 SUPREM[10,11]에 의한 모의실험을 실시한다. 3 장에서는 이중 게이트 산화막 CMOS 공정으로 제작된 저전압 및 고전압 소자들의 특성에 대하여 다룬다. 5 V 저전압 소자와 종래의 표준 5 V 소자의 특성을 비교하여 보이고, 20 V 고전압 소자의 경우는 그 전기적 특성을 측정, 분석한다. 마지막으로 4 장에서는 본 논문의 결론을 언급한다.

2. 실험

2.1 Process Integration

그림 1에 본 논문의 5 V 저전압 소자 및 20 V 고전압 소자가 동일 칩 내에 동시에 구현되는 0.5 μm 이중 게이트 산화막 CMOS 공정의 단면이 나타나 있다. 그림으로부터 공정 형태를 살펴보면 기본적으로 쌍 우물 (twin-well) 에 소자 격리를 위해 LOCOS 구조를 취하고 있다. 5 V 저전압 소자는 일반적인 sub- μm 급 소자에서와 같이 고온 열전자 효과에 의한 열화 방지를 위하여 LDD (lightly doped drain) 구조 [6,7]를 사용하였다. 20 V 고전압 소자인 경우는, 인가되는 높은 구동 전압, 즉 높은 드레인 및 게이트 전압에 견딜 수 있도록 충분히 두꺼운 게이트 산화막을 사용하였고 소스와 드레인에 좀더 낮은 농도의 드리프트 영역이 존재하는 DDD (double diffuse drain) 구조 [7,8]가 되도록 하여 소자의 항복전압이 20 V의

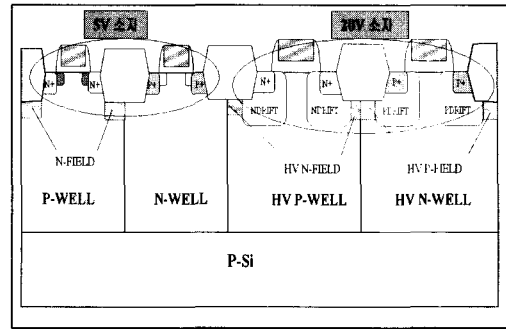


그림 1. 이중 게이트 CMOS 소자의 단면도.
Fig. 1. Cross section of the dual gate CMOS device.

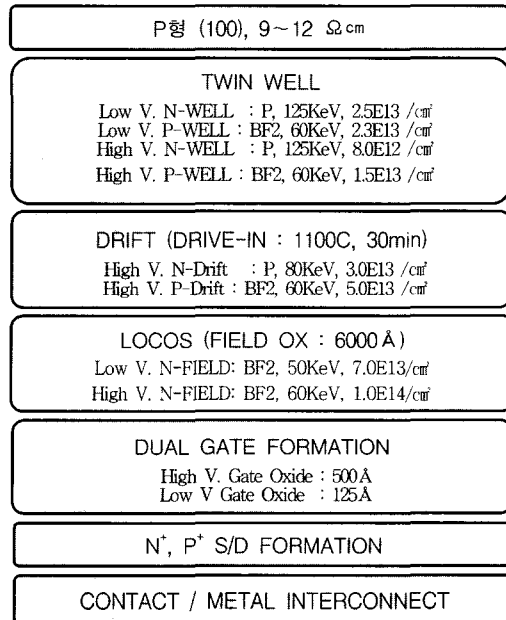


그림 2. 이중 게이트 CMOS 소자의 공정 흐름도.
Fig. 2. Process flow of the dual gate CMOS.

구동 전압 이상이 되도록 소자 설계를 하였다. 실험에 사용된 웨이퍼는 비저항이 9~12 $\Omega\text{-cm}$ 인 p형이다. 0.5 μm 이중 게이트(dual gate) CMOS 고전압 공정[12]은 정상적인 CMOS 공정[10]에 고전압 소자를 위한 well 공정과 드리프트 형성공정 등을 추가함으로써 이루어진다. 본 공정에 대하여 그림 2의 주요 공정 흐름도를 가지고 살펴보면, 쌍 우물 (twin-well) 공정은 크게 2가지로 나뉜다.

저전압용 소자의 경우는, p-우물의 경우에 붕소를 125 keV, $2.5 \times 10^{13} \text{ cm}^{-2}$ 으로, n-우물은 인을 60 keV, $2.3 \times 10^{13} \text{ cm}^{-2}$ 으로 이온 주입하고 1200 도에서 3시간 우물 drive-in을 실시하였다. 고전압용 소자의 우물(well) 공정은 저전압 우물 공정에 비해 도핑농도를 낮추어 (n-well : 8.0×10^{12} , p-well : BF2, 1.5×10^{13}) 구현하였다. 고전압 소자는 20 V 이상에서 구동되는 드레인 및 게이트 전압에 견딜 수 있도록 충분한 게이트 산화막 및 드레인 접합에 대하여 충분한 항복전압[9]을 가져야 한다. 이를 위하여 낮은 농도의 DDD (double diffused drain) 소자 구조가 되도록 드리프트 형성 공정을 추가하였다. 전통적인 DDD 공정은 어닐링 등 고온의 추가적인 단위 공정으로 인하여 종래의 5 V 소자 특성이 틀어질 가능성이 있기 때문에 본 논문에서는 DDD 구조를 형성하는 드리프트 공정을 소자 격리 공정에 앞서 실시되도록 하였다. n 채널 소자의 경우는 인을 80 keV, 3.0×10^{13} 의 조건으로, p 채널 소자의 경우는 붕소를 60 keV, 5.0×10^{13} 의 조건으로 1100 도에서 30분간 드리프트 drive-in을 실시하였다. 이때 마스크 2장이 추가로 필요하다. 소자간 전기적 격리를 위하여 6000 Å의 전통적인 LOCOS 공정을 사용하였다. 전기적 절연을 증가시키기 위하여 실시되는 필드 이온 주입은 n 채널 저전압 소자의 경우 붕소를 50 keV, 7.0×10^{13} 으로, 고전압 소자의 경우 붕소를 60 keV, 1.0×10^{14} 의 조건으로 실시하였다. 본 논문의 이중 게이트 공정은 고전압 소자를 위하여는 산화막 두께 500 Å을, 저전압 소자를 위하여는 산화막 두께 125 Å를 사용하였고 1500 Å의 폴리 실리콘에 1200 Å의 텅스텐 실리사이드로 게이트 단자를 사용하였다. 이후의 공정은 전통적인 CMOS 공정과 같이 소스 및 드레인 공정에 이어 콘택 및 메탈 인터커넥션 순으로 이루어진다.

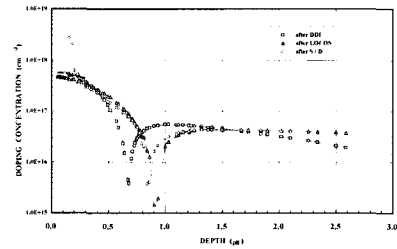
2.2 Process Simulation

본문의 공정 최적화를 위하여 실제 공정에 들어가기 전에 SUPREM-4 [10,11]에 의한 시뮬레이션을 실시하였다. 그림 3은 최적화 된 고전압 NMOS 소자의 1, 2차원 도핑 분포를 보여주는 SUPREM-4 모의실험 결과이다. 그림 3(a)는 드리프트 공정에 의한 고전압 NMOS 소자의 1차원 도핑 분포를 보여준다.

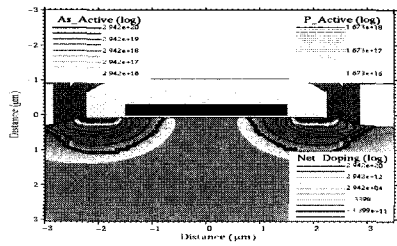
드리프트 drive-in 직후와 LOCOS 및 소스 드레인 직후의 도핑 분포를 보여 주고 있는데, 소스 및 드레인 직후의 최종적인 1차원 도핑분포를 살

펴보면, n 채널 소스 및 드레인은 평균 10^{19} 정도의 도핑 농도에 접합깊이가 대략 $0.17 \mu\text{m}$ 정도, 드리프트 영역은 10^{17} 정도의 도핑 농도에 접합깊이는 대략 $0.85 \mu\text{m}$ 정도로 접합 항복 전압을 높일 [9] 수 있는 DDD 구조임 알 수 있다.

그림 3(b)는 최소 채널로 설정된 $3 \mu\text{m}$ 의 고전압 NMOS 소자에 대한 드리프트 이온주입을 P, 80 keV, 3×10^{13} 의 조건의 2차원 도핑 분포도로 역시 그



(a) 1-dimensional doping profile



(b) 2-dimensional doping profile

그림 3. 고전압 NMOS 소자의 도핑 분포.

Fig. 3. Doping profiles of the high voltage NMOS device.

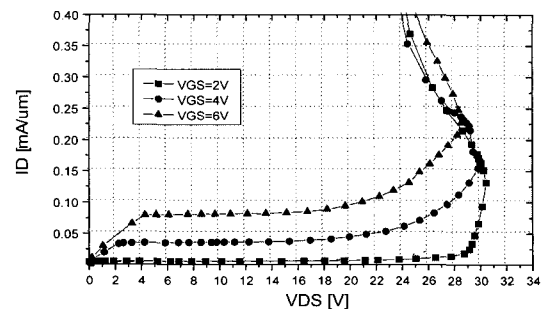


그림 4. 고전압 NMOS 소자 시뮬레이션 결과.

Fig. 4. Simulation results of the high voltage NMOS device.

림 3(a)와 같이 DDD 구조임을 보여주고 있는데 깊은 소스 드레인 구조로 인하여 실효 채널 길이가 상당히 감소함을 알 수 있다. 그러나 대개의 경우 고전압 소자가 시스템의 출력단에 쓰이는 점을 감안하면 우려할 수준은 아니다. 그림 4는 본 논문의 최적화된 공정으로 구현되는 고전압 NMOS 소자의 여러 게이트 전압에 따른 소자 특성의 시뮬레이션 결과이다. 고전압 20 V를 상회하는 26 V ~ 30 V 부근에서 항복이 일어남을 볼 수 있으며 다른 트랜지스터와 마찬가지로 높은 드레인 전류에서 기생 npn 트랜지스터의 turn-on에 의한 소위 전형적인 snap-back 현상이[6,7] 나타나고 있다.

3. 결과 및 고찰

앞 절에 소개된 CMOS 0.5 μm 이중 게이트 CMOS 공정으로 제작된 5 V 및 20 V 소자에 대하여 그 전기적 특성분석을 실시하였다. 표 1은 최소 설계규칙 (design rule)을 적용받는 채널길이 0.5 μm 의 저전압 소자의 특성변화이다.

표 1. 단일 및 이중 저전압 소자 특성 비교.
Table 1. Comparison of electrical characteristics between single and dual gate low voltage device.

항목 [측정조건**]	소자	
	공정	PMOS
문턱전압 [V] [max. gm, Vds=0.1V]	single	0.7
	dual	0.7
DIBL [mV] [Ids=10nA, Vds=0.05~5V]	dual	180
	dual	180
항복전압 [V] [Ids=1 μA , Vgs=0V]	single	11.3
	dual	11.3
구동전류 Ids [mA] [Vgs=Vds=5V]	single	8.5
	dual	8.5
누설전류 II [pA] [Vgs=Vbs=0V, Vds=5V]	single	16
	dual	18

* 채널폭(W)/길이(L)=15 μm /0.5 μm , ** PMOS의 경우 (-)를 붙임
 * single는 표준공정.

Vds = 0.1 V (PMOS 경우 Vds = -0.1 V) 조건에서 측정된 문턱전압은 NMOS 소자가 0.7 V, p 채널 소자가 -0.8 V로 각각 5%의 미소한 변화를 보이고 있다. 드레인 전압 변화에 따른 문턱 전압

(Vt)의 변화 즉, DIBL (drain induced barrier lowering) 은 Ids = 10 nA 의 조건에서 각각 180 mV, -200 mV로 종래의 표준 저전압 공정에 비해 10% 정도 증가를 보이고 있다. Ids = 1 μA 에서 측정된 항복전압 역시 대동소이하 며 ± 11 V 정도로 5 V 동작전원에는 충분하다. Vgs = Vds = 5 V에서 구동전류 Ids는 NMOS, PMOS 각각 9 mA, -8.5 mA 로 약간의 감소를 보이고 있다. 한편 소자 신뢰성의 주요 지표인 누설전류는 Vgs = Vbs = 0 V, Vds = 5 V에서 채널 폭 15 μm 경우 대략 10~20 pA로 나타난다.

그림 5에 최소채널 길이의 5 V 소자 (W/L = 15 μm /0.5 μm) 트랜지스터 특성이 나타나 있다. Vds = Vgs = 5 V (PMOS는 -5 V)에서 구동전류 Ids는 NMOS, PMOS 각각 8.4 mA, -4.9 mA 정도를 나타낸다.

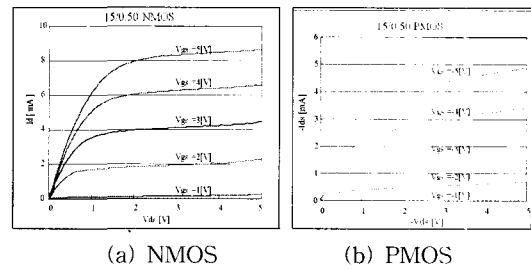


그림 5. 제작된 저전압 소자의 I-V 특성.
Fig. 5. I-V curve of the low voltage devices.

본 이중 게이트 공정의 목적은 5 V 소자의 특성 변화 없이 20 V 급의 전원을 사용하는 신뢰성 있는 고전압 소자를 구현하는 일이다. 그림 6에 채널 폭/채널길이 즉 W/L = 20 μm /3 μm 인 고전압 NMOS 소자특성 측정결과를 나타내었다. 그림 6(a)에서 문턱전압 Vt는 대략 1.3 V 정도인데, 이 Vt는 시스템의 필요에 따라 이온주입 방법으로 조정이 가능하다. 그림 6(b)의 전류전압 특성곡선에서, Vds = Vgs = 20 V의 동작 전압시 대략 10 mA 정도의 구동전류를 보인다. 그림 6(c)로부터 Vds = 20 V 와 0.1 V의 조건에서 대략 100 mV의 DIBL(Id = 10 nA 조건)을 보이고 있다. 그림 6(d)는 Id = 1 μA 조건에서 항복전압으로 대략 25 V 정도 나타나는데 20 V의 동작전압에 비해 충분한 여유 값이라 할 수 있다. 한편 Vds = 20 V에서 측정된 누설전류는 18 pA로 나타났다.

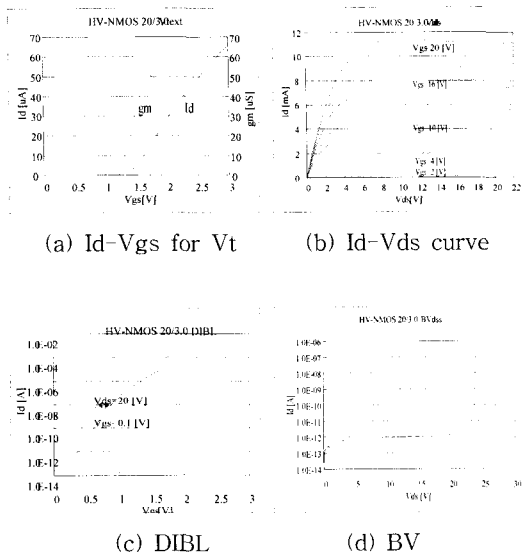


그림 6. 고전압 NMOS 소자 특성 측정결과.
Fig. 6. Measured electrical characteristics of the high voltage NMOS device.

고전압 PMOS 소자 ($W/L=20\mu m/3\mu m$)에 대한 측정 결과가 그림 7에 나타나 있다.

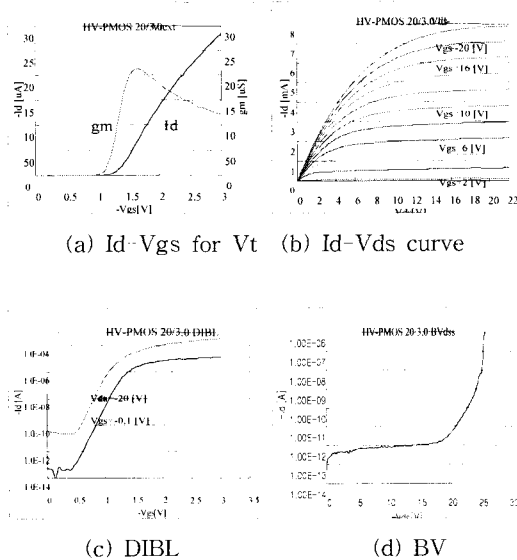


그림 7. 고전압 PMOS 소자 특성 측정결과.
Fig. 7. Measured electrical characteristics of the high voltage PMOS device.

그림 7(a)에서 PMOS의 문턱전압은 대략 $-1.3V$ 을 얻고 있다. 그림 7(b)에서 $V_{ds} = V_{gs} = -20V$ 의 동작전압에서 대략 $-7.1mA$ 의 충분한 구동전류를 얻고 있다. $V_{ds} = -0.1V$ 에서 $-20V$ 로 변화시 $I_d = -10nA$ 의 드레인 전류 조건에서 DIBL(그림 7(c))은 대략 $210mV$ 의 값을 보이고 있다. $I_d = -1\mu A$ 에서의 대략 $26V$ 항복전압은 $20V$ 의 동작전압에 비해 충분한 여유 값이라 할 수 있다. $V_{ds} = -20V$ 에서 측정된 누설전류는 $-6pA$ 로 나타났다. 본 논문에서는 고전압 소자의 짧은채널 효과(short channel effect)를 알아보기 위하여 채널길이($2.5\mu m, 3\mu m, 3.5\mu m, 4\mu m, 20\mu m$)별 문턱전압과 항복전압을 측정하였다. 그림 8(a)에서, $3\mu m$ 이하에서 급격한 문턱전압의 감소가 보인다. 그림 8(b)는 항복전압의 변화로, $25V$ 정도의 항복전압이 $2.5\mu m$ 에서는 갑자기 $12V$ 로 떨어지는 등 $3\mu m$ 이하에서 짧은채널 효과가 나타나므로 최소채널길이 $3\mu m$ 까지의 고전압 소자를 이용할 수 있다고 사료된다.

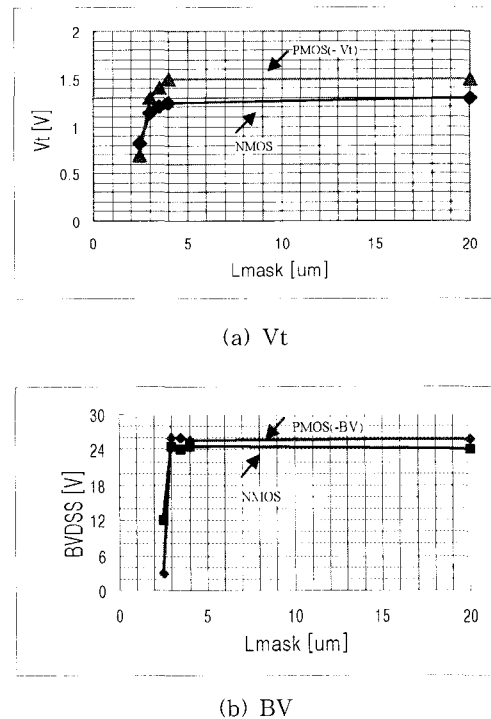


그림 8. 20V 소자의 채널길이별 전기적 특성.
Fig. 8. V_t and BV of the 20V device according to various channel lengths.

4. 결론

본 논문에서는 20 V 급 고전압이 필요한 실리콘 액정표시 장치 시스템 응용을 위한 이중 게이트 산화막 CMOS 공정을 소개하였다. 이미 구축되어진 5 V 저전압 소자의 SPICE 모델 및 라이브러리 이용이 가능하도록, 종래의 0.5 μm 표준 CMOS 공정에 20 V 급 고전압 소자를 위한 이중 산화막 공정 및 드리프트 공정을 추가하여 최적화 하였다. 제작된 5 V 저전압 및 20 V 고전압의 전기적 특성 측정결과, 5 V 소자는 단일 게이트 표준 CMOS 소자와 대등한 안정된 특성을 나타내었고 20V 소자의 경우는 신뢰성 저하 없는 최소 게이트 길이 3 μm 에서, NMOS의 경우 단위 μm 당 520 μA 의 전류밀도, 120 mV DIBL 및 24 V의 항복전압(BV)을, PMOS의 경우는 단위 μm 당 350 μA 의 전류밀도, 180 mV의 DIBL 및 26 V의 항복전압 등으로 나타나 시스템 레벨의 20 V 급 고전압 소자로 충분함을 보였다. 향후 본 공정 조건에 대한 적절한 튜닝이 이루어진다면 30 V 또는 50 V 급 소자 구현에도 적용이 가능하리라 사료된다.

감사의 글

본 논문은 1999년도 충청대학 교내연구비 지원에 의해 이루어졌음.

참고 문헌

[1] C. T. Lie and M. Oh, "Multiple gate oxide thickness for 2GHz system-on-A-Chip Technologies", Proc. IEDM'98, p. 589, 1998.

[2] J. Haas, K. Au, L. C. Martin, T. L. Portlock, and T. Sakurai, "High voltage CMOS LCD driver using low voltage CMOS process", Proc. CICC'98, p. 255, 1998.

[3] 강이구, 성만영, "레치업 특성의 개선과 고속 스위칭 특성을 위한 다중 게이트 구조의 새로운 LIGBT", 전기전자재료학회논문지, Vol. 13, No. 5, p. 371, 2000.

[4] Kenya Kobayashi and Hiroshi Yanagigawa, "High voltage SOI CMOS IC technology for driving plasma display panels", ISPSD'98,

p. 141, 1998.

[5] Peter C. Mei, Katsumi Fujikura, Takaaki Kawano, and Satwinder Malhi, "A high performance 30V extended drain RESULF CMOS device for VLSI intelligent power applications", Proc. VLSI Technology, Digest, p. 81, 1994.

[6] 한태현, 김남훈, 김창일, 서용진, 장의구, "Deep 서브마이크론 LDD-nMOSFET의 핫캐리어현상 억제를 위한 반경험적인 LDD 공정 설계에 관한 연구", 전기전자재료학회논문지, 12권, 3호, p. 193, 1999.

[7] 신형순, "Submicron에서의 소자 기술 동향", 대한전자공학회지, 18권, 9호, p. 625, 1991.

[8] Tian I Liou, Chih Sieh Teng, and Richard B. Merrill, "Hot electron induced degradation of conventional, minimum overlap, LDD and DDD N channel MOSFETs", IEEE Circuits and Device Magazine, p. 9, 1988.

[9] B. Jayant Baliga, "Power Semiconductor Devices", PWS Publishing Company, 1996.

[10] 김종민, 송한정, 광계달, "고 에너지 이온 주입된 CMOS 쌍 우물 구조의 레치업 면역성 특성 예측을 위한 TCAD 모의실험 연구." 전기전자재료학회 논문지, 13권, 2호, p. 106, 2000.

[11] SUPREM-4, "2-dimensional process simulation program", AVANTI users manual. Ver. 6.6, 1998.

[12] 김진수, 송한정, 광계달, "멀티 오퍼레이션을 위한 0.5um Dual Gate 고전압 공정에 관한 연구", 한국전기전자재료학회 2000추계학술대회, 13권, 1호, p. 463, 2000.