

논문 15-11-6

SDB와 전기화학적 식각정지에 의한 벌크 마이크로머신용 3차원 미세구조물 제작

Fabrication of 3-Dimensional Microstructures for Bulk Micromachining by SDB and Electrochemical Etch-Stop

정귀상*, 김재민*, 윤석진**

(Gwiy-Sang Chung*, Jae-Min Kim*, and Seok-Jin Yoon**)

Abstract

This paper reports on the fabrication of free-standing microstructures by DRIE (deep reactive ion etching). SOI (Si-on-insulator) structures with buried cavities are fabricated by SDB (Si-wafer direct bonding) technology and electrochemical etch-stop. The cavity was formed the upper handling wafer by Si anisotropic etch technique. SDB process was performed to seal the formed cavity under vacuum condition at -760 mmHg. In the SDB process, captured air and moisture inside of the cavities were removed by making channels towards outside. After annealing (1000°C, 60 min.), the SDB SOI structure with a accurate thickness and a good roughness was thinned by electrochemical etch-stop in TMAH solution. Finally, it was fabricated free-standing microstructures by DRIE. This result indicates that the fabrication technology of free-standing microstructures by combination SDB, electrochemical etch-stop and DRIE provides a powerful and versatile alternative process for high-performance bulk micromachining in MEMS fields.

Key Words : Free-standing microstructure, micromachining, SDB, SOI, Electrochemical etch-stop, DRIE

1. 서 론

최근, Si 마이크로머시닝기술을 이용한 마이크로 3차원 구조물 제작이 용이해지면서 전자소자와 기계 부품 그리고 신호처리용 마이크로프로세서까지 집적화된 마이크로 전자기계시스템 (MEMS : micro electro mechanical system)을 구현하고자 하는 연구가 활발히 진행되고 있다[1,2]. 특히, Si 벌크 마이크로머시닝기술은 감지에 대한 우수한 물리적, 광학적, 자기적 효과와 기계적 미세구조물 제작이 용이하

기 때문에 신호검출, 극한 탐사, 유체제어 및 바이오 메디컬 분야에 응용 가능한 압력센서, 터널프로브어레이, 밸브 및 펌프, 약물전달기 등의 마이크로 센서 및 마이크로 액추에이터 개발에 널리 이용되고 있다.

한편, 고성능 MEMS를 연구·개발하기 위한 능동소자 혹은 표면 미세구조물을 제작하기 위해서는 Si 벌크 마이크로머시닝기술, 기존 IC 제조기술 그리고 Si 제조시설과 단결정 Si의 우수한 기계적 성질뿐만 아니라 전기적 절연체 상부에 단결정 Si 박막이 존재하는 SOI (Si-on-insulator) 구조의 기판을 이용하는 것이 가장 적합한 기술로 전망되고 있다.

현재, SOI 구조의 제작기술 중에는 절연층 상부에 성장된 비결정 혹은 다결정의 Si 박막을 용융 후 재결정화하는 방법[3], 에피택시 성장을 이용하는 방법[4], 기판내부에 산소이온 주입 후 열처리를 행함으로써 산화층을 형성하여 표면 Si 층과 기판을 분리하는

* : 동서대학교 정보시스템공학부 메카트로닉스공학전공
(부산광역시 사상구 주례동 산 69-1번지,
Fax : 051-328-2526,
E-mail : gschung@dongseo.ac.kr)

** : 한국과학기술연구원 박막기술연구센터
2002년 4월 16일 접수, 2002년 5월 14일 1차 심사완료,
2002년 6월 20일 2차 심사완료, 2002년 8월 19일 최종 심사완료

방법[5], 그리고 산화막이 형성된 두 장의 Si 기판을 직접접합 (SDB : Si-wafer direct bonding)한 후, 한 면의 Si기판을 화학적·기계적 연마로써 박막화하는 방법[6] 등이 있다. 그 중에서도 SDB 기술은 완벽한 단결정 Si 박막과 우수한 절연특성을 갖는 매물층 산화막을 포함하며 대면적의 SOI 기판을 제작할 수 있다. 특히, MEMS 분야에 있어서 매물 cavity 혹은 3차원 미세구조물을 갖는 Si 벌크 마이크로머신용 후막 혹은 박막 다이어프램, 캔틸레버, 브릿지[7] 등을 보다 간단하고 정확하게 제작할 수 있으며 단결정 Si의 우수한 전기적·기계적 특성을 이용할 수 있기 때문에 최근 활발히 연구개발되고 있다[8].

SDB SOI 기술을 MEMS 분야에 이용하기 위해서는 SOI 능동층의 박막화와 정확한 두께 제어기술이 무엇보다도 중요하다. 현재, SDB SOI 구조의 박막화에는 래핑과 폴리싱에 의한 기계적인 방법이 널리 사용되고 있지만[9], 장비의 평탄도와 정밀도에 크게 의존하며 대면적의 능동층 박막두께를 정확하게 제어하기가 대단히 어렵다. Si 이방성 습식 식각기술을 이용해서 cavity와 다이어프램 제조시 두께 제어법으로는 식각시간법, 불순물 농도차를 이용하는 방법과 전기화학적 식각정지법 등이 있다[10,11]. 그러나, 고농도 불순물을 식각정지층으로 사용할 경우, 잔류응력의 영향과 고농도 부분에 소자를 형성할 수가 없다. 한편, 역바이어스가 인가된 pn접합 다이오드 성질과 양극산화현상을 이용한 전기화학적 식각정지법은 식각정지에 필요한 불순물의 농도가 높지 않고 정확한 능동층의 두께제어가 가능하여 수십Å의 최종 표면 거칠기와 표준편차 0.2 μm 이내의 두께제어를 할 수 있다.

따라서, 본 연구에서는 전기화학적 식각정지법을 SDB SOI 기판의 박막화에 적용하여 매물 cavity를 갖는 구조의 SOI 기판을 제조하고 식각정지 표면 및 박막두께 제어특성을 분석·평가하였다. 또한, DRIE (deep reactive ion etching)를 이용하여 Si 벌크 마이크로머신용 3차원 미세구조물을 제작하였다.

2. 벌크 마이크로머신용 3차원 미세구조물 제작

본 연구에서 사용된 Si 기판은 5000Å의 열산화막을 성장시킨 530 μm 두께의 p형(100) handling 기판과 15 μm의 n-epi.층이 성장된 580 μm 두께의 p-sub. (100) active 기판이며, 시편의 크기는 3.0 cm×3.0 cm이다.

그림 1은 매물 cavity를 갖는 SOI 구조의 기판을 제작하기 위한 공정 순서도를 도식적으로 나타낸 것이다. 공정에 사용된 기판은 모두 표면의 유기오염물을 제거하기 위하여 표준 반도체 세정공정을 행하였다.

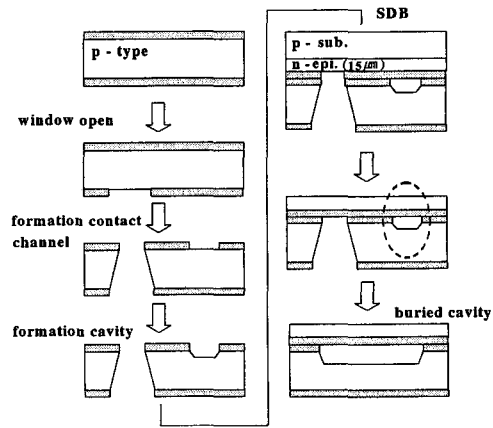
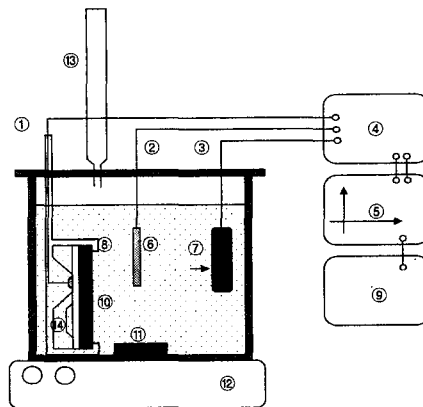


그림 1. 매물 cavity를 갖는 SOI 구조의 제작 공정 순서도.

Fig. 1. Fabrication process sequence of SOI structures with buried cavity.



- 1. Working Electrode 2. Reference Electrode
- 3. Counter Electrode 4. Potentiostat
- 5. Plotter 6. Ag/AgCl
- 7. Pt mesh 8. Teflon holder
- 9. PC 10. Sample
- 11. Magnetic stir-bar 12. Hot plate
- 13. Reflux condenser 14. buried cavity

그림 2. 전기화학적 식각정지 장치도.

Fig. 2. Configuration for electrochemical etch-stop.

그리고 열산화막이 성장된 각각의 기판중, p형 handling 기판은 전기화학적 식각정지시 n-epi.층으로의 바이어스를 인가하기 위해 SDB 공정 전에 TMAH 20 wt.%, 80°C에서 contact 채널을 형성하였다. 채널 형성 후, 높이와 폭이 각각 18, 900 μm인 cavity를 형성하였고, handling 기판과 active 기판을 HF 2.0 % 희

석용액에서 1분간 전처리한 후, 실온에서 초기접합을 수행하였다[12]. 초기접합이 완료된 시료는 1000℃에서 60분간 열처리를 실시한 후, 전기화학적 식각정지법으로 n-epi.층의 두께를 제어함으로써 최종적으로 매몰 cavity를 갖는 SOI 구조를 제작하였다[13,14].

그림 2는 전기화학적 식각정지 장치도를 도식적으로 나타낸 것이다. 식각이 진행되는 동안 Si 기판의 두께 변화에 따른 인가 전압값의 변화를 막기 위해 전위계(Potentiostat)를 사용하여 WE(working electrode)와 RE (reference electrode)사이에서 항상 일정한 전압을 공급하였다. 또한 용액의 교반 효과를 위해서 자기 교반장치를 사용하였으며, 식각용액과 저항 접촉을 방지하기 위하여 테프론, 고무 오링 및 왁스를 이용하여 샘플 홀더를 제조하였다.

최종적으로 매몰 cavity를 갖는 SDB SOI 기판을 사용하여, 표 1과 같은 DRIE 공정조건으로 블록 마이크로머신용 3차원 미세구조물을 제작하였다.

표 1. 3차원 미세구조물 제작용 DRIE 조건.

Table 1. DRIE conditions for 3-D microstructure fabrication.

단 계 조 건	Deposit	Etch 1	Etch 2
C ₄ F ₈ (cc)	100	0	0
SF ₆ (cc)	0	70	100
Ar (cc)	40	40	40
Time	6 sec	3 sec	5 sec
RF power	1 W	9 W	9 W
ICP power	825 W		
진공도	20 mmTorr		

3. 결과 및 고찰

그림 3은 온도 80℃, TMAH 20 wt.% 식각용액에서 인가전압에 따른 p형의 누설전류 특성곡선을 나타낸 것이다. Scan rate는 5 mV/sec이고, 인가전압은 -2 V ~ 2 V이다. 그리고 사용된 p형 기판의 boron 도핑농도는 10¹⁴~10¹⁵ cm⁻³이다. OCP(open circuit potential)점은 -1.4 V로 이후 PP (passivation potential) 점에 도달하기 전까지 누설전류가 계속해서 증가하였다. 1.2 V의 PP점에서 선형적으로 증가하던 누설전류가 Si 표면에서 양극산화현상으로 인해 갑자기 감소하였다. PP점에서의 최대 전류밀도는 약 0.5 mA/cm²로 측정되었고, 식각정지가 일어난 후의 누설전류 밀도는 0.035~0.046 mA/cm²를 유지하였다.

그림 4(a)는 전기화학적 식각정지시의 누설전류 대 시간 특성곡선을 나타낸 것이다. 3전극 시스템의 RE

전극을 이용하여 Si의 식각과정에서 누설전류를 일정하게 유지하였다. 곡선의 peak는 p형 Si이 점차 식각되면서 두께가 점점 얇아지므로 n-epi. Si에서 p형 Si으로 향하는 역방향 바이어스에 의한 누설전류의 증가를 나타낸 것이다. P형 Si이 식각된 후, 큰 전류의 흐름이 용액속으로 발생하였다. 식각용액에 노출될 때부터 누설전류는 급격히 증가하다가 n-epi. Si이 완전히 노출되면서 식각용액과의 화학적 반응에 의하여 n-epi. Si

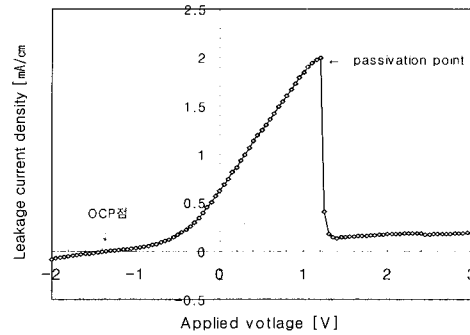


그림 3. P형 Si 기판의 누설전류-전압 특성곡선.

Fig. 3. Leakage current-voltage characteristic curve of p-type Si wafer.

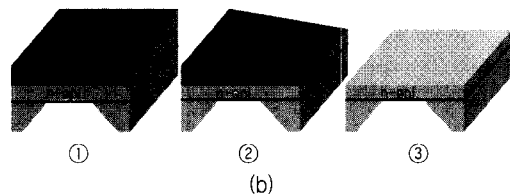
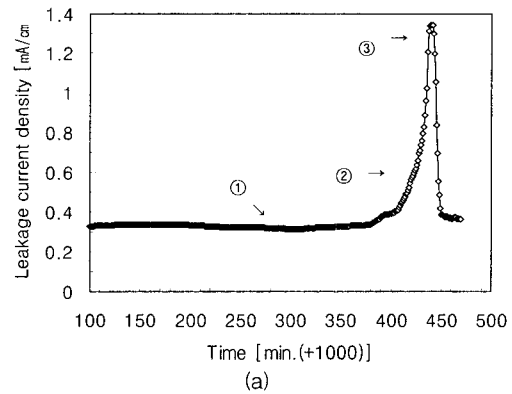


그림 4. (a) 전기화학적 식각정지시 누설전류-시간특성 곡선과 (b) 식각정지 단계.

Fig. 4. (a) Leakage current-time characteristic curve and (b) etch-stop step at electrochemical etch-stop, respectively.

표면에 산화막 (SiO₂)이 생성되어 식각이 정지되었다.

그림 4(b)는 전기화학적 식각시 누설전류에 따른 식각정지 진행상태를 도식적으로 나타낸 것이다. 최초 ①은 식각용액에 노출된 p형 Si이 산화·환원반응에 의해서 자연식각된 상태이며 ②는 p형 Si의 표면일부가 완전 식각되고, n-epi. Si 표면이 식각용액에 노출되면서 pn접합의 누설전류가 급격히 증가하는 상태를 나타낸 것이다. ③은 p형 Si이 완전히 식각되고, n-epi. Si에서 양극산화현상으로 식각이 완벽하게 정지된 상태를 나타낸다.

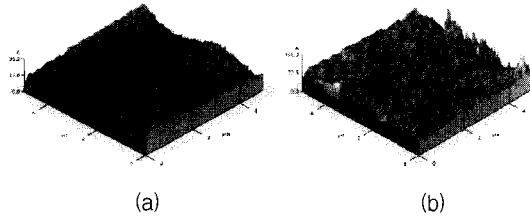


그림 5. (a) Si 기판과 (b) TMAH 용액에서 전기화학적 식각정지된 매몰 cavity를 갖는 SOI 기판의 AFM 이미지.

Fig. 5. AFM images of (a) Si wafer and (b) SOI substrates with buried cavities etch-stopped by electrochemical etch-stop in TMAH solution, respectively.

그림 5(a)와 (b)는 본 연구에서 사용한 n-epi.층이 성장된 p-sub. (100) active 기판과 TMAH 20 wt.%에서 전기화학적 식각정지법으로 제조된 매몰 cavity를 갖는 SDB SOI 기판의 평탄도를 각각 분석한 AFM 이미지이다. Si 기판과 식각정지된 SOI 기판의 평균 거칠기는 각각 5.12 nm와 5.4 nm였다. 이는 TMAH 20 wt%에서 식각정지 되었을 때의 일반적인 평균 거칠기인 12~13 nm와 비교할 때 매우 개선된 결과이며, 전기화학적 식각정지법으로 SDB SOI 박막화할 경우, Si 기판의 거울면에 상응하는 평탄도를 얻을 수 있다.

그림 6(a)와 (b)는 제작된 SDB SOI 구조중 매몰 cavity 전면을 100배 확대한 사진과 코너부분을 1000배 확대한 각각의 단면 SEM 사진이다. 식각정지된 cavity 상부의 능동층 두께는 15 μm이고, 매몰 cavity의 깊이와 폭은 각각 18, 900 μm로 제작하였다. 샘플의 단면 절단시 DRIE 기술로 제작된 미세구조물과 cavity의 손상을 방지하기 위하여 에폭시 (HE #200)를 사용해 시료 가공면을 보호하였다. 사진에서 전기화학적 식각정지법에 의해 p형 기판상에 성장된 15 μm의 n-epi.층에서 식각이 정확하게 정지됨을 확인할

수 있다. 또한, 식각정지된 SOI기판의 n-epi.층 두께가 전체적으로 균일하며 전기화학적 식각정지법은 정확한 SDB SOI의 두께제어가 가능함을 알 수 있다.

그림 7은 전기화학적 식각정지법을 이용하여 매몰 cavity를 가지는 구조의 SDB SOI 기판과 DRIE 기술로 제작된 벌크 마이크로머신용 3차원 미세구조물의 표면 사진을 나타낸 것이다. 매몰 cavity 상부에 제조된 사각형 다이아프램의 크기는 300 μm²이며, DRIE 공정 이후에도 능동층의 손상없이 거울면의 평탄도를 가지는 공중부유상태를 유지하였다. 따라서, DRIE 기술을 이용하여 매몰 cavity상에 자유로운 형상비를 가지는 단결정 Si 박막과, 우수한 절연 특성을 가지는 3차원 미세구조물의 제작이 가능하다.

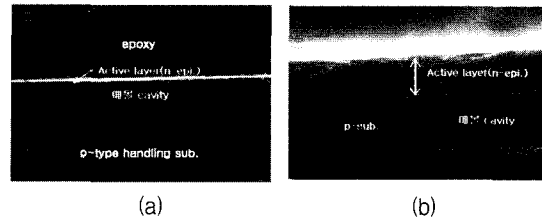


그림 6. 매몰 cavity를 갖는 SDB SOI 구조의 (a) 횡단면 및 (b) 확대 SEM 사진.

Fig. 6. (a) Cross sectional view and (b) SEM image of SDB SOI structure with buried cavity.

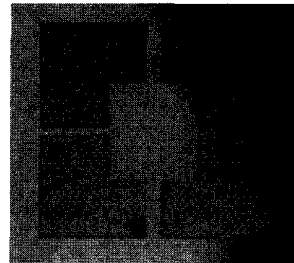


그림 7. 매몰 cavity를 갖는 SDB SOI 기판과 DRIE 기술을 이용하여 제작된 벌크 마이크로머신용 3차원 미세구조물의 표면 사진.

Fig. 7. Surface photography of fabricated 3-dimensional microstructures for bulk micro-machining by SDB SOI substrates with buried cavity and DRIE.

4. 결 론

본 연구에서는 전기화학적 식각정지법을 SDB SOI 기판의 박막화에 적용하여 매몰 cavity를 갖는

구조의 SOI 기판을 제조한 후, 식각정지 표면 및 박막두께 제어특성을 분석·평가하였다. 또한, DRIE 기술을 이용하여 Si 벌크 마이크로머신용 3차원 미세구조물을 제작하였다. 먼저, 매몰 cavity를 형성한 후, SDB SOI 구조를 제작하고, PP점과 OCP점을 분석하여 전기화학적 식각정지법으로 능동층 두께가 15 μm 이고, 깊이와 폭이 각각 18, 900 μm 인 매몰 cavity를 갖는 SDB SOI 구조를 제작함으로써 다양한 크기의 매몰 cavity를 갖는 SDB SOI 구조의 제작 가능성을 확인하였다.

따라서, 매몰 cavity를 갖는 SDB SOI 기판을 제조한 후, DRIE 기술을 이용하여 제작한 3차원 미세구조물은 단결정 Si의 우수한 전기적·기계적 특성을 이용할 수 있으며, 전기화학적 식각정지법을 이용하여 능동층의 정확한 두께 제어와 우수한 평탄도를 얻을 수 있기 때문에, 벌크 마이크로머신용 MEMS 분야에서 유용하게 응용할 수 있을 것으로 기대된다.

감사의 글

본 연구는 과학기술부의 21세기 프론티어 연구개발사업의 일환인 “차세대 소재성형 기술개발사업” 지원에 의해 연구되었으며, 이에 감사드립니다.

참고 문헌

[1] M. A. Huff, M. S. Mattner, T. A. Lober, and M. A. Schmidt, "A pressure-balanced electrostatically actuated microvalve", IEEE Solid-State Sensors & Actuators Workshop, p. 123, 1990.

[2] P. Barth, F. Pourahmadi, R. Mayer, J. Poydock, and K. Pertersen, "A monolithic silicon accelerometer with integral air damping and over-range protection", IEEE Solid-State Sensors & Actuators Workshop, p. 35, 1988.

[3] E. W. Maby, M. W. Geis, Y. L. Lecos, D. J. Siversmick, R. W. Mountain, and D. A. Antoniadis, "MOSFET's on silicon prepared by moving melt zone recrystallization of encapsulated poly-crystalline silicon on an insulating substrate", IEEE Electron Device Letter, Vol. EDL-2, p. 241, 1981.

[4] M. Ishida, I. Katakabe, and T. Nakamura,

"Epitaxial Al_2O_3 films on Si by low-pressure chemical vapor deposition", Appl. Phys. Lett., vol. 53, p. 1326, 1988.

[5] Y. Irita, Y. Kunii, M. Yakahashi, and K. Kajiyama, "Multiple SOI structure fabricated by high dose oxygen implantation and epitaxial growth", Jpn. J. Appl. Phys., Vol. 20, p. L909, 1981.

[6] A. Yamada, O. Okabayashi, T. Nakamura, E. Kanda, and M. Kawashima, "A computer controlled polishing system for silicon-on-insulator", Proc. of the 5th Int. Workshop on Future Electron. Devices, Jpn., p. 201, 1988.

[7] J. M. Noworolski, E. Klaassen, J. Petersen, and N. I. Maluf, "Fabrication of SOI wafers with buried cavities using silicon fusion bonding and electrochemical etchback", Sensors & Actuators A, Vol. 54, p. 709, 1996.

[8] K. Mitani and U. M. Gosele, "Formation of interface bubbles in bonded silicon wafer : a thermodynamic model", Appl. Phys. Lett., Vol. 54, p. 543, 1992.

[9] S. Cristoloveanu and S. S. Li, "Electrical Characteristics of Silicon on insulator Materials and Device", Kluwer Academic, p. 16, 1995.

[10] V. M. Mcneil, S. S. Wang, K. Y. Ng, and M. A. Schmidt, "An investigation of the electrochemical etching of (100)silicon in CsOH and KOH", IEEE Solid-State Sensors & Actuators Workshop, p. 92, 1990.

[11] A. Soderarg, "Investigation of buried etch stop layer in silicon made by nitrogen implantation", J. Electrochem. Soc., Vol. 139, p. 561, 1992.

[12] G. S. Chung and J. S. Park, "A study on electrochemical etch-stop in TMAH/IPA/pyrazine solutions", J. Korea Sensors Soc.(in Korean), Vol. 7, p. 126, 1998.

[13] G. S. Chung and K. D. Kang, "A study on pre-bonding according to HF pre-treatment conditions in Si wafer direct bonding", J. Korea Sensors Soc.(in Korean), Vol. 9, p. 134, 2000.

[14] G. S. Chung, W. J. Lee, and J. S. Song, "Electrochemical etch-stop characteristics of TMAH/IPA/pyrazine solutions", Sensors & Materials, Vol. 12, p. 103, 2000.