

## Simulation Study of RSFQ OR-gates and Their Layouts for Nb Process

D. W. Nam, H. S. Hong, J. H. Kang  
*Department of Physics, University of Incheon*

### RSFQ OR-gates의 전산모사 실험 및 Nb 공정에 적합한 설계 연구

남두우\*, 홍희송, 강준희

#### Abstract

In this work, we have designed two different kinds of Rapid Single Flux Quantum (RSFQ) OR-gates. One was based on the already developed RSFQ cells and the other was aimed to develop a more compact version. In the first circuit, we used a combination of two D Flip-Flops and a merger and in the other circuit we used a combination of RS Flip-Flops and Confluence Buffer. We tested the circuit performance by using the simulation tools, Xic and Wrspice. We obtained the operation margins of the circuit elements by a margin calculation program, and we obtained the minimum operation margins of  $\pm 30\%$ . The circuits were laid out, aimed to fabricate by using the existing KRISS Nb process. KRISS Nb process includes the Nb/Al<sub>2</sub>O<sub>3</sub>/Nb trilayer fabricated by DC magnetron sputtering and the reactive ion etching technique for the definition of the features. The major tools used in the layouts were Xic and L-meter.

*Keywords* : RSFQ, OR-gate, Josephson, superconductor

#### I. 서 론

현대의 디지털 전자 공학은 전기, 전자, 정보 통신 등 현대의 많은 생활분야에 적용되고 있다. 이러한 디지털 전자 공학의 근간을 이루는 것은 실리콘 반도체 소자이다. 그러나 현재 실리콘 반도체 소자의 앞날이 과거처럼 밝지 만은 않다. 왜냐하면 실리콘 반도체 소자의 성능이 점차 한계에 도달하기 때문이다. 반도체 소

자의 성능 향상을 위해서는 고집적화를 달성해야 하는데 이를 위해서는 나노 공정 기술이 사용되어야 하며, 설혹 나노 공정 기술을 적용하여 소자를 제작하였어도 회로의 작동으로 인하여 발생하는 엄청난 열을 해결하여야만 한다. 결국 이러한 열 때문에 실리콘 반도체 소자의 작동 속도는 한계에 도달할 것이라고 예측하고 있다 [1].

결국 기존 실리콘 반도체 소자의 한계를 극복하기 위해서 초전도 전자 소자 개발에 기대를 걸 수밖에 없다. 조셉슨 효과를 이용한 초전도 전자 소자는 낮은 전압으로도 수백 GHz의 clock 속도를 나타낼 수 있기 때문이다 [1],

\*D. W. Nam, Fax : +82 32 770 8018

e-mail : chelae75@chollian.net

+On leave from Fermi Laboratory.

[2]. 본 연구에서는 이러한 초전도 전자 소자의 기초 회로인 OR-gate에 대한 설계 및 margin에 대해 연구하였다.

## II. 본 론

본 연구에서는 OR-gate 회로를 두 종류로 구성하여 알아보았다. 하나는 D flip-flop과 merger로 구성되는 일반적인 OR-gate와 다른 하나는 Confluence buffer와 RS flip-flop을 조합하여 새롭게 개발한 OR-gate이다 [2], [3]. 본 연구에서는 두 종류의 OR-gates에 대해서 Xic, WRspice, 그리고 L-meter를 사용하여 각 회로에 대한 시뮬레이션을 하고, 시뮬레이션 결과로 얻게 된 각 device parameter의 최적 값을 바탕으로 하여 layout을 하였다.

이렇게 설계된 초전도 전자 소자는 한국 표준과학연구원(KRISS)의 Nb 제작공정기술을 적용하여 초전도 전자 소자를 제작 하게 된다. Fig. 1은 제작이 완료된 소자의 단면을 개략적으로 나타낸 단면도이다.

### 1. 회로의 구성

회로를 구성하는데 있어서 Xic는 회로를 구성하여 설계하는데 사용되었으며 WRspice는 구성된 회로를 시뮬레이션 하여 각 device parameter의 최적 값을 찾아서 OR-gate가 최적의 작동 성능을 발휘 할 수 있도록 하는데 사용되었다.

여기서 구성한 OR-gates는 compact 하게 구성한 것과 confluence buffer와 RS flip-flop을 조

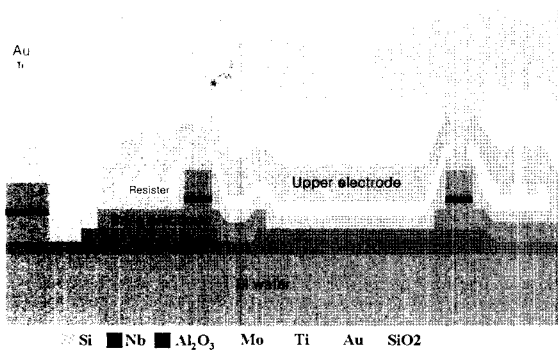


Fig. 1. Cross section of Josephson electronic device.

합하여 새롭게 설계한 OR-gate의 두 종류로 나누어서 알아보았다. 회로를 설계하는 데 있어서 각 junction의  $I_c R_n$ 은 0.3 mV가 되도록 하여 시뮬레이션을 수행하였다. 또 각 회로에 입력되는 pulse의 생성을 위하여 DC/SFQ 회로를 사용하였다 [1].

### 2. Compact한 OR-gate 회로의 구성 및 동작

Fig. 2에 보여진 것은 layout이 compact 하게 설계한 OR-gate의 회로도를 보여주고 있다.

DC/SFQ 회로를 사용하여 생성된 pulse는 input 1과 input 2를 통하여 data pulse가 입력되고 clock input을 통해서 clock pulse가 입력되도록 하였다. Input 1을 통하여 입력된 data pulse는 B10-B5-L12-B6의 순으로 진행하게 되며 loop A에 data가 저장되어 있다가 clock input은 L21-L14-B11의 순으로 진행되어 입력된 clock pulse에 의해 data는 L13-B7-B12-L0-output 순으로 출력하게 된다. 마찬가지로 input2에서 입력된 data pulse는 B21-B22-L26-B23으로 진행되며 loop B에 저장되어 있다가 clock input에서 L21-L23-B19로 진행되어 clock pulse가 입력되면 data는 L27-B24-B20-L22-output 순으로 진행되어 data가 출력되게 된다.

Fig. 2에 보여진 회로의 시뮬레이션 결과가 Fig. 3에 보여지고 있으며 정상적인 OR-gate의 작동을 하고 있음을 알 수 있다. Fig. 3는 input

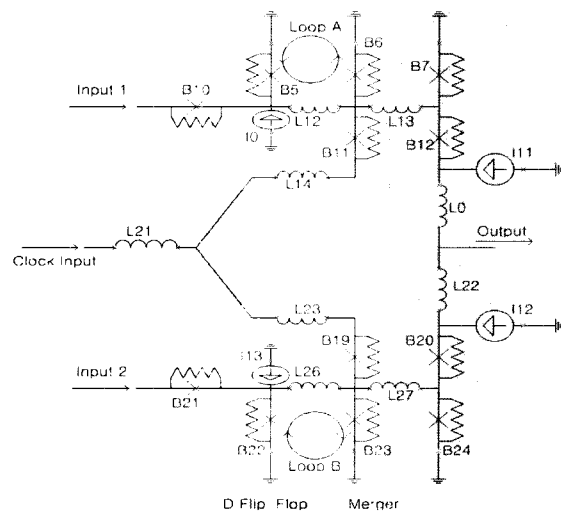


Fig. 2. Circuit diagram of the general OR-gate.

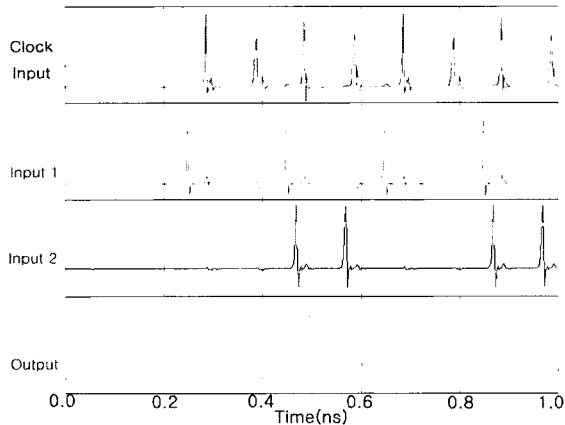


Fig. 3. Simulation results of the general OR-gate.

Table 1. Truth table of the OR-gate.

Input 1	Input 2	Output
1	0	1
0	0	0
1	1	1
0	1	1

Table 2. Margins of the junctions in the general OR-gate.

Name	Center(mA)	(-) margin %	(+) margin %
B10	0.4	62.50	>100.00
B11	0.2	100.00	30.00
B12	0.2	40.00	35.00
B19	0.3	43.33	43.33
B20	0.19	36.84	31.58
B21	0.3	40.00	>100.00
B22	0.25	100.00	52.00
B23	0.33	100.00	33.33
B24	0.2	40.00	40.00
B5	0.25	100.00	92.00
B6	0.19	84.21	52.63
B7	0.2	50.00	40.00

1(1010)과 input 2(0011)에서 입력된 data가 clock input에 의해서 clock pulse(1111)가 입력되면 output pulse(1011)는 Table 1의 진리표에 보여진 바와 같이 올바르게 출력되게 된다.

Fig. 2의 회로도에서 B12와 B20은 buffer junction으로써 input 1과 input 2에서 입력되는 pulse를 buffer junction(B12, B20) 이전에 위치한 device에 영향을 미치지 않도록 pulse를 차단시켜 주는 역할을 한다.

이 회로에서 각 device의 최적 값은 WRspice를 사용하여 시뮬레이션 하여 얻을 수 있었으며 그 값은 Table 2에 보여진 바와 같다. 본 연구에서는 Margin값들이 최소  $\pm 30\%$  이상의 우수한 설계 결과를 얻을 수 있었다.

### 3. Confluence buffer와 RS flip-flop을 조합한 OR-gate회로의 구성 및 동작

Fig. 4는 Confluence buffer와 RS flip-flop을 조합하여 구성한 OR-gate의 회로도를 보여주고 있다.

이렇게 구성한 OR-gate는 Fig. 5에서 보여진 바와 같은 시뮬레이션 결과를 보여주고 있다.

이 그림에서 보여진 바와 같이 OR-gate의 작동이 정상적으로 잘 이루어지고 있음을 알 수 있다. Confluence buffer와 RS flip-flop을 조합하여

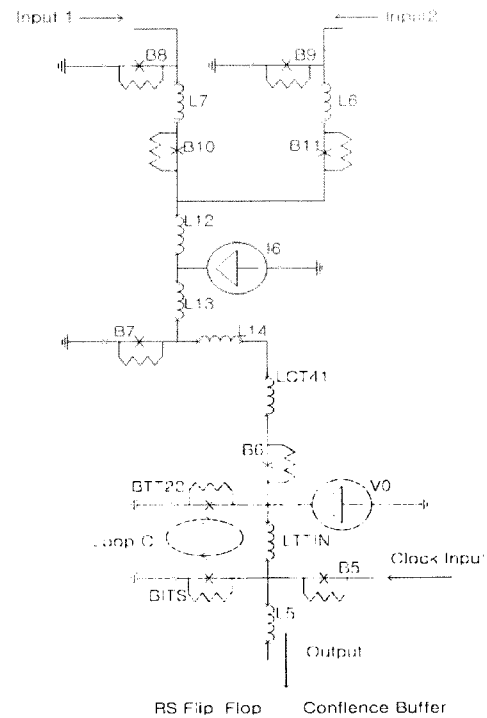


Fig. 4. Circuit diagram of the OR-gate constructed by the combination of RS flip-flop and Confluence buffer.

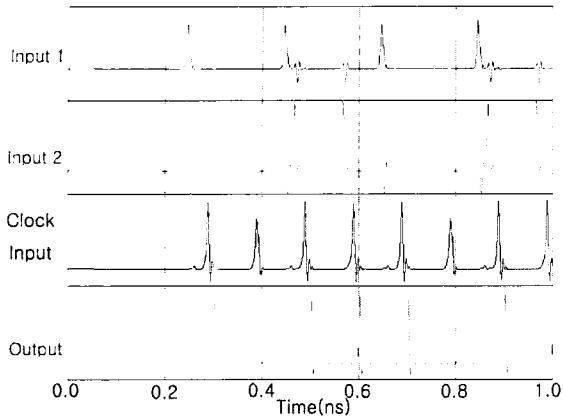


Fig. 5. Simulation results of the OR-gate constructed by the combination of RS flip-flop and Confluence buffer.

구성한 OR-gate의 작동을 살펴보면 confluence buffer의 작동은 input 1에서 입력된 pulse는 B8-L7-B10-L12-L13-B7-L14을 통해서 RS flip-flop회로로 입력되게 되며 마찬가지로 input 2에서 입력된 pulse는 B9-L6-B11-L12-L13-B7-L14을 통해서 RS flip-flop으로 입력되게 된다.

이 confluence buffer에서는 입력된 pulse에 대한 증감은 없으며 input 1과 input 2에서 입력되는 pulse를 그대로 조합하여 출력하게 된다.

이렇게 입력된 pulse는 RS flip-flop에서 LCT41-B6-BTT22-LTTIN-BITS로 진행되며 loop C에 저장되어있다가 clock input에서 clock pulse가 입력되게 되면 pulse가 L5를 통하여 출력하게 된다.

Fig. 4에서 보여진 회로도에서 buffer junction은 confluence buffer에서 B10, B11이고 RS flip-Flop에서는 B5이다. 이들 buffer junction은 입력되는 pulse의 역류를 방지 함으로써 역류에 의한 pulse로 인하여 각 device의 동작에 영향을 미치는 것을 최소화하는 역할을 하게 된다.

Table 3은 이 회로의 margin 퍼센트와 최적 값을 표로 나타낸 것이고 margin이 최소  $\pm 35\%$  이상이 되는 우수한 결과 값을 얻을 수 있었다.

#### 4. 회로의 설계

Xic와 WRspice를 사용하여 OR-gate를 구성하고 시뮬레이션을 통하여 각 device parameter의 최적 값을 얻었으며 이를 바탕으로 Xic와

L-meter를 사용하여 실제 소자 제작을 위한 mask를 만들 수 있도록 layout을 하였다.

Fig. 6과 Fig. 7은 이러한 과정을 거쳐 설계한 OR-gate를 보여주고 있다.

본 연구에서는 10개의 mask layer를 사용하였으며, Nb 박막의 임계 전류 밀도는  $1000 \text{ A/cm}^2$ 를 기초로 junction의 크기를 결정하였다. 또한 L-meter를 사용하여 line의 선 폭과 길이를 시뮬레이션 하여 얻어진 inductance의 최적 값과 같아지도록 하여 layout에 대한 신뢰성을 높였다. 이들 mask들은 한국 표준과학연구소(KRISS)의 Nb 박막 제작 공정을 적용하여 제작될 수 있도록 하였다.

Table 3. Margins of the OR-gate constructed by the combination of RS flip-flop and Confluence buffer. (Unit; Junction-mA, Inductor-pH)

Lable	Center	(-)margin %	(+) margin%
B5	0.25	56.00	48.00
B6	0.24	75.00	>1000.00
B7	0.24	100.00	95.83
B8	0.22	100.00	186.36
B9	0.22	100.00	195.45
B10	0.18	77.78	538.89
B11	0.18	77.78	72.22
L5	3.20	68.75	>1000.00
L6	0.60	100.00	>1000.00
L7	0.60	100.00	>1000.00
L12	0.4	100.00	1450.00
L13	2.53	37.50	145.06
L14	1.00	36.11	1000.00
LCT41	2.60	100.00	375.77
LTTIN	8.50	80.24	141.18
I6	0.45	42.22	35.56
V0	2.50	72.00	84.00
BTT22	0.24	100.00	58.33
BITS	0.20	100.00	70.00

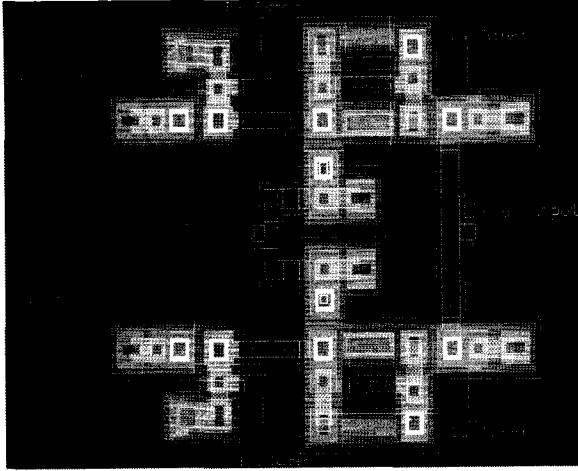


Fig. 6. Layout of the general OR-gate

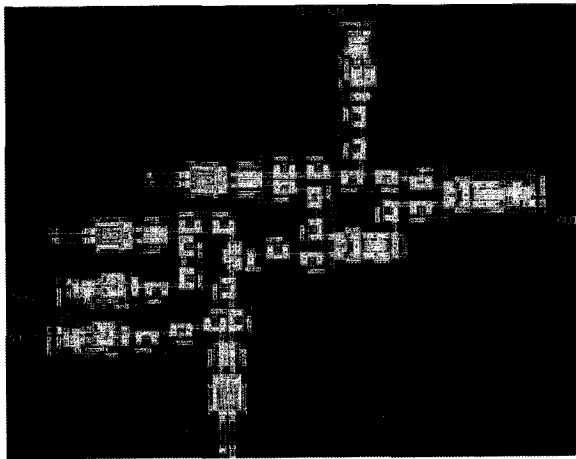


Fig. 7. OR-gate layout of the combination RS flip-flop and Confluence buffer

### III. 결 론

본 연구에서는 초전도 컴퓨터 ALU에 사용될 수 있는 기본 논리 gate인 OR-gate에 대해서 연구하였다. 본 연구에서는 confluence buffer와 RS flip-flop을 조합한 새로운 형태의 OR-gate를 개발하였으며 layout이 compact 한 OR-gate를 설계하였다. 시뮬레이션을 통하여 각 device parameter에 대한 margin 범위를 최적화 시켜 margin이  $\pm 30\%$  이상을 유지함으로써 향후 소자 제작을 하였을 때 제작이 용이하도록 하였다

### Acknowledgments

본 연구는 21세기 프론티어 연구개발 사업인 차세대초전도응용기술개발 사업단의 연구비 지원과 한국과학재단 지정 인천대학교 멀티미디어 연구센터의 지원에 의해 수행되었습니다.

### References

- [1] J. H. Park, K. R. Jung, H. R. Lim, J. H. Kang, T. S. Han, "Simulation and Operation of DC/SFQ-JTL-SFQ/DC Circuit", Journal of the Korea Institute of Applied Superconductivity and Cryogenics, 17-20(2002)
- [2] Theodore Van Duzer and Charles W. Turner, "Principles of Superconductive Devices and Circuits", 2<sup>nd</sup> ed., Prentice Hall, 309-311(1999)
- [3] K. K. Likharev and V. K. Semenov, "RSFQ Logic/Memory Family: A New Josephson-Junction Technology for Sub-Terahertz-Clock-Frequency Digital Systems", IEEE. Tran. Appl. Supercond., Vol. 1, 3-28(1991)