

論文2002-39TC-4-2

# CMA 알고리즘을 이용한 고속 DFE 등화기 설계

## (Design of a High-speed Decision Feedback Equalizer using the Constant-Modulus Algorithm)

全 永 燮 \*\*, 鮮于明勳 \*, 金 敬 昊 \*\*

(Yong Sub Jeon, Myung Hoon Sunwoo, and Kyung Ho Kim)

### 요 약

본 논문은 DFE (Decision Feedback Equalizer) 구조와 CMA (Constant Modulus Algorithm), 그리고 LMS (Least Mean Square) 알고리즘을 이용한 등화기에 대하여 기술한다. DFE 구조는 기존의 transversal 구조의 등화기에 비하여 빠른 채널 적응 속도와 낮은 BER (Bit Error Rate) 값을 가지며 ISI (InterSymbol Interference)가 심한 환경에서도 좋은 성능을 나타낸다. 본 등화기는 16/64 QAM (Quadrature Amplitude Modulation) 변복조 방식에 적용할 수 있으며, 고속으로 동작할 수 있도록 고속의 곱셈기와 많은 수의 CSA (Carry Save Adder)를 사용하였다. COSSAP™ 캐드 툴을 사용하여 부동 소수점 모델과 고정 소수점 모델을 개발하였으며, VHDL 모델을 개발하였다. 시뮬레이션 결과에 따라 feedback 부분과 feedforward 부분에 각각 12개와 8개의 탭을 사용하였으며, 다중 경로 페이딩 채널에서 BER이 10-6일 때를 기준으로 보면 등화기를 사용하지 않은 채널의 BER 보다 SNR(Signal to Noise Ratio)이 4dB 정도 향상되었다. SYNOPSIS™ 캐드 툴과 삼성의 0.5  $\mu\text{m}$  standard cell library (STD80)를 이용하여 로직 합성을 수행하였으며, 전체 게이트 카운트는 약 13만개를 보였다.

### Abstract

This paper describes an equalizer using the DFE (Decision Feedback Equalizer) structure, CMA (Constant Modulus Algorithm) and LMS (Least Mean Square) algorithms. The DFE structure has better channel adaptive performance and lower BER than the transversal structure. The proposed equalizer can be used for 16/64 QAM modems. We employ high speed multipliers, square logics and many CSAs (Carry Save Adder) for high speed operations. We have developed floating-point models and fixed-point models using the COSSAP™ CAD tool and developed VHDL filter. The proposed equalizer shows low BER in multipath fading channel. We have performed models. From the simulation results, we employ a 12 tap feedback filter and a 8 tap feedforward logic synthesis using the SYNOPSIS™ CAD tool and the SAMSUNG 0.5 $\mu\text{m}$  standard cell library (STD80) and verified function and timing simulations. The total number of gates is about 130,000.

**Key words** : 등화기, Blind 알고리즘, DFE 구조, QAM, QPSK

\* 正會員, 亞洲大學校 工科大學 電子工學部  
(School of Electronics Eng., Ajou Univ.)

\*\* 正會員, 三星電子 通信研究所  
(Telecommunication R&D Center, SAMSUNG Electronics)

※ 본 연구는 시스템 집적 반도체 기반기술 개발사업  
과 IDEC, 국가지정연구실사업(NRL) 및 삼성전자의  
일부 지원을 받아 수행되었음.

接受日字:2001年11月8日, 수정완료일:2002年3月7日

## I. 서 론

다중경로 채널을 통한 신호의 전파는 디지털 신호의 심볼 사이에 간섭을 심하게 일으켜 비트 검출 오류의 주된 원인이 되게 한다. 특히 변조 방식으로 QAM 방식은 채택하고 있는 케이블 모뎀에서의 다중레벨 특성은 통신에 있어 매우 심각한 장애 요소이다. 이러한 현상을 극복하기 위하여 이상적인 특성에서 벗어나 왜곡된 채널을 통과한 수신신호를 처리하여 채널의 특성을 보상함으로써 수신측에서의 비트 검출 시 오류가 감소할 수 있도록 하는 것이 등화기의 역할이다. 등화기는 수신단에서 수신되는 신호의 크기와 지연 특성을 보상함으로써 송신되는 신호의 전력을 증가시키거나 채널 대역폭을 늘리지 않고도 통신로의 품질을 높일 수 있다<sup>[1,2]</sup>.

등화기의 적응 알고리즘에는 대표적으로 LMS (Least Mean Square) 알고리즘, RLS (Recursive Least Square) 알고리즘이 있다. LMS 알고리즘은 수신된 신호와 판정된 신호 간 오차의 MSE (Mean Square Error)를 최소화하는 기법으로 RLS 알고리즘보다 수식이 간단하고 하드웨어가 적게 사용되거나 채널 적응 속도가 느리다<sup>[3-5]</sup>. RLS 알고리즘은 가중 오차 신호의 제곱의 합을 최소화시키는 알고리즘으로 순환적인 방법을 사용하여 필터 계수를 갱신하여 LMS 알고리즘보다 효과적으로 채널을 등화할 수 있으나, 하드웨어가 복잡해지는 단점이 있다<sup>[1]</sup>.

블라인드 (blind) 알고리즘은 RCA (Reduced Constellation Algorithm), CMA (Constant Modulus Algorithm)와 MMA (Multi Modulus Algorithm)를 이용한 알고리즘이 있다<sup>[6-10]</sup>. RCA 알고리즘은 송신 신호의 성좌도 (Constellation)를 줄여서 채널 적응을 시작하고 채널 적응이 된 후에는 원래 성좌도로 복귀하여 적응하는 알고리즘이다<sup>[3,14]</sup>. CMA 알고리즘은 성좌도의 원점을 중심으로 하나의 원을 그리고, 원과의 거리를 계산하여 거리를 줄이는 방향으로 탭 계수를 적응시키는 블라인드 알고리즘이다. 수렴 속도 측면에서 보면 눈 패턴이 닫혀 있을 때 느린 수렴속도를 나타내고, 눈 패턴이 열려있을 때 빠른 수렴속도를 나타낸다<sup>[1,11-13]</sup>. MMA 알고리즘은 CMA 알고리즘과 비슷하지만, 허수 축과 실수축에 기준 값을 정하고 그 기준과의 거리를 줄이는 방향으로 탭 계수를 적응시키는 알고리즘으로, QAM, CAP (Carrierless AM/PM)과 같은 직교 변조방

식에 적합하도록 제안된 알고리즘이다<sup>[7,14]</sup>. 본 논문에서 제안한 등화기는 CMA 알고리즘과 DFE 구조를 연동하여 채널 적응 성능을 향상시키도록 제안하였다<sup>[5]</sup>.

구현한 등화기는 LMS 알고리즘과 CMA를 동시에 사용하였으며, 수신된 신호와 판정된 신호간의 오차의 제곱을 가지고 두 가지 알고리즘 중에 하나를 선택하는 방법을 사용하였다. 그리고 LMS 알고리즘과 CMA는 탭 계수 갱신 수식이 같으므로 하드웨어를 줄일 수 있다.

Top-down 설계 방식에 따라 통신용 CAD 툴인 COSSAP<sup>TM</sup>을 사용하여 모델링 및 성능을 검증하고, VHDL(VHSIC Hardware Description Language)을 사용해 기능 모델과 구조 모델을 구현하였고, SYNOPSIS<sup>TM</sup> CAD 툴과 0.5 $\mu$ m 삼성<sup>TM</sup> 라이브러리 (STD80)를 이용하여 논리합성을 수행하였다. CADENCE<sup>TM</sup> CAD 툴을 이용하여 기능 검증 시뮬레이션과 타이밍 시뮬레이션을 수행하였으며 worst-case 시뮬레이션 주파수는 10 MHz이다. 설계된 등화기의 게이트 수는 약 13만이다.

본 논문에서는 2장에서 구현한 등화기에 이용된 LMS 및 CMA 알고리즘에 대해 살펴보고 3장에서 구현된 등화기의 구조를 보인다. 4장에서는 구현한 등화기의 시뮬레이션 결과를 설명하고 끝으로 5장에서 결론을 서술한다.

## II. 구현한 등화기의 알고리즘

등화기의 탭 계수  $w_n$ 은 채널에 등화기가 적응할 수 있도록 하는 값들로써 채널의 특성에 따라 그 값들이 변하게 된다. 이 값들을 조정해주는 방법으로 여러 가지 알고리즘이 사용되며 각각 그 장단점이 있다. 구현된 등화기에는 LMS 알고리즘과 CMA를 사용하였으며, 그 동작원리 및 특징은 다음과 같다.

### 1. LMS 알고리즘

LMS 알고리즘은 Wiener Hopf solution이 계산량이 많아 실시간 처리가 어려운 문제점을 해결하기 위해 제안된 알고리즘으로서  $n$  값이 커짐에 따라  $w_n$  값이 Wiener Hopf solution의 결과인  $w_{opt}$ 에 수렴함이 증명되었고 식(1), (2), (3)으로 요약된다<sup>[1,3,4,6,15]</sup>.

$$w_{n+1} = w_n + \mu \cdot \varepsilon_n \cdot x_n^* \quad (1)$$

$$\epsilon_n = d_n - y_n \quad (2)$$

$$y_n = x_n \cdot W_n^T \quad (3)$$

위 식의  $W_n$ 은  $n$ 번째 탭 계수들의 집합을 나타낸다. 즉,  $W_n = \{W_{n,0}, W_{n,1}, \dots, W_{n,M-1}\}$ 이다. 그리고,  $\mu$ 는 step size로서 그 값이 클수록 수렴속도는 빨라지지만 수렴 후에 잔류오차가 커지며, 반면에 그 값이 작아지면 수렴속도는 느리지만 수렴 후에 잔류오차는 작아지게 되는 특성을 가지고 있다. 구현된 등화기는  $\mu$  값으로 2-14를 사용하였다.  $x_n$ 은 등화기로 입력되는 수신된 데이터 값 즉,  $x_n = (x_n, x_{n-1}, \dots, x_{n-M+1})$ 을 나타낸다.

$\epsilon_n$ 은 등화기의 출력  $y_n$ 과 판정된 출력  $d_n$  사이의 오차로서  $y_n$  값이  $d_n$ 보다 크면 그 값이 음수가 되고 반대의 경우 양수가 되어 차츰  $W_n$  값이  $W_{opt}$ 에 근접하도록 함을 알 수 있다<sup>[1]</sup>.

### 2. CMA 알고리즘

일반적인 등화기와 달리 blind 등화기는 송신측에서 훈련 순열 (training sequence)을 보내지 않고 송신측 데이터의 확률분포와 수신된 신호만으로 채널을 등화한다. LMS 알고리즘과 탭 계수 갱신 수식은 식 (1), (3)과 동일하고, 에러 함수 ( $\epsilon_n$ )을 생성하는 수식은 식 (4)와 같다<sup>[9,10,16]</sup>.

$$\epsilon_n = (y_n^2 - R_C^2) \cdot y_n \quad (4)$$

$R_C$ 는 16 QAM을 적응시키기 위한 상수로서 송신 신호의 통계적인 성질을 가지고 있다. 성좌도 측면에서 보면 원점에서 생성되는 원의 반지름을 나타낸다. 식(5)는 적응 상수인  $R_C$ 의 생성 수식이다.

$$R_C^2 = \frac{E[s(t)^4]}{E[s(t)^2]} \quad (5)$$

신호  $s(t)$ 는 송신측에서 생성되는 신호를 나타내며, 16 QAM의 경우에는 약 3.32이다.

### III. 구현한 등화기의 구조

구현된 등화기에서 사용된 DFE 구조는 feedforward 필터와 feedback 필터로 구성되며 feedback 필터와 feedforward 필터는 transversal 형태를 하고 있다.

Feedback 필터는 이전의 판정된 신호에 의해 생긴 현재 심볼의 ISI를 제거하기 위해 사용되며 feedforward 필터는 판정되기 이전의 신호에 의한 현재 심볼의 ISI를 제거하기 위해 사용된다. 에러발생률이 충분히 작다면 판정된 심볼에는 잡음성분이 들어 있지 않으므로 DFE 등화기는 같은 탭 수의 선형 등화기(Lattice, Transversal 등)에 비해 빠른 채널 적응 속도와 낮은 BER 값을 가지며 ISI가 심한 환경에서도 좋은 성능을 나타내는 장점이 있다<sup>[17,18]</sup>.

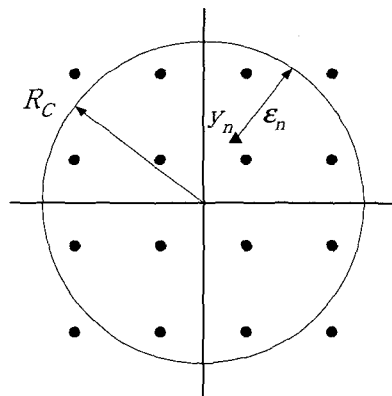


그림 1. 16 QAM에서의 CMA 알고리즘 에러함수  
Fig. 1. The CMA error function for 16 QAM.

그림 1은 CMA 알고리즘을 16 QAM에 적용시킨 개념적인 그림이다. 그림에서 나타난 원점을 중심으로 그려진 원의 반지름의 크기가  $R_C$ 이다. 그림에서 ●로 나타난 것은 송신되는 신호의 성좌도 좌표를 나타낸 것이며, ▲로 나타난 것은 임의의 등화기의 출력  $y_n$ 을 나타낸 것이다. ▲로 나타난 임의의  $y_n$ 에서부터 원주 상까지의 거리가 CMA 알고리즘의 에러 함수  $\epsilon_n$ 이 된다. CMA 알고리즘은 전송되는 신호들이 동일원상에 존재하는 M진 PSK (Phase Shift Keying)를 위하여 제안된 알고리즘이므로, 채널 적응이 된 다음에도 에러 함수가 큰 값을 가지는 단점이 있다<sup>[11,12]</sup>.

앞에서 소개한 알고리즘을 이용하여 설계한 등화기의 전체적인 구조를 그림 2에 나타내었다.

그림 2는 CMA와 LMS 알고리즘을 사용하여 구현한 등화기의 전체 구조를 나타낸다. Feedforward 블록과 feedback 블록의 연산결과에 의해  $y_n$  값을 만들어 내면 판정 블록에서  $y_n$ 을 이용하여  $d_n$  값을 만들어 낸다. 에러 함수 생성 블록에서는  $y_n$ 과  $d_n$ 을 이용하여

LMS, CMA 알고리즘에 해당하는 에러함수를 만들어내고 이들 중 어느 것을 사용할지는 MSE 생성 블록에서 만들어낸 MSE 값에 의해 결정된다.

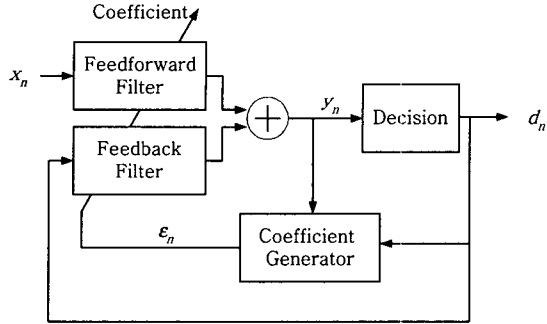


그림 2. 구현한 등화기의 전체 구조  
Fig. 2. The block diagram of the proposed equalizer.

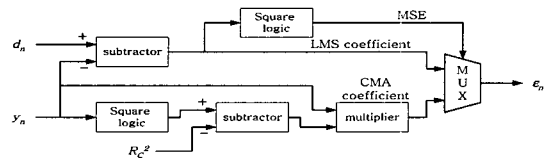


그림 3. CMA와 LMS 알고리즘을 사용한 에러 함수 생성 블록  
Fig. 3. The generation block of the error function using CMA and LMS algorithms.

그림 3은 CMA와 LMS 알고리즘을 사용한 에러 함수 생성 블록의 구조이다. 에러 함수 생성 블록의 입력은 등화기의 출력  $y_n$ 과 판정기의 출력  $d_n$ 이다. 등화기의 출력  $y_n$ 만으로 식 (4)와 같이 생성된다. CMA 알고리즘의 에러 함수를 생성하기 위해서는 제곱기, 뺄셈기와 곱셈기가 필요하다.  $R_c$ 는 본 논문에서 제안한 등화기의 목표한 변복조 방식이 16 QAM이므로 3.32가 저장되어 사용된다. LMS 알고리즘은 뺄셈기 하나로 쉽게 구현되며, 두 알고리즘을 선택하기 위한 MSE를 생성하기 위해 제곱기가 사용된다.

식 (2)와 (4)에 의해 생성된 LMS와 CMA 알고리즘의 에러 함수는 그림 3에서 보이는 것과 같이 MSE에 의해 멀티플렉서에 의해 선택된다. 등화기가 처음 채널에 적응을 시작할 때는 CMA 알고리즘으로 동작하고, 채널에 차츰 적응할수록 MSE가 낮은 값을 가지게 된다. MSE가 줄어들어 기준값 이하로 내려가면 LMS 알고리즘으로 전환하여 채널의 잔존 에러와 지속적인 채

널 변화를 추적한다. 선택 방식은 표 1에 나타내었다.

표 1. MSE 값에 따른 선택되는 알고리즘  
Table 1. The selected algorithm according to the MSE value

MSE 값의 범위	사용되는 알고리즘	예
$MSE \geq 1.5$	블라인드 알고리즘	only CMA
$0.5 \leq MSE < 1.5$	직전에 사용된 알고리즘	Last used algorithm CMA / LMS
$0 \leq MSE < 0.5$	LMS 알고리즘	only LMS

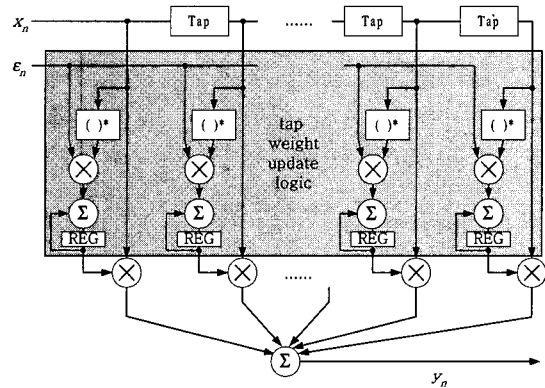


그림 4. 구현한 등화기의 필터 구조  
Fig. 4. The filter structure of the proposed equalizer.

그림 4는 구현한 등화기의 필터 구조를 나타낸다. 구현한 등화기는 그림 4와 같은 필터가 두 개 병렬로 연결되어 있으며, feedforward 필터는  $x_n$ 을 입력으로 받으며, feedback 필터는  $d_n$ 을 입력으로 받는다.  $x_n$ (8 비트)보다  $d_n$ (3 비트)의 비트 폭이 작기 때문에 feedback 필터에 쓰이는 곱셈기와 덧셈기의 하드웨어를 줄일 수 있다. 구현에 사용한 곱셈기는 Booth 곱셈기이며 입력 비트 폭이 1/2로 줄어들면, 하드웨어는 1/4이 줄어든다.

구현한 필터는 내부에 탭 계수 갱신을 수행하는 연산 블록과 탭 계수를 저장하는 레지스터가 내장되어있다. 고속 동작을 위해 모든 탭은 병렬로 동작하도록 하였으며, 곱셈기는 Booth 곱셈기를 사용하였다. 필터 출력인  $y_n$ 을 계산하는 덧셈기는 다수의 입력을 한꺼번에 더할 수 있는 CSA를 사용하였다.

고속 동작과 하드웨어의 크기를 줄이기 위해 통신용 CAD 툴을 사용하여 목표한 성능에 부합하면서도 가능

한 최소의 비트 수를 가지도록 하여 fixed-point 시뮬레이션을 통해 등화기 출력  $y_n$ 에는 14 비트, 계수 업데이트 블록에서 weight  $W_n$ 은 20 비트를 사용하였으며, 계수 업데이트 블록의 weight 계수 출력은 7 비트를 사용하였다. 그리고 판정 출력  $d_n$ 에는 3 비트를 할당하였다.

#### IV. 시뮬레이션 및 논리합성의 결과

제안한 알고리즘의 기능 검증과 성능 검증을 위하여 COSSAP<sup>TM</sup>을 사용하였으며, floating-point 모델링과 fixed-point 모델링을 수행하였으며 fixed-point 시뮬레이션 결과를 그림 5, 6에 나타내었다.

시뮬레이션 채널 환경으로는 입력되는 신호를 기준으로 하였을 때 백색잡음 (AWGN : Additive White Gaussian Noise)이 15dB 존재하고 2개의 페이딩 경로를 갖는 환경을 가정하였다. 그림 5는 구현한 MSE 변화도에 따른 채널 등화를 나타낸 것으로 약 5000 심볼 후에 training sequence 없이 채널에 등화한 것을 볼 수 있다. 그림 6은 두 경로 페이딩 환경에서의 등화기 성능을 나타낸 것으로서, BER이  $10^{-6}$ 일 때를 기준으로 보면 등화기를 사용하지 않은 채널의 BER 보다 SNR이 4dB 정도 향상된 것을 볼 수 있다.

설계한 등화기는 고속 동작을 위해 제곱기, Booth 곱셈기와 CSA를 사용하였다. 그림 7은 등화기를 논리 합성한 결과를 보인 것이다. 논리합성에는 삼성<sup>TM</sup>의 STD80 library를 이용하였다. 논리 합성된 등화기는 크게 DFE 필터 블록, 에러 함수 생성기와 판정기로 이루어져 있다. 게이트 수는 약 13만개의 게이트 수를 가지며 동작속도는 10MHz이다.

#### V. 결 론

본 논문은 CMA, LMS 알고리즘을 이용한 DFE 구조의 등화기를 구현하였다. 제안한 알고리즘의 기능 검증과 성능 검증을 위해 COSSAP<sup>TM</sup>을 사용하였고, VHDL을 이용하여 모델링을 하였다. Feedback 부분과 feedforward 부분에 각각 12개와 8개의 탭을 사용하였으며 SYNOPSIS<sup>TM</sup>를 이용한 논리합성의 결과, 설계한 등화기는 약 13만개의 게이트 수와 10MHz의 동작속도를 보였다. 구현된 등화기는 유무선 케이블 모뎀, LMDS (Local Multi-point Distribution Services) 등의

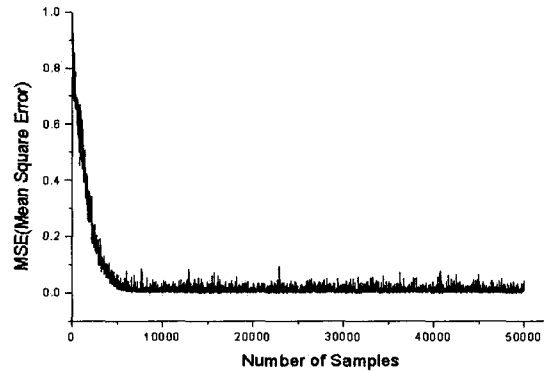


그림 5. 구현한 등화기의 MSE 변화도  
Fig. 5. Convergence of the proposed equalizer.

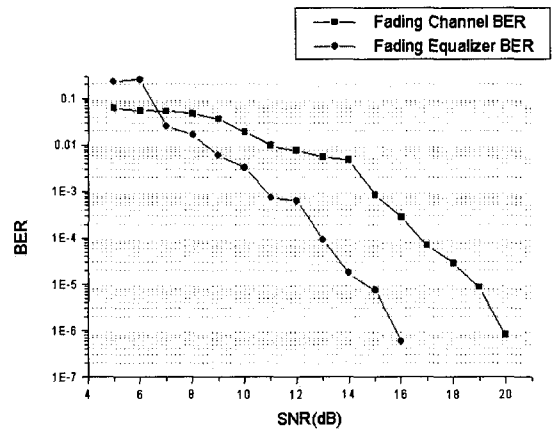


그림 6. 백색 잡음과 다중 경로 환경에서 구현한 등화기 BER 성능  
Fig. 6. BER performance in fading channel and AWGN.

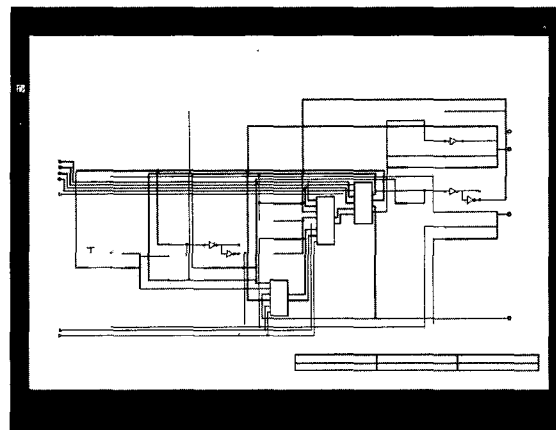


그림 7. 구현한 등화기의 논리 합성 결과  
Fig. 7. The synthesis result of the proposed equalizer.

QPSK와 16/64 QAM 변복조방식을 사용하는 활용분야에 다양하게 사용될 수 있다.

### 참 고 문 헌

- [1] Haykin, *ADAPTIVE FILTER THEORY-third edition*, Prentice-Hall, 1996.
- [2] Ramjee Prasad, *Universal Wireless Personal Communications*, Boston-London. Artech House Publishers, 1998.
- [3] Gordon L. Stüber, *Principles of MOBILE COMMUNICATION-second edition*, Kluwer Academic Publishers, 2001.
- [4] Theodore S. Rappaport, *Wireless Communications : Principles and Practice*, Prentice-Hall, 1996.
- [5] Ki H. Park, Dae K. Shin, Jun S. Lee, and Myung H. Sunwoo, "Design of a QPSK/16 QAM LMDS Downstream Receiver ASIC Chip," in *Proc. IEEE Workshop on SIGNAL PROCESSING SYSTEMS Design and Implementation*, Oct. 2000, pp. 210~217.
- [6] Jae Chon Lee, Chong Kwan Un, "Performance of Transform Domain LMS Adaptive Digital Filters", *IEEE Transactions on Acoustics, Speech and Signal Processing*, Vol. ASSP-34, No. 3, pp. 499~510, June, 1986.
- [7] J. Yang, J. J. Werner, and Jr., G. A. Dumont, "The Multimodulus Blind Equalization Algorithm," in *Proc. Thirteenth Int'l Conf. On Digital Signal Processing*, Santorini, Greece, July 2-4. 1997.
- [8] Zhi Ding, Ye (Geoffrey) Li, *Blind Equalization and Identification*, Marcel Dekker, 2001.
- [9] C. R. Johnson, Jr. et al., "Blind equalization using the constant modulus criterion: A review," *Proc. IEEE (Special Issue on Blind System Identification and Estimation)*, Vol. 86, pp. 1927~1950, Oct. 1998.
- [10] SeokHee Hong, DaeKyo Shin, MyungHoon Sunwoo, "A DFE Structure Equalizer ASIC Chip Using Constant Modulus Algorithm," *IEEC Conference 2000*, 천안, 2000년 8월, pp. 49~52.
- [11] Fco. Rodrigo, P. Cavalcanti, Joao Cesar M. Mota, "A Predictive Constant Modulus Algorithm for Blind Equalization in QAM Systems", *IEEE International Conference on Communications*, Vol 2/3, pp. 1080~1084, 1997.
- [12] John R. Treichler, Brian G. Agee, "A New Approach to Multipath Correction of Constant Modulus Signals", *IEEE Transactions on Acoustic, Speech and Signal Processing*, Vol. ASSP-31, No. 2, pp. 459~472, April, 1983.
- [13] Kihyuk Pa7], Daekyo Shin, Junsung Lee, and Myung H. Sunwoo, "A QPSK/16 QAM Receiver Chip for LMDS Application," in *Proc the Second IEEE Asia Pacific Conference on ASICs*, Cheju. Korea, pp. 207~210, Aug. 2000.
- [14] Daekyo Shin, Ki Hyuk Park, and Myung H. Sunwoo, "A 64/256 QAM Receiver Chip for High-speed Communications," in *Proc. IEEE International ASIC/SOC Conference*, Washington DC. U.S.A., pp. 214~218, Sep. 2000.
- [15] SeungJoon Hwang, DaeKyo Shin, MyungHoon Sunwoo, "A QPSK/16 QAM ASIC Chip for LMDS Application," *IEEC Conference 2000*, 천안, pp. 81~84, 2000년 8월.
- [16] 신 대교, 홍 석희, 선우 명훈, "Blind 알고리즘을 이용한 DFE Equalizer의 설계," *1999년도 제12회 신호처리합동학술대회*, 포항공과대학, pp. 1031~1034, 1999년 10월.
- [17] George Mathew, B. Farhang-Beroujeny, Roger W. Wood, "Design of Multilevel Decision Feedback Equalizers", *IEEE Transactions on Magnetics*, Vol 33, No. 6, pp. 4528~4542, November 1997.
- [18] Hyeongseok Yu, Byung Wook Kim, Yeon gon Cho, Jun Dong Cho, Jea Woo Kim, Jae Kon Lee, Hyeon Cheol Park, Ki Won Lee, "Area-Efficient and Reusable VLSI Architecture of Decision Feedback Equalizer for QAM Modem," *proc., ASP-DAC2001*, pp. 404~407, January, 2001.

저 자 소 개



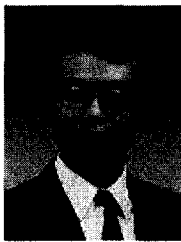
金永燮(正會員)

1972년 12월 5일생. 1999년 2월 아주대학교 전자공학부(공학사). 2002년 2월 아주대학교 전자공학과(공학석사) 2002년 2월~현재 삼성전자 통신연구소근무 <주관심분야: VLSI 설계>



金敬昊(正會員)

1961년 2월 3일생, 1984년 2월 연세대학교 전자공학과 졸업. 1987년 2월 한국과학기술원 전기및 전자공학과 졸업(공학석사). 1991년 2월 한국과학기술원 전기및 전자공학과 졸업(공학박사). 1983년~현재: 삼성전자 반도체, 통신연구소근무 <주관심분야: 통신용 SOC설계, IMT-2000 단말용 모뎀설계, Lower Power설계, Design Methodology>



鮮于明勳(正會員)

1980년 서강대학교 전자공학 학사. 1982년 한국과학기술원 전기 및 전자공학 석사. 1982년~1985년 한국 전자통신연구소(ETRI) 연구원. 1985년~1990년 Univ. of Texas at Austin 전기 및 컴퓨터 공학 박사. 1990년~1992년 미국 Motorola, DSP Chip Division. 2001년~현재 IEEE Senior Member. 1992년~현재 아주대학교 전자공학부 교수. <주관심분야: VLSI 및 SoC Architecture, 멀티미디어 통신용 DSP 칩 및 ASIC 설계>