

論文2002-39SC-3-2

전류 모드 CMOS 다치 논리 회로의 구현

(Implementation of Current-Mode CMOS Multiple-Valued Logic Circuits)

成賢慶*, 韓永煥*, 沈裁煥**

(Hyeon-Kyeong Seong, Young-Hwan Han, and Jai-Hwan Sim)

요약

본 논문에서는 다변수 다치 논리함수에 대하여 구간함수를 절단 차분 함수로 변환하는 방법을 제시하였고, 절단 차분 함수를 전류모드 CMOS에 의한 전류 미러 회로와 금지회로를 사용하여 일정한 패턴을 갖는 다치 논리회로로 구현하는 방법을 제시하였다. 또한 제시한 방법을 2변수 4치 MOD(4) 가산 진리표와 2변수 4치 유한체 GF(4)상의 승산 진리표를 실현하는 회로의 구현에 적용하였다. PSpice 시뮬레이션을 통하여 이 회로들에 대하여 동작특성을 보였다. 회로들의 시뮬레이션은 2 μ m CMOS 표준 기술을 이용하였고, 단위 전류를 15 μ A로 하였으며, 전원전압은 3.3V를 사용하였다. 본 논문에서 제시한 전류모드 CMOS에 의해 구현된 회로들은 일정한 패턴, 상호연결의 규칙성을 가지며, 다치 논리함수의 변수의 확장성을 가지므로 VLSI 실현에 적합할 것으로 생각된다.

Abstract

In this paper, we present the method transforming the interval functions into the truncated difference functions for multi-variable multi-valued functions and implementing the truncated difference functions to the multiple valued logic circuits with uniform patterns using the current mirror circuits and the inhibit circuits by current-mode CMOS. Also, we apply the presented methods to the implementation of circuits for additive truth table of 2-variable 4-valued MOD(4) and multiplicative truth table of 2-variable 4-valued finite fields GF(4). These circuits are simulated under 2 μ m CMOS standard technology, 15 μ A unit current, and 3.3V power supply voltage using PSpice. The simulation results have shown the satisfying current characteristics. Both implemented circuits using current-mode CMOS have the uniform patterns and the regularity of interconnection. Also, it is expansible for the variables of multiple valued logic functions and are suitable for VLSI implementation.

Keyword : Multiple Valued Logic, Multiple Valued Functions, Current-mode CMOS, Truncated difference functions,

* 正會員, 尙志大學校 컴퓨터·情報工學部

(School of Computer, Information and Communication Engineering, Sangji University)

** 正會員, 仁荷大學校 電子工學科

(Dept. of Electronic Engineering, Inha University)

※ 이 논문은 2000년도 상지대학교 교내연구비 지원에 의해 연구되었음

接受日字:2001年6月25日, 수정완료일:2002年4月8日

I. 서론

다치 논리회로의 설계 및 함수 최소화에 관한 방법은 많은 연구를 통해 발표되었다[1-3]. 이 연구들은 대수학적 성질에 바탕을 두고 시작한 공통점을 가지고 있어서 실제 회로구현의 목적을 위한 것보다는 회로구현을 고려하지 않았거나 단지 회로구현에 대한 가능성

만을 보였다. 그러나 오늘날 반도체 기술의 발달로 인하여 칩의 집적도가 비약적으로 증가하고 있으나 단자 수 제한문제, 단자간 상호연결 문제, 보다 많은 정보량의 처리문제와 연산속도의 제한성 문제 등을 가지고 있다. 이러한 문제점들을 해결하기 위하여 지난 수십 년 동안 다치 논리회로의 구현에 많은 연구가 진행되고 있다^[4-6].

CMOS 회로가 소개된 후, 이 회로는 고밀도 실현, 저전력-속도곱 및 다양한 전류 레벨로 인하여 VLSI 및 ULSI에 많이 응용되고 있으며, 최근에는 게이트당 최소 지연시간을 감소시키는 방향으로 연구가 계속되고 있다. 초기의 다치 논리회로의 구현은 주로 전압모드 접합 트랜지스터와 CMOS 회로에 의해 이루어져왔다. 그러나 대부분의 전압모드 다치 논리회로는 회로의 복잡성과 전달지연 때문에 2치 논리회로와 경쟁이 되지 못하여 새로운 기술인 전류모드 CMOS 다치 논리회로가 1980년 중반에 소개되었다^[7]. 제시된 전류모드 CMOS 회로는 VLSI화의 요구사항에 대하여 호환성을 가지며, 적은 CMOS 공급전압에서 안정하게 동작한다. 그리고 전압모드가 갖는 결정을 보완하고, 임의의 정점에서 전류신호의 가감과 높은 전압의 공급 없이도 각 기수의 할당이 용이한 이점을 갖는다^[8-9].

최근에 Current^[10]는 간단한 전류 비교기, 전류모드 다치 논리 부호기 및 복호기와 4치 전가산기 등의 다양한 전류모드 CMOS 다치 논리회로를 실현하였고, Moraga 등^[11]은 전류모드 CMOS를 이용하여 TSUM (truncated sum) 기능과 MAX 기능을 수행하는 4치 회로를 구현하였고, Fraser 등^[12]은 만능 리터럴을 사용하여 다치 논리함수를 최소화하여 전류모드 CMOS로 회로를 구현하였다. 이들이 제시한 회로들은 회로 구현 방법이 복잡한 단점이 있다. Abd-El-Barr 등^[13]은 전류모드 CMOS를 이용하여 4치 단일 변수의 실현에 대한 비용을 분석하여 회로 설계하는 방법을 제시하였으며, 이 설계 방법은 전체 회로에 대한 비용 계산이 어렵고, 변수가 확장되면 설계가 더욱 어려워지는 단점이 있다. Shen 등^[14]은 뉴런 MOS 트랜지스터를 사용하여 다치 논리회로를 구현하였고, Teng 등^[15]은 전류모드 CMOS를 이용하여 합과 차분을 수행하는 연산자를 설계하였으나 이들이 제시한 회로들은 규칙성이 없으며, 회로 설계가 복잡한 단점이 있다.

그러므로 본 논문에서는 Current^[10]와 Fraser 등^[12]가 제시한 회로구현 방법보다 간단하고, Shen 등^[14]과 Teng

등^[15]가 제시한 회로 구현 방법보다 규칙성과 일정한 패턴을 갖는 전류모드 CMOS를 이용한 회로구현 방법을 제시하였다. 제시된 방법은 먼저 구간함수를 절단 차분 함수로 변환하며, 변환된 절단 차분 함수를 전류모드 CMOS를 이용하여 회로 설계하였으며, 이 회로들을 PSpice를 이용하여 시뮬레이션 하였다.

II. 수학적 배경 및 전류모드 CMOS 기본 회로

논리 게이트의 개념은 오랫동안 논리설계에 있어서 중요한 위치를 차지하며, 물리적 현상과 함수의 합성사에서 중간 위치를 차지하고 있다. 논리회로 설계기술에서 게이트의 수는 소자 낭비를 발생시킬 수 있고, 분명히 이 영향은 집적 수준이 높다면 중요하게 대두될 수 있다^[16]. 본 논문에서 사용하는 다치 논리함수의 수학적 배경과 전류모드 CMOS의 기본회로가 다음과 같다.

1. 수학적 배경

다치 논리 시스템에서 논리값이 집합 $R = \{0, 1, 2, \dots, N-1\}$ 이면 다음과 같은 함수들을 나타낼 수 있다^[4-6].

(1) 구간 함수

상수 K , 임의의 원소 a 와 b 가 $a \leq b$ 인 경우 변수 x 에 대한 구간 함수 $K \cdot x^{[a,b]}$ 는 식 (1)과 같다.

$$K \cdot x^{[a,b]} = \begin{cases} K & \text{iff } a \leq x \leq b \\ 0 & \text{otherwise} \end{cases} \quad (1)$$

여기서 임의의 원소 a 를 좌구간 원소, b 를 우구간 원소라 한다.

(2) 반구간 함수

상수 K , 임의의 원소 a 와 변수 x 에 대한 반구간 함수 $K \cdot x^{[a]}$ 는 식 (2)와 같다.

$$K \cdot x^{[a]} = \begin{cases} K & \text{iff } a \leq x \\ 0 & \text{otherwise} \end{cases} \quad (2)$$

(3) 보수(complement)

N 치 변수 x 의 보수 \bar{x} 는 식 (3)과 같다.

$$\bar{x} = (N-1) - x \quad (3)$$

(4) 절단 차분 함수

임의의 원소 a 와 b 가 $a \geq b$ 일 경우 절단 차분 함수는 식 (4)와 같다.

$$a \ominus b = \begin{cases} a - b & \text{iff } a \geq b \\ 0 & \text{otherwise} \end{cases} \quad (4)$$

여기서, " \ominus "는 절단 차분 연산자이다.

위의 함수들에서 상수 K , 원소 a 와 b , 변수 x 는 논리값의 집합 $\{0, 1, 2, \dots, N-1\}$ 에서 임의의 값을 갖는다.

2. 전류모드 CMOS 기본 회로

회로 구현에 사용하는 전류모드 CMOS 기본 회로는 다음과 같다^[17-19].

(1) 금지회로

전류모드 CMOS에 의한 금지회로는 그림 1(a)와 같으며, 이 회로의 입출력 전류 특성이 그림 1(b)와 같다. 금지회로는 다음 함수를 실현한다. 그림 1(a)에서 K 는 전류원이며, 전류원의 크기는 전류 이득에 관계되는 MOS 소자의 채널 폭(W)과 길이(L)의 비율에 의해 결정된다.

$$f = K \cdot x^{[0]} \quad (5)$$

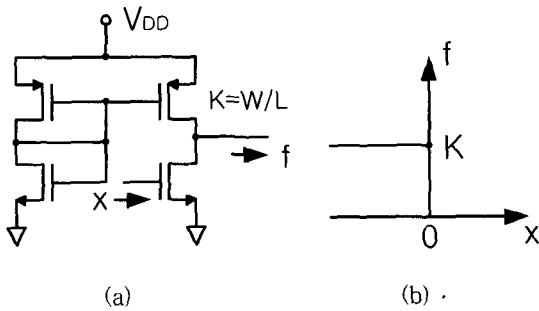


그림 1. 금지회로 (a) 회로 (b) 입출력 전류 특성
Fig. 1. Inhibit circuit (a) circuit (b) characteristic of input-output current.

(2) 전류 미러 회로

전류모드 CMOS에 의한 전류 미러 회로는 그림 2(a)와 같이 구성하며, 이 회로의 입출력 전류 특성이 그림 2(b)와 같다. 전류 미러 회로는 다음 함수를 실현한다.

$$f = K \ominus (p \cdot x) \quad (6)$$

식 (6)은 $x \geq K/p$ 인 경우 $f=0$ 이 된다. 그림 2(a)에서 K 는 전류원이고, p 는 미러회로에서 복제되는 전류의 크기를 나타낸다. K 와 p 의 크기는 전류 이득에 관계되는 MOS 소자의 채널 폭과 길이의 비율에 의하여 결정된다.

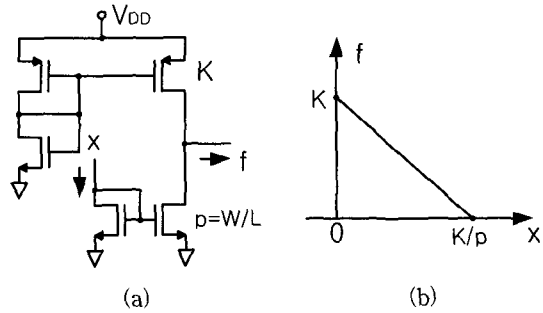


그림 2. 전류 미러 회로 (a) 회로 (b) 입출력 전류 특성
Fig. 2. Current mirror circuit (a) circuit (b) characteristic of input-output current.

III. 전류모드 CMOS에 의한 다치 논리회로의 구현

다치 진리표가 주어지면 다치 논리함수는 대부분 II에서 논한 구간함수로 표현이 된다. 이 장에서는 구간함수를 절단 차분 함수로 변환하는 방법을 제시하고, 이 방법에 의해 구성된 절단 차분 함수를 전류모드 CMOS로 회로 구현하는 방법을 제시한다. 제시된 회로들은 $2\mu\text{m}$ CMOS 기술을 사용하여 PSpice로 시뮬레이션 하였다. 단위 전류 I_u 는 $15\mu\text{A}$ 로 하였으며, W/L 은 $20\mu\text{m}/2\mu\text{m}$ 이고, V_{DD} 전압은 3.3V 를 사용하였다. 사용한 MOS 모델은 LEVEL 3으로 시뮬레이션 하였다.

1. 단일변수 다치 논리회로 구현

상수 K , 임의의 원소 a 와 b 를 갖는 N 차 단일 변수 x 에 대한 구간함수 $f(x) = K \cdot x^{[a,b]}$ 를 절단 차분 함수로 변환하는 단계는 다음과 같다.

[단계 1] 구간을 나타내는 임의의 원소 a 와 b 를 변수 x 에 대하여 각각 구간함수를 구성하고, 상수 K 를 곱한다. 즉, 함수 $K \cdot x^{[a,b]}$ 를 함수 $K \cdot x^{[a]}$ 와 함수 $K \cdot x^{[b]}$ 로 구성한다.

[단계 2] 함수 $K \cdot x^{[a]}$ 를 절단 차분 함수 $K \cdot (a \ominus x)$ 로 만든다.

[단계 3] 함수 $K \cdot x^{[b]}$ 를 반구간 함수로 변환하고, 원

소 b 에 1을 더한다. 즉, 반구간 함수 $K \cdot x^{b+1}$ 로 만든다.

[단계 4] 단계 2에서 구성한 절단 차분 함수와 단계 3에서 구성한 반구간 함수를 합한다.

$$K \cdot (a \ominus x) + K \cdot x^{b+1} \quad (7)$$

[단계 5] 단계 4에서 합성한 식 (7)를 상수 K 에 대하여 절단 차분 함수를 구성한다.

$$f(x) = K \ominus [K \cdot (a \ominus x) + K \cdot x^{b+1}] \quad (8)$$

단계 5에서 구성한 식 (8)의 절단 차분 함수를 전류 모드 CMOS로 회로 구현하면 그림 3과 같다.

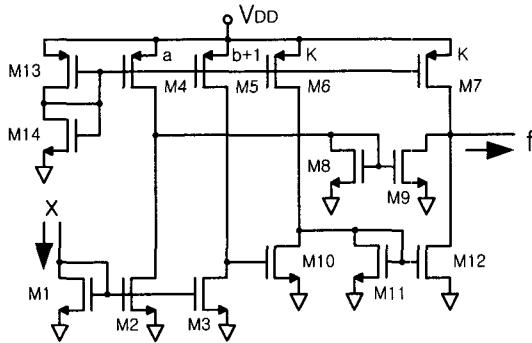


그림 3. 전류모드 CMOS에 의한 절단 차분 함수의 회로 구현

Fig. 3. Implementation of circuit on the truncated difference function using current-mode CMOS.

【예제 1】 4차 단일 변수인 구간함수 $f(x) = 2 \cdot x^{1,2}$ 에 대한 절단 차분 함수를 구하면 다음과 같다.

[단계 1] $2 \cdot x^{[1]}$ 과 $2 \cdot x^{[2]}$ 의 구간함수로 구성한다.

[단계 2] $2 \cdot x^{[1]}$ 을 $2 \cdot (1 \ominus x)$ 의 절단 차분 함수로 변환한다.

[단계 3] $2 \cdot x^{[2]}$ 을 $2 \cdot x^{[3]}$ 과 같이 반구간 함수로 만든다.

[단계 4] $2 \cdot (1 \ominus x) + 2 \cdot x^{[3]}$ 과 같이 단계 2의 절단 차분 함수와 단계 3의 반구간 함수를 합한다.

[단계 5] 단계 4에서 구한 함수를 상수 2에 대하여 절단 차분 함수를 구하면 식 (9)와 같다.

$$f(x) = 2 \ominus [(1 \ominus x) + 2 \cdot x^{[3]}] \quad (9)$$

식 (9)를 전류모드 CMOS로 회로 구현하면 그림 4와 같으며, 4차 단일 변수로 동작한다. 그림 4의 회로에서

각 숫자는 전류 크기를 나타내며, CMOS의 채널 길이(L)과 채널 폭(W)의 비이다. 이 회로는 x 에 가해진 전류에 따라 M1, M2, M3 트랜지스터에 의해 전류가 복제되며, 이로 인하여 전류원 M4는 I_u , M5는 $3I_u$, M6은 $2I_u$ 의 전류가 생성되며, M7은 $2I_u$ 가 생성된다. M4의 전류값이 M8과 M9에 의해 생성되어 M7의 전류값에서 차분되어 출력된다. 또한 M5의 전류값에 따라 M10이 금지회로로 동작하여 M6의 전류값이 M11과 M12에 의해 생성되어 M7의 전류값에서 차분되어 출력된다.

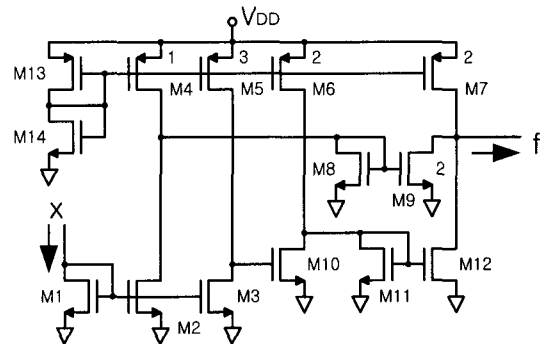


그림 4. 전류모드 CMOS에 의한 식 (9)의 회로 구현
Fig. 4. Implementation of circuit on Eq. (9) using current-mode CMOS.

그림 5는 그림 4의 전류모드 CMOS에 의한 단일변수 4차 회로에 대한 시뮬레이션 결과이다. 입력 x 의 전류가 $0\mu A$ 에서 $20\mu s$ 간격으로 $0\mu A$ 에서 $15\mu A$ (I_u)씩 증가할 때 출력 전류 f 의 변화를 보인다. 그림 5에서 $100\mu s$ 에서 x 가 $15\mu A$ 일 때 출력 전류 f 가 $30\mu A$ ($2I_u$)임을 보인다.

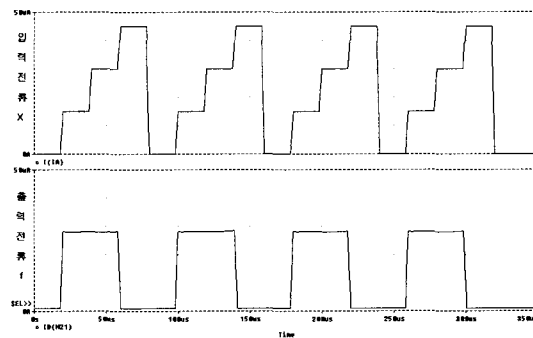


그림 5. 그림 4의 시뮬레이션 결과
Fig. 5. The simulation result of Fig. 4.

2. 다변수 다치 논리회로 구현

상수 K 를 갖는 N 차 n 변수에 대한 구간함수 $f(x) = K \cdot (x_1^{[a_1, b_1]}, x_2^{[a_2, b_2]}, \dots, x_n^{[a_n, b_n]})$ 를 절단 차분 함수로 변환하는 단계는 단일 변수의 변환 방법과 같으며, 식 (10)과 같이 나타낼 수 있다.

$$\begin{aligned}
 & K \cdot (x_1^{[a_1, b_1]}, x_2^{[a_2, b_2]}, \dots, x_n^{[a_n, b_n]}) \\
 &= K \cdot \Theta \{ [K \cdot (a_1 \ominus x_1) + K \cdot x_1^{[b_1+1]} \\
 &+ \{K \cdot (a_2 \ominus x_2) + K \cdot x_2^{[b_2+1]} \} \\
 &\dots \dots \dots \\
 &+ \{K \cdot (a_n \ominus x_n) + K \cdot x_n^{[b_n+1]} \}] \}
 \end{aligned} \tag{10}$$

식 (10)을 전류모드 CMOS로 회로 구현하면 그림 6과 같다.

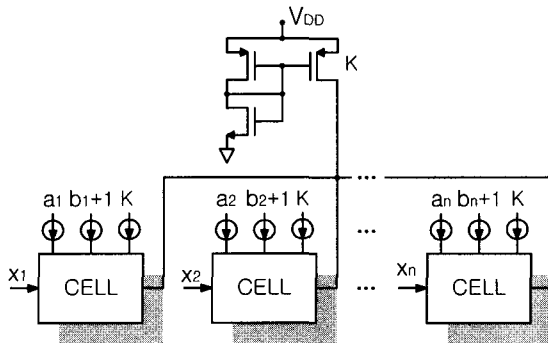


그림 6. 전류모드 CMOS에 의한 식 (10)의 회로 구현
Fig. 6. Implementation of circuit on Eq. (10) using current-mode CMOS.

그림 6에서 각 CELL의 내부 구조가 그림 7과 같다. 그림 7에서 a_i, b_i+1, K 는 전류 크기를 나타내며, MOS 소자의 채널 폭과 길이의 비율에 의하여 결정된다.

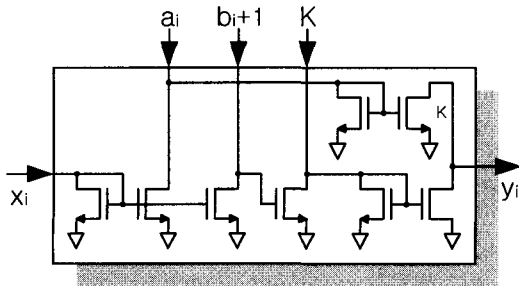


그림 7. CELL의 구조
Fig. 7. The structure of CELL.

【예제 2】 4차 2 변수인 구간함수 $f(x) = 2 \cdot (x_1^{[1,2]}, x_2^{[1,3]})$ 에 대한 절단 차분 함수는 식 (10)에 의해서 식 (11)과 같이 구할 수 있다.

$$2 \cdot (x_1^{[1,2]}, x_2^{[1,3]}) = 2 \cdot \Theta [2 \cdot (1 \ominus x_1) + 2 \cdot x_1^3 + 2 \cdot (1 \ominus x_2)] \tag{11}$$

식 (11)을 전류모드 CMOS로 회로 구현하면 그림 8과 같다. 이 회로는 입력 x_0 에 가해진 전류에 따라 M1, M2, M3 트랜지스터에 의해 전류가 복제되어 이로 인하여 전류원 M6은 I_u 전류와 M7는 $3I_u$ 전류를 생성한다. 그리고 입력 x_1 에 가해진 전류에 따라 M4, M5 트랜지스터에 의해 전류가 복제되어 이로 인하여 전류원 M8은 $2I_u$ 전류를 생성한다. M6의 전류값이 M11과 M12에 의해 복제되어 M10의 전류값에서 차분되고, M7의 전류값에 따라 M13이 금지회로로 동작하여 M9의 전류값이 M14와 M15에 의해 복제되어 M10의 전류값에서 차분된다. 또한 M8의 전류값이 M16과 M17에 의해 복제되어 M10의 전류값에서 차분되어 출력된다.

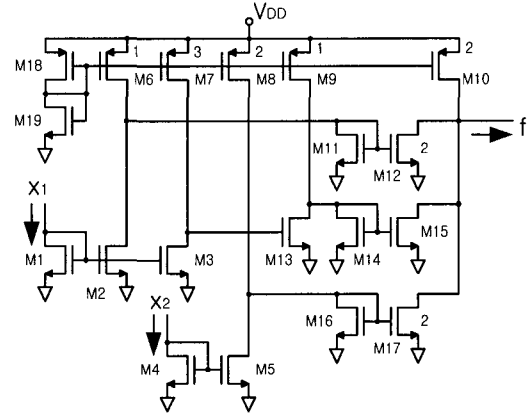


그림 8. 전류모드 CMOS에 의한 식 (11)의 회로 구현
Fig. 8. Implementation of circuit on Equation (11) using current-mode CMOS.

그림 9는 식 (11)에 의해 구현된 전류모드 CMOS 2 변수 4차 회로에 대한 시뮬레이션 결과이다. 입력 x_0 의 전류가 $0\mu\text{s}$ 에서 $20\mu\text{s}$ 간격으로 $0\mu\text{A}$ 에서 $15\mu\text{A}$ (I_u)씩 증가하고, 입력 x_1 의 전류가 $0\mu\text{s}$ 에서 $80\mu\text{s}$ 간격으로 $15\mu\text{A}$ 씩 증가할 때 출력 전류 f 의 변화를 보인다. 그림 9에서 $100\mu\text{s}$ 에서 x_0 가 $15\mu\text{A}$ 이고, x_1 이 $15\mu\text{A}$ 일 때 출력 전류 f 가 $30\mu\text{A}$ ($2I_u$)임을 보인다.

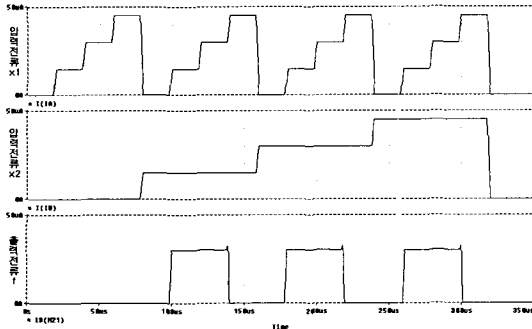


그림 9. 그림 8의 시뮬레이션 결과

Fig. 9. The simulation result of Fig. 8.

3. 절단 차분 함수에 의한 다치 논리회로의 구현 방법
다치 논리함수의 진리표를 이용하여 절단 차분 함수를 구성하는 방법은 다음과 같다.

[단계 1] 주어진 다치 진리표에 대하여 원소값을 구간 함수로 구성한다.

[단계 2] 구간함수의 원소값이 증가 또는 감소하는가를 분류한다.

(a) 원소값이 증가하면 최대치에 대하여 절단 차분 함수를 구한다.

(b) 원소값이 감소하면 (a)의 절단 차분 함수의 결과에 대하여 부(-)가 되도록 한다.

[단계 3] 단계 2에서 구한 진리표를 주어진 다치 진리표에서 차분을 구한다. 차분의 결과가 부의 원소값을 가지면서 증가 또는 감소하면 단계 2를 반복하고, 차분의 결과가 일정한 원소값을 가지면 단계 4를 반복한다. 차분의 결과가 0이면 단계를 마친다.

[단계 4] 원소값이 구간함수이면 절단 차분 함수로 변환한다.

예를 들어 구간함수 $f(x) = K \cdot x^{[a,b]}$ 를 절단 차분 함수로 변환하는 방법은 다음과 같다.

(a) 구간함수 $f(x)$ 를 함수 $K \cdot x^{[a]}$ 와 함수 $K \cdot x^{[b]}$ 로 분류한다.

(b) 함수 $K \cdot x^{[a]}$ 를 절단 차분 함수 $K \cdot (a \ominus x)$ 로 변환한다.

(c) 함수 $K \cdot x^{[b]}$ 를 함수 $K \cdot x^{[b+1]}$ 로 만든다.

(d) (b)와 (c)의 두 함수를 합성한 후 상수 K 에 대하여 절단 차분 함수로 변환하며, 변환된 함수가 다음과 같다.

$$f(x) = K \ominus [K \cdot (a \ominus x) + K \cdot x^{[b+1]}] \quad (12)$$

[단계 5] 단계 4에서 구한 진리표를 앞 단계에서 구한 진리표에서 차분을 구한다. 만약 차분의 결과가 구간함수의 원소값을 가지면 단계 2를 수행하며, 차분의 결과가 0이 될 때까지 단계를 계속 수행한다.

위의 단계에서 구성한 절단 차분 함수를 전류모드 CMOS를 이용하여 회로 구현한다.

IV. 다치 논리함수의 구현

앞장에서 논한 전류모드 CMOS에 의한 절단 차분 함수의 회로구현 방법을 이용하여 2변수 4치 다치 논리함수를 구현한다. 구현된 회로들은 $2\mu\text{m}$ CMOS 기술을 사용하여 PSpice로 시뮬레이션 하였다. 이 회로들에서 단위 전류 I_u 는 $15\mu\text{A}$ 로 하였으며, W/L 은 $20\mu\text{m}/2\mu\text{m}$ 이고, VDD 전압은 3.3V를 사용하였다. 사용한 MOS 모델은 LEVEL 3으로 시뮬레이션 하였다.

1. 2변수 4치 MOD(4) 가산회로

절단 차분 함수를 이용하여 표 1(a)와 같은 2변수 4치 MOD(4) 가산회로를 전류모드 CMOS로 구현하는 방법은 다음과 같다.

[단계 1] MOD(4) 가산회로의 다치 진리표의 원소값이 구간함수를 가지고, 증가하므로 함수 f_1 을 절단 차분 함수로 변환하면 다음과 같다.

$$f_1 = 6 \ominus [(3 \ominus x_0) + (3 \ominus x_1)] \quad (12)$$

식 (12)에 의한 절단 차분 함수의 다치 진리표가 표 1(b)와 같다.

[단계 2] 표 1(a)에서 표 1(b)를 절단 차분하면, 절단 차분 진리표가 표 1(c)와 같다.

[단계 3] 표 1(c)에서 절단 차분 진리표는 원소값이 일정한 구간함수를 구성하므로 함수 f_2 는 다음과 같다.

$$f_2 = 4 \cdot (x_0 + x_1)^{[5]} \quad (13)$$

[단계 4] 식 (12)에서 식 (13)을 절단 차분하면 회로구현을 위한 절단 차분 함수 f_0 는 다음과 같다.

표 1. (a) 2변수 4치 MOD(4) 가산 진리표
 (b) 식 (12)에 의한 절단 차분 함수의
 다치 진리표 (c) 절단 차분 진리표

Table 1. (a) addition truth table of 2-variable 4-valued MOD(4). (b) multi-valued truth table of truncated difference function of Eq. (12). (c) truncated difference truth table

| | | | | | |
|---|--|-------|---|---|---|
| | | x_0 | | | |
| + | | 0 | 1 | 2 | 3 |
| 0 | | 0 | 1 | 2 | 3 |
| 1 | | 1 | 2 | 3 | 0 |
| 2 | | 2 | 3 | 0 | 1 |
| 3 | | 3 | 0 | 1 | 2 |

(a)

| | | | | | |
|---|--|-------|---|---|---|
| | | x_0 | | | |
| + | | 0 | 1 | 2 | 3 |
| 0 | | 0 | 1 | 2 | 3 |
| 1 | | 1 | 2 | 3 | 4 |
| 2 | | 2 | 3 | 4 | 5 |
| 3 | | 3 | 4 | 5 | 6 |

(b)

| | | | | | |
|---|--|-------|----|----|----|
| | | x_0 | | | |
| + | | 0 | 1 | 2 | 3 |
| 0 | | 0 | 1 | 2 | 3 |
| 1 | | 1 | 2 | 3 | -4 |
| 2 | | 2 | 3 | -4 | -4 |
| 3 | | 3 | -4 | -4 | -4 |

(c)

$$f_0 = f_1 - f_2$$

$$= 6\ominus[(3\ominus x_0) + (3\ominus x_1) + 4 \cdot (x_0 + x_1)]^5 \quad (14)$$

식 (14)를 전류모드 CMOS로 회로 구현하면 그림 10과 같다. 이 회로는 입력 x_0 과 x_1 에 가해진 전류에 따라 M1과 M2에 의해 전류가 복제되고, 이로 인하여 전류원 M7은 $3I_u$ 전류를 생성한다. 전류원 M8은 M1, M3와 M4, M5에 의해 $5I_u$ 전류가 생성되고, M9는 M4, M6에 의해 $3I_u$ 전류를 생성한다. M7의 전류값이 M12와 M13에 의해 복제되어 M11의 전류값에서 차분되고, M8의 전류값에 따라 M14가 금지회로로 동작하여 M10의 전류값이 M15와 M16에 의해 복제되어 M11의 전류값에서 차분된다. 또한 M9의 전류값이 M17과 M18에 의해 복제되어 M11의 전류값에서 차분되어 출력된다.

그림 11은 전류모드 CMOS에 의한 2변수 4치 MOD(4) 가산회로에 대한 시뮬레이션 결과이다. 입력 x_0 의 전류가 $0\mu s$ 에서 $20\mu s$ 간격으로 $0\mu A$ 에서 $15\mu A(I_u)$ 씩 증가하고, 입력 x_1 의 전류가 $0\mu s$ 에서 $80\mu s$ 간격으로

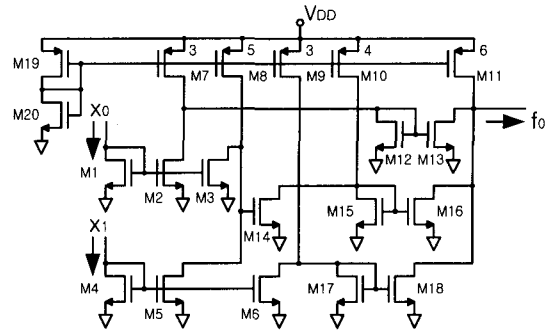


그림 10. 2변수 4치 MOD(4) 가산 진리표의 회로 구현
 Fig. 10. Implementation of circuit on additive truth table of 2-variable 4-valued MOD(4).

$15\mu A$ 씩 증가할 때 출력 전류 f 의 변화를 보인다. 그림 11에서 $100\mu s$ 에서 x_0 가 $15\mu A$ 이고, x_1 이 $15\mu A$ 일 때 출력 전류 f 가 $30\mu A(2I_u)$ 임을 보인다. 그러므로 두 입력에 따라 출력 전류 f 의 전류가 $0\mu A$ 에서 $45\mu A$ 까지 4치에 해당하는 전류가 흐름을 확인할 수 있다.

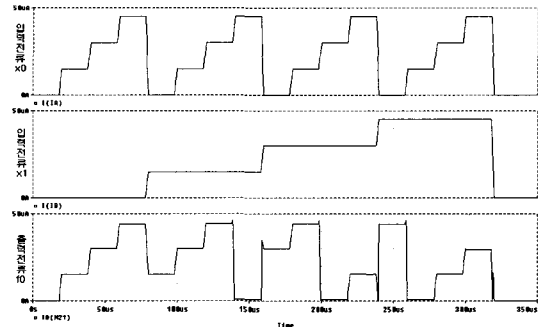


그림 11. 2변수 4치 MOD(4) 가산 회로의 시뮬레이션 결과

Fig. 11. The simulation result of 2-variable 4-valued MOD(4) addition circuit.

2. 유한체 GF(4)의 2변수 4치 승산회로

절단 차분 함수를 이용하여 표 2(a)와 같은 유한체 GF(4)의 2변수 4치 승산회로를 전류모드 CMOS로 구현하는 방법은 다음과 같다.

[단계 1] GF(4)의 승산 진리표의 원소값이 구간함수를 가지고 증가하므로 함수 f_1 을 절단 차분 함수로 변환하면 식 (15)와 같다.

$$f_1 = 5\ominus[6\ominus(x_0 + x_1)] \quad (15)$$

그러나 승산회로에서는 x_0 또는 x_1 이 0이면

표 2. (a) GF(4) 2변수 4치 승산 진리표 (b) 식 (16)에 의한 다치 진리표 (c) 절단 차분 진리표

Table 2. (a) multiplicative truth table of 2-variable 4-valued GF(4) (b) multi-valued truth table by Eq. (16) (c) truncated difference truth table.

| | | | | | | |
|-------|---|---------|---|---|---|---|
| | | x_0 | | | | |
| | | \cdot | 0 | 1 | 2 | 3 |
| x_1 | 0 | 0 | 0 | 0 | 0 | |
| | 1 | 0 | 1 | 2 | 3 | |
| | 2 | 0 | 2 | 3 | 1 | |
| | 3 | 0 | 3 | 1 | 2 | |

| | | | | | | |
|-------|---|---------|---|---|---|---|
| | | x_0 | | | | |
| | | \cdot | 0 | 1 | 2 | 3 |
| x_1 | 0 | 0 | 0 | 0 | 0 | |
| | 1 | 0 | 1 | 2 | 3 | |
| | 2 | 0 | 2 | 3 | 4 | |
| | 3 | 0 | 3 | 4 | 5 | |

(a)

(b)

| | | | | | | |
|-------|---|---------|---|----|----|---|
| | | x_0 | | | | |
| | | \cdot | 0 | 1 | 2 | 3 |
| x_1 | 0 | 0 | 0 | 0 | 0 | |
| | 1 | 0 | 0 | 0 | 0 | |
| | 2 | 0 | 0 | 0 | -3 | |
| | 3 | 0 | 3 | -3 | -3 | |

(c)

출력은 항상 0이므로 반구간 함수 ($x_0^{[1]} \cdot x_1^{[1]}$)을 이용하여 f_1 을 구하면 식 (16)과 같다.

$$f_1 = 5 \cdot (x_0^{[1]} \cdot x_1^{[1]}) \ominus [6 \ominus (x_0 + x_1)] \quad (16)$$

절단 차분 함수 식 (16)에 의한 다치 진리표가 표 2(b)와 같다.

[단계 2] 표 2(a)에서 표 2(b)의 절단 차분 진리표가 표 2(c)와 같다.

[단계 3] 표 2(a)에서 절단 차분 진리표는 원소값이 일정한 구간함수를 구성하므로 함수 f_2 는 다음과 같다.

$$f_2 = 3 \cdot (x_0 + x_1)^{[5]} \quad (17)$$

[단계 4] 표 2(a)의 다치 논리함수 f_0 는 다음과 같다.

$$f_0 = f_1 - f_2 = 5 \cdot (x_0^{[1]} \cdot x_1^{[1]}) \ominus [6 \ominus (x_0 + x_1) + 3 \cdot (x_0 + x_1)^{[5]}] \quad (18)$$

식 (18)을 전류모드 CMOS로 회로 구현하면 그림 12와 같다. 이 회로는 입력 x_0 과 x_1 에 가해진 전류에 따

라 M1, M2와 M5, M6에 의해 전류가 복제되고, 이로 인하여 전류원 M9는 $6 I_u$ 전류를 생성하고, 전류원 M10은 M1, M3와 M5, M7에 의해 $5 I_u$ 전류가 생성된다. M9의 전류값이 M13와 M14에 의해 복제되어 M12의 전류값에서 차분되고, M10의 전류값에 따라 M15가 금지회로로 동작하여 M11의 전류값이 M16와 M17에 의해 복제되어 M12의 전류값에서 차분된다. 입력 x_0 과 x_1 이 $15\mu A(I_u)$ 이상 일 때 M18과 M19 트랜지스터가 ON되어 전달 트랜지스터로 동작하며, M12의 차분 전류값이 출력 f_0 에 나타나고, 입력 x_0 과 x_1 이 $0\mu A$ 이면 M18과 M19가 OFF되어 출력이 0이 된다.

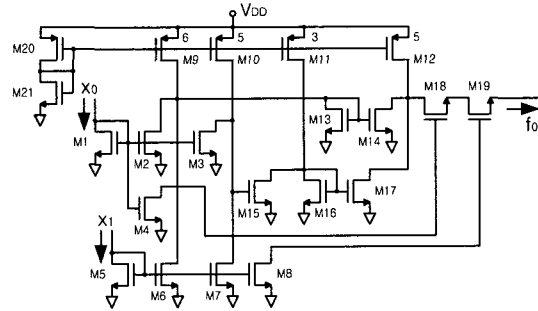


그림 12. GF(4) 2변수 4치 승산 진리표의 회로 구현
Fig. 12. Implementation of circuit on multiplicative truth table of 2-variable 4-valued GF(4).

그림 13은 전류모드 CMOS에 의한 GF(4)의 2변수 4치 승산회로에 대한 시뮬레이션 결과이다. 입력 x_0 의 전류가 $0\mu s$ 에서 $20\mu s$ 간격으로 $0\mu A$ 에서 $15\mu A(I_u)$ 씩 증가하고, 입력 x_1 의 전류가 $0\mu s$ 에서 $80\mu s$ 간격으로 $15\mu A$ 씩 증가할 때 출력 전류 f 의 변화를 보인다. 그림 13에

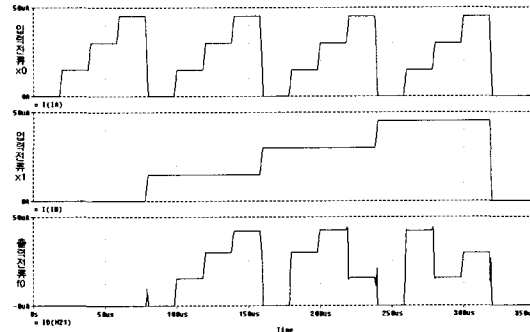


그림 13. GF(4) 2변수 4치 승산회로의 시뮬레이션 결과
Fig. 13. The simulation result of 2-variable 4-valued multiplication circuit on GF(4).

서 $100\mu\text{s}$ 에서 x_0 가 $15\mu\text{A}$ 이고, x_1 이 $15\mu\text{A}$ 일 때 출력 전류 i 가 $15\mu\text{A}$ (I_u)임을 보인다. 그러므로 두 입력에 따라 출력 전류 i 의 전류가 $0\mu\text{A}$ 에서 $45\mu\text{A}$ 까지 4치에 해당하는 전류가 흐름을 확인할 수 있다.

V. 결 론

본 논문에서는 전류모드 CMOS를 이용하여 일정한 패턴을 갖는 회로구현 방법을 제시하였다. 먼저 단일 변수 다치 논리함수에 대하여 구간함수를 절단 차분 함수로 변환하는 방법을 제시하였다. 제시된 방법은 다치 진리표에 의한 다치 논리함수를 구간함수로 구성한 후, 전류모드 CMOS로 회로 구현하기 위하여 절단 차분 함수로 변환한다. 또한 효과적인 집적회로 설계 이용성을 갖는 전류모드 CMOS에 의하여 변환된 절단 차분 함수를 전류 미러 회로와 금지회로를 사용하여 일정한 패턴을 갖는 회로의 구현 방법을 제시하였다.

그리고 단일 변수를 확장하여 다변수 다치 논리함수에 대하여 구간함수를 절단 차분 함수로 변환하는 방법을 제시하였으며, 변환된 절단 차분 함수를 전류모드 CMOS를 이용하여 일정한 패턴을 갖는 회로의 구현 방법을 제시하였다. 또한 제시한 방법을 2변수 4치 MOD(4) 가산 진리표와 2변수 4치 유한체 GF(4)상의 승산 진리표를 실현하는 회로를 구현하였다. 구현된 회로들은 $2\mu\text{m}$ CMOS 표준 기술을 사용하여 PSpice로 시뮬레이션 하였고, 이 회로들에 대하여 동작특성을 보였다.

구현된 회로들에 대하여 단위 전류 I_u 는 $15\mu\text{A}$ 로 하였으며, CMOS의 채널 길이와 폭 W/L 은 $20\mu\text{m}/2\mu\text{m}$ 이다. VDD 전압은 3.3V 를 사용하였으며, MOS 모델은 LEVEL 3으로 시뮬레이션 하였다. MOD(4) 가산회로와 GF(4) 승산회로의 시뮬레이션 결과에서 전달 지연 시간이 $1.2\mu\text{s}$ 이고, 안정하게 동작하여 출력 신호를 얻는 동작속도가 600KHz , 소비전력이 약 3mW 임을 보였다.

본 논문에서 구현한 전류모드 CMOS의 MOD(4) 가산회로와 GF(4) 승산회로는 일정한 패턴, 상호연결의 규칙성을 가지며, 다치 논리함수에 대한 변수의 확장성을 가지므로 VLSI 실현에 적합할 것으로 생각된다. 또한 신호처리와 화상처리 분야에서 특별한 계산을 요하거나 범용 컴퓨터 계산의 고속화를 보조하는 고성능 전용 컴퓨터의 설계에 응용할 수 있을 것이다.

향후 연구과제는 전류모드 CMOS의 MOD(4) 가산회

로와 GF(4) 승산회로에서 소비전력이 약 3mW 를 보였는데 실용화를 위해서 전류 모드 동작에 의한 소비전력을 감소하는 문제, 600KHz 에서 회로가 안정하게 동작하는 동작속도와 잡음에 대한 대책 및 미세 선폭의 반도체 기술에 맞도록 실제로 IC화하여 실용화하는 것이다.

참 고 문 헌

- [1] C. M. Allen and D. D. Givone, "A Minimization Technique for Multiple-Valued Logic Systems," IEEE Trans. Comput., vol. C-17, pp. 182-184, Feb. 1968.
- [2] D. C. Rine, Computer Science and Multiple-Valued Logic Theory and Applications. Amsterdam, Netherland, North-Holland, 1977.
- [3] Z. G. Vranesic, E. S. Lee and K. C. Smith, "A Many-Valued Algebra for Switching Systems," IEEE Trans. Comput., vol. C-19, pp. 964-971, Oct. 1970.
- [4] K. C. Smith, "The Prospects for Multi-Valued Logic: a Technology and Application View," IEEE Trans. Comput., vol. C-30, pp. 619-634, Sept. 1981.
- [5] S. L. Hurst, "Multiple-Valued Logic-Its Status and Its Future," IEEE Trans. Comput., vol. C-33, pp. 1160-1170, Dec. 1984.
- [6] K. C. Smith, "Multiple-Valued Logic : a Tutorial and Application," IEEE Computer, pp. 17-27, Apr. 1987.
- [7] S. P. Onneweer and H. G. Kerkhoff, "Current Mode CMOS High-Radix Circuits," Proc. of 16th International Symposium on Multiple-Valued Logic, Virginia, USA, pp. 60-69, May 1986.
- [8] J. T. Butler, J. H. Pugsley and C. B. Silio Jr., "High-Speed Multiplier uses 50 Percent Less Chip Area and Power," IEEE Computer, vol. 20, No. 8, pp. 109-110, Aug. 1987.
- [9] T. Yamakawa, T. Miki and F. Ueno, "The Design and Fabrication of the Current Mode Fuzzy Logic Semicustom IC in Standard CMOS IC Technology," Proc. of 15th International

- Symposium on Multiple-Valued Logic, Kingston, Ontario, Canada, pp. 76-82, May 1985.
- [10] K. W. Current, "Current-Mode CMOS Multiple-Valued Logic Circuits," IEEE J. Solid-State Circuits, vol. 29, No. 2, pp.95-107, Feb. 1994.
- [11] C. Moraga and W. Wang, "Evolutionary Methods in the Design of Quaternary Digital Circuits," Proc. of 28th International Symposium on Multiple-Valued Logic, Fukuoka, Japan, pp. 89-94, May 1998.
- [12] B. Fraser and G. W. Dueck, "Multiple-Valued Logic Minimization using Universal Literals and Cost Tables," Proc. of 28th International Symposium on Multiple-Valued Logic, Fukuoka, Japan, pp. 239-244, May 1998.
- [13] M. Abd-El-Barr and A. Al-Mutawa, "A New Improved Cost-table-based Technique for Synthesis of 4-valued Unary Functions Implementation using Current-Mode CMOS Circuits," Proc. of 31st International Symposium on Multiple-Valued Logic, Warsaw, Poland, pp. 15-20, May 2001.
- [14] J. Shen, M. Inaba, K. Tanno and O. Ishizuka, "Multi-Valued Logic Pass Gate Network Using Neuron-MOS Transistor," Proc. of 30th International Symposium on Multiple-Valued Logic, Portland, Oregon, U.S.A, pp. 15-20, May 2000.
- [15] H. Y. Teng and R. J. Bolton, "The Use of Arithmetic Operators in a Self-Restored Current-Mode CMOS Multiple-Valued Logic Design Architecture," Proc. of 31st International Symposium on Multiple-Valued Logic, Warsaw, Poland, pp. 100-105, May 2001.
- [16] M. Davio and J. P. Deschamps, "Synthesis of Discrete Functions using I2L Technology," IEEE Trans. Comput., vol. C-30, pp. 653-661, Sept. 1981.
- [17] K. W. Current, "A CMOS Quaternary Threshold Logic Full Adder Circuit with Transparent Latch," Proc. of 20th International Symposium on Multiple-Valued Logic, Charlotte, North-Carolina, USA, pp. 168-180, May 1990.
- [18] K. Lei and Z. G. Vranesic, "On the Synthesis of 4 Valued Current Mode CMOS Circuits," Proc. of 21st International Symposium on Multiple-Valued Logic, Victoria, B.C., Canada, pp. 147-155, May 1991.
- [19] O. Ishizuka, H. Takarabe, Z. Tang and H. Matsumoto, "Synthesis of Current-Mode Pass Transistor Networks," Proc. of 21st International Symposium on Multiple-Valued Logic, Victoria, B.C., Canada, pp. 139-146, May 1991.

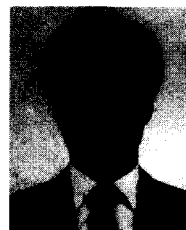
저 자 소 개



成賢慶(正會員)

1982년 2월 : 인하대학교 전자공학과 졸업(공학사). 1984년 2월 : 인하대학교 대학원 전자공학과 졸업(공학석사). 1991년 2월 : 인하대학교 대학원 전자공학과 졸업(공학박사). 1989년 3월~1991년 8월 : 부

천전문대학 전자계산과 조교수. 1991년 9월~현재 : 상지대학교 컴퓨터·정보공학부 부교수. <주관심분야 : Multiple-Valued Logic Design, Computer Architecture & VLSI 설계, Information & Cryptography theory, Digital Signal Processing 등>



韓永煥(正會員) 第38卷 SC編 第11號 參照

현재 : 상지대학교 컴퓨터·정보공학부 부교수

沈裁煥(正會員) 第39卷 SC編 第2號 參照

현재 : 시립인천전문대학 통신과 교수