

論文2002-39SC-2-7

자기조정 이중구동 경로를 가진 새로운 저전력 CMOS 버퍼

(A New CMOS Buffer for Low Power with Self-Controlled Dual Driving Path)

裴孝寬*, 柳凡善**, 趙泰元**

(Hyo Kwan Bae, Beom Seon Ryu, and Tae Won Cho)

요약

본 논문은 단락회로 전류를 없애기 위한 CMOS 버퍼회로에 대한 것이다. 최종 구동소자는 풀업 PMOS와 풀다운 NMOS로 구성하고 이를 구동하기 위해 두가지 경로를 입력신호로 선택되도록 하였다. 이러한 기법으로 최종 구동회로가 짧은 시간동안 tri-state가 되어 단락회로 전류를 차단하였다. 모의 실험 결과 전원전압 3.3V에서 전력-지연 곱을 기존의 Tapered 버퍼[1]와 비교하여 약 42% 줄일 수 있었다.

Abstract

A new CMOS buffer removing short-circuit power consumption is proposed. The gate-driving signal of the pull-up(pull-down) transistor at the output is controlled by delayed internal signal to get tri-state output momentarily by shunting off the path of the short-circuit current. The SPICE simulation results verified the operation of the proposed buffer and showed the enhancement of the power-delay product at 3.3V supply voltage about 42% comparing to the conventional tapered CMOS buffer^[1].

I. 서론

오늘날의 고속 서브미크론(submicron) CMOS 집적 회로기술에서 회로집적도의 증가로 클럭의 용량성 부하와 출력버퍼의 용량성 부하가 크게 증가하고 있다. 그러한 큰 용량성 부하를 구동하는 회로는 전체 전력 소비 및 칩의 회로 지연시간의 큰 부분을 차지하게 된다. 따라서 구동회로의 전력소비 및 지연시간을 줄이는

것은 저전력 고속 VLSI 설계에서 아주 중요하다^[1-7].

용량성 부하를 구동하는 CMOS 버퍼의 전력 소비는 동적스위칭 전력(dynamic switching power)와 단락회로 전력(short-circuit power)으로 구성된다^[6]. 동적스위칭 전력소비는 용량성 부하를 구동하기 위해 불가피하지만 단락회로 전류는 전류의 낭비로 저전력을 위해 제거되거나 최소화되어야 한다^[6].

그림 1의 기존의 Tapered CMOS 버퍼(tapered CMOS buffer: TP)는 그림 2에서 설명했듯이 풀업/풀다운(pull-up/pull-down)트랜지스터가 동시에 턴-온(turn-on)되기 때문에 동적 스위칭 전력과 단락회로 전력을 동시에 소비한다^[1]. 그림 1에서 입력이 하이에서 로우로 천이하는 동안에는 t_1 과 t_2 사이의 시간영역에서 단락전류가 흐르고 입력이 하이에서 로우로 천이하는 동안에는 t_4 와 t_5 사이의 시간영역에서 단락전류가 흐른다. 따라서 그림 1과 같은 형태의 CMOS 버퍼에서 단

* 正會員, 東元大學 電子科

(Dept. of Electronics, Tongwon College)

** 正會員, 忠北大學校 電氣電子工學科

(Dept. of Electronics Engineering, Chungbuk National University)

接受日字:2001年9月3日, 수정완료일:2002년12월18일

락전류를 줄이기 위해서는 입력 신호의 상승/하강 시간을 작게해야 한다^[6].

그 동안 이러한 단락회로 전류를 제거시키기 위한 회로들이 여러개 보고되었으며^[2-6], 이러한 회로들은 출력 신호 천이 전에 출력 노드를 잠시 동안 tri-state로 만듦으로써, 단락회로 전류를 제거하였다. 종래의 회로에 대한 동작설명 및 문제점을 II장에서 설명하였다.

본 논문에서는 지금까지 발표된 회로들이 가지는 장점인 단락회로 전류를 줄이면서 귀환 루프가 없는 내부회로를 새롭게 고안함으로써, 기존회로^[3-5]에서의 단점으로 지적되었던 지연시간증가를 최소화하였다.

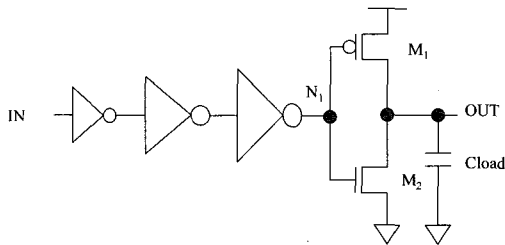


그림 1. 기존의 Tapered 버퍼 회로도^[1]
Fig. 1. The circuit diagram of the conventional tapered CMOS buffer^[1].

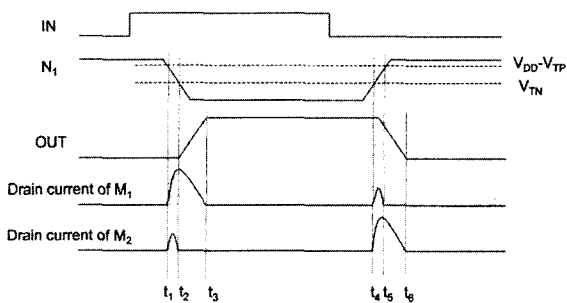


그림 2. 기존의 Tapered 버퍼의 타이밍도^[1]
Fig. 2. The timing diagram of the tapered CMOS buffer^[1].

II. 종래 회로의 구조 및 동작원리

논문^[2](asymmetrical switching buffer: AS)에서는 회로가 스위칭할 때 마지막단 CMOS 버퍼의 출력 노드를 잠깐동안 tri-state를 만들기 위하여 PMOS 및 NMOS를 구동하는 신호를 서로 다른 경로를 통해 분리하였다. 즉, 출력이 로우에서 하이로 천이할 때에는 PMOS보다 NMOS 게이트에 신호를 빨리 전달시킴으로써 NMOS를 먼저 차단시킨 후 PMOS가 도통되도록

하였다. 이와 유사하게 출력이 하이에서 로우로 천이하는 경우에는 NMOS보다 PMOS의 게이트에 신호를 빨리 전달시켜 PMOS를 먼저 차단시킨 후 NMOS가 도통되도록 하였다. 이렇게 함으로써 회로가 스위칭할 때 단락회로 전류는 완벽히 제거되나 이러한 도착신호 차이를 생성시키는 비대칭 인버터에 의한 지연시간 증가가 단점으로 지적되었다^[6]. 또 다른 버퍼로 귀환 제어 경로 분리(feedback-controlled split-path: FS) CMOS 버퍼^[3] 및 전하 전달 FS(charge-transfer feedback-controlled split-path: CFS)가 제안되었다^[4]. 그림 3과 4에서와 같이 출력 폴업 및 폴다운 트랜지스터를 제어하기 위해서 출력신호를 귀환시켰다. 그러나 FS 버퍼에서는 분리된 출력 구동기 즉 N_1 , N_2 의 논리 상태가 출력신호 천이동안 두 번 천이하여 전력소모가 커진다. CFS 버퍼에서는 출력 구동기에 저장된 큰 전하를 출력에 전달함으로써 FS 버퍼의 추가적인 전력소모를 최소화하였다. FS 및 CFS 버퍼에서는 귀환 지연시

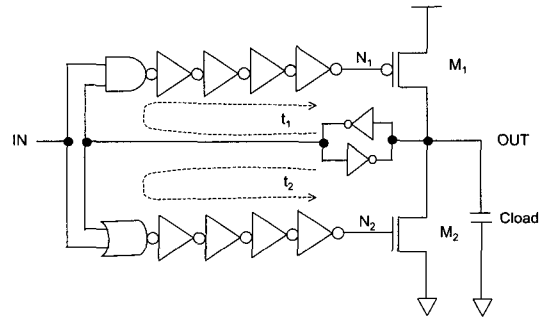


그림 3. 귀환 제어 경로 분리 CMOS 버퍼의 회로도^[3]
Fig. 3. The circuit diagram of feedback-controlled split-path CMOS buffer^[3].

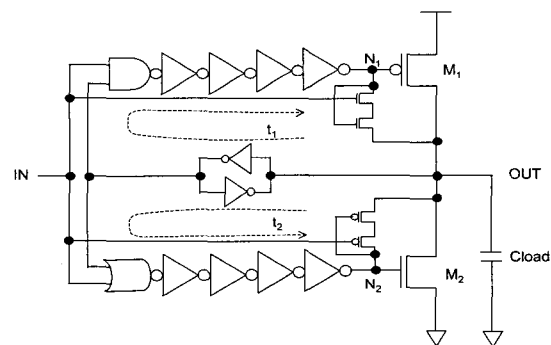


그림 4. 전하전달 귀환 제어 경로 분리 CMOS 버퍼의 회로도^[4]
Fig. 4. The circuit diagram of charge-transfer feedback-controlled split-path CMOS buffer^[4].

간 t_1 , t_2 를 잘 제어시켜야 하는데 만약 t_1 , t_2 가 너무 작으면 출력이 천이하기 전에 출력 트랜지스터가 턴-오프된다. 귀환 지연시간은 부하 용량에 의존되어 제어하기가 어려운 단점이 있다. 또한 그림 5와 6에서와 같이 논문^[5]는 출력 플업(플다운) 트랜지스터의 게이트 구동 신호가 출력 플다운(플업)트랜지스터로 귀환(CMOS buffer with feedback loop: FB)되도록 하여 단락회로 전류를 제거하였다. 그러나 이 회로에서도 귀환 루프로 인해 동작속도가 느려지고 레이아웃 면적이 커지는 단점이 지적되었다.

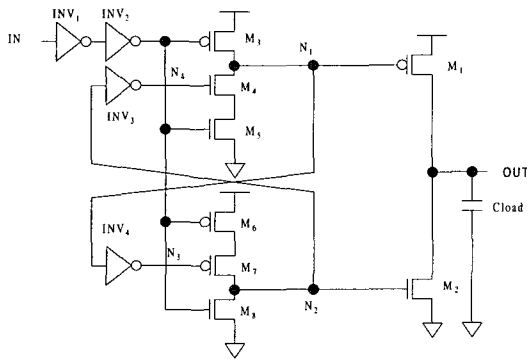


그림 5. 귀환회로를 가진 CMOS 버퍼(FB)^[5].
Fig. 5. The circuit diagram of CMOS buffer with feedback loop^[5].

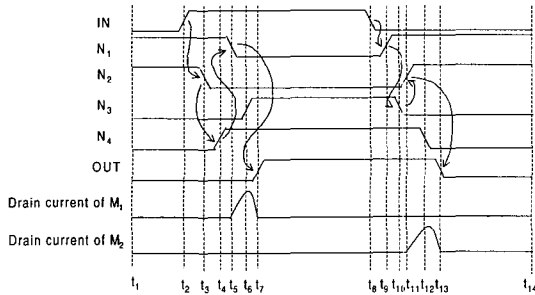


그림 6. FB 버퍼의 타이밍도^[5].
Fig. 6. The timing diagram of FB buffer^[5].

III. 전력소비 고찰

CMOS 구동버퍼의 주요한 전력소비는 동적스위칭 전력소비와 단락회로 전력소비로 구성된다^[6]. 동적스위칭 전력 소비는 출력 커패시턴스 부하와 기생 커패시턴스 부하의 충전과 방전에 기인한다. 단락회로 전력 소비는 입력신호 천이동안 PMOS 트랜지스터와 NMOS 트랜지스터가 동시에 턴-온 되기 때문이다. 동

적스위칭 전력소비 P_d 는 다음과 같다^[2].

$$P_d = C_{load} \cdot V_{DD}^2 \cdot f \quad (1)$$

C_{load} 는 출력 커패시턴스 부하이고 f 와 V_{DD} 는 주파수와 공급전압이다.

단락회로 전력소비는 또한 다음과 같다^[6].

$$P_{sc} = \frac{k}{12} (V_{DD} - V_T)^3 \times \frac{\tau_{INV}}{T} \quad (2)$$

여기서 k 는 인버터의 gain factor로써 $\mu_n \cdot C_{ox} \cdot \frac{W}{L}$ 값으로 표시된다. V_T 와 V_{DD} 는 각각 문턱전압과 공급전압을 나타내며, τ_{INV} 은 입력 천이시간이다.

입력 천이시간이 출력 천이시간과 거의 같은 적절한 설계에서 전체 전력소비중 단락회로 전류가 차지하는 비중은 20% 정도이나 중요한 부분이고 무시될 수 없다고 보고되었다^[6].

IV. 제안한 회로의 구조 및 동작원리

그림 7과 8은 본 논문의 SCDDP(self-controlled dual driving path) CMOS 버퍼의 회로도도와 동작 타이밍도이다. 제안한 회로는 출력구동회로의 단락회로 전류를 제거하기 위하여 기존에 보고된 회로^[3-5]에서의 접근방법과 동일하게 회로가 스위칭하는 짧은 순간동안 M_1 및 M_2 를 동시에 차단시켜 출력버퍼를 tri-state가 되도록 하였다. 그러나 논문^[3-5]에서 제시된 회로는 출력구동회로의 tri-state를 만들기 위해서 회로내에 귀환 루프가 존재하는데 이것 또한 회로의 지연시간을 증가시

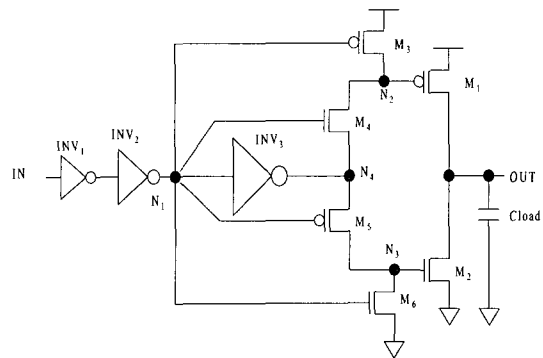


그림 7. 제안된 SCDDP의 회로도
Fig. 7. The circuit diagram of the proposed SCDDP buffer.

키는 단점이 있다. 그림 7에 제시된 SCDDP회로는 회로내에 귀환 루프가 없으면서도 회로가 스위칭하는 순간 짧게 출력구동회로를 tri-state가 되도록 하였다. 이렇게 함으로써 기존의 회로^[3-4]에서 나타나는 장점인 단락회로 전류를 제거하면서 동시에 기존회로의 단점인 지연시간 증가 문제를 해결하였다. 제안한 SCDDP회로의 자세한 동작설명은 다음과 같다.

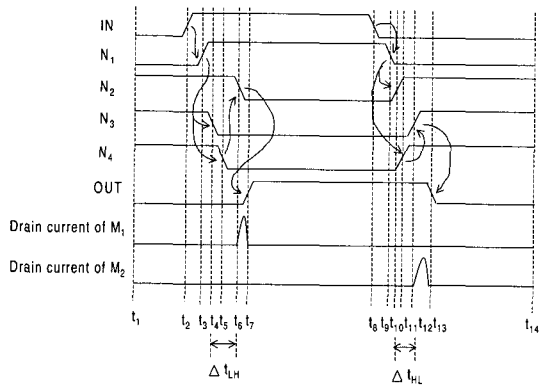


그림 8. 제안된 SCDDP 버퍼의 타이밍도
Fig. 8. The timing diagram of the proposed SCDDP buffer.

3.1 출력 하이 동작(output pull-high operation)

입·출력이 로우에서 하이로 천이 할 때 노드 N₁이 하이로 되어 M₄가 턴-온 되고 M₅가 턴-오프되어 풀업 경로만 구동된다. 또한 M₃는 턴-오프되고 M₆는 턴-온되어 N₃가 하이에서 로우로 방전된다. 따라서 풀다운 트랜지스터 M₂가 먼저 턴-오프된다. INV₃를 통과한 N₁의 반전 신호가 약간의 지연시간(t₄-t₆:Δt_{LH}) 후 N₂로 전달되어 로우가 된다. 이때 풀업 트랜지스터가 턴-온 되어 출력노드 OUT이 하이로 충전된다. 이상과 같이 풀업 트랜지스터와 풀다운 트랜지스터가 동시에 턴-온 되지 않는다.

3.2 출력 로우 동작(output pull-low operation)

입력이 하이에서 로우로 천이 할 때 노드 N₁이 로우로 되어 M₄가 턴-오프 되고 M₅가 턴-온 되어 풀다운 경로만 구동된다. 또한 M₆는 턴-오프 되고 M₃는 턴-온 되어 N₂가 로우에서 하이로 충전된다. 따라서 풀업 트랜지스터 M₁이 먼저 턴-오프된다. INV₃를 통과한 N₁의 반전 신호가 약간의 지연시간(t₁₀-t₁₂:Δt_{HL}) 후 N₃로 전달되어 하이로 된다. 이때 풀업 트랜지스터와 풀다운 트랜지스터가 동시에 턴-온 되지 않으므로 단락회

로 전류가 제거된다.

이상에서와 같이 Δt_{LH}과 Δt_{HL}의 시간동안 출력 구동 트랜지스터가 tri-state로 되고 이는 INV₃의 지연시간과 M₄, M₅의 턴-온 저항에 의한 지연 시간의 합이다. 트랜지스터 크기는 다음과 같이 결정하였다. 입력이 하이에서 로우로 천이할 때 C₂를 먼저 충전하고 C₃를 나중에 충전하기 위해서는 M₃를 크게, M₅를 작게 해야 하고 입력이 로우에서 하이로 천이할 때 C₃를 먼저 방전하고 C₂를 나중에 방전하기 위해서는 M₆를 크게하고 M₄를 작게 설계해야 한다. 또한 INV₃는 Δt_{HL}, Δt_{LH}를 크게하고 C₁의 값을 작게하기 위해서 작게해야 한다. 여기서 C₁, C₂, C₃, C₄는 노드(node) N₁, N₂, N₃, N₄의 등가 커패시턴스이다.

이상을 수식으로 일반화하면 다음과 같다.

$$(r_{3n} + r_4) \times c_2 - (r_6 \times c_3) > \Delta t_{LH} \quad (3)$$

$$(r_{3p} + r_5) \times c_3 - (r_3 \times c_2) > \Delta t_{HL} \quad (4)$$

r_{3n}, r_{3p}, r₃, r₄, r₅, r₆은 INV₃의 NMOS, INV₃의 PMOS, M₃, M₄, M₅, M₆의 턴-온 등가저항으로 $\frac{1}{\beta n(V_{gs,n} - V_t)}$ 의 값을 가진다. C₂, C₃는 노드 (node) N₂, N₃의 등가 커패시턴스로 $\frac{\epsilon_0 \epsilon_{sil} \omega L}{t_{ox}}$ · (W×L)의 값을 가진다^[7]. 식 (3), (4)에서 Δt_{LH}와 Δt_{HL}은 0.5 ns이상이면 회로에서 단락전류가 제거되며 각각의 트랜지스터의 크기를 식(3), (4)로 구할 수 있으며, 이에 대한 자세한 수치는 V장의 시뮬레이션 결과에 제시하였다^[3].

V. 시뮬레이션 결과

제안된 CMOS 버퍼는 0.6 μm, 3.3V/5V, CMOS 모델 파라미터를 이용하여 Spice로 모의실험하였다. 제안된 CMOS 버퍼의 모의실험 파형은 그림 9에 나타내었다. 모의실험조건은 출력 부하 50 pF^[3], 동작 주파수는 100 MHz로 하였다. 또한 모든 회로는 단의 갯수는 4, 단의비 (Stage ratio)는 3으로 하였으며 비슷한 크기의 트랜지스터를 사용하여 모의실험하였다. 실험 결과 최종 구동 트랜지스터 M₁, M₂의 구동신호인 N₂, N₃가 순서적으로 발생함을 알 수 있다. 따라서 M₁과 M₂가 동시에 턴-온 되지않고 단락회로 전류가 흐르지 않는다. 기존 및 제안된 버퍼의 모의실험 결과를 표 1에 나타내었다. 기존의

논문^[1]과 비교하여 제안된 CMOS 버퍼의 전력소모가 많이 줄어들음을 알 수 있으며, 모의실험 결과 전력-지연 곱은 5V, 3.3V에서 각각 39.41%, 42.33% 감소하였다. 또한 가장 최근에 보고된 CMOS 버퍼인 FB^[6]와의 성능 비교를 하였을 때 전력-지연 곱이 5.0V에서는 22.55%, 3.3V에서는 18.97%가 각각 감소됨을 확인하였다.

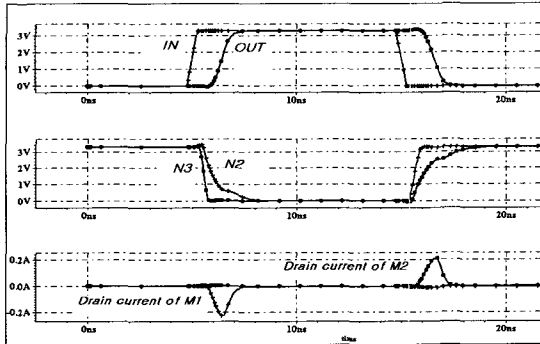


그림 9. 제안된 CMOS 버퍼의 모의실험 파형
Fig. 9. The simulated waveform of the proposed CMOS buffer.

표 1. 다양한 CMOS 버퍼의 모의실험을 통한 성능비교

Table 1. The performance comparison of various CMOS buffers.

구분	항목	전원 전압 (V)	전류 (mA)	전력 (mW)	지연 시간 (ns)	전력-지연 곱(pJ)	PDP 감축량 (%)
기존의 Tapered 버퍼(TP) ^[1]	5.0	5.99	80.74	0.50	40.37	0	
	3.3	3.38	27.21	0.64	17.41	0	
귀환(FB) ^[6]	5.0	4.55	35.89	0.88	31.58	21.77	
	3.3	3.21	10.59	1.17	12.39	28.83	
제안 (SCDDP)	5.0	4.30	32.61	0.75	24.46	39.41	
	3.3	2.89	9.47	1.06	10.04	42.33	

모델 파라미터 : single-poly triple-metal 0.6um CMOS

동작 주파수 : 100 MHz

입력 신호 상승/하강 시간 : 0.5ns

온도 : 27 °C

출력 부하 : 50pF

표 2는 지금까지 논문에 발표되었던 CMOS 버퍼와 제안된 CMOS 버퍼 회로에서 사용된 트랜지스터의 수

를 비교한 것이다. 제안된 회로가 가장 적은 수의 트랜지스터를 이용함으로써 레이아웃시 면적이 가장 작으며 기존에 발표되었던 CFS회로^[4]에 비교해서 22개의 트랜지스터 개수가 감소되었다. 표 1 및 표 2 를 토대로 하여 제안한 SCDDP회로를 종합적으로 분석해 보면 단락회로 전류를 제거하는 특징을 가지면서 트랜지스터 개수 및 레이아웃 면적이 가장 적고 동시에 기존 회로^[2-5]에 비해서 지연시간을 감소시킨 회로라 할 수 있다.

표 2. 사용된 트랜지스터의 개수

Table 2. The used transistor number.

TP:논문 ^[1]	AS:논문 ^[2]	FS:논문 ^[3]	CFS: 논문 ^[4]	FB:논문 ^[6]	SCDDP (제안)
12	22	30	34	16	12

표 3. 제안된 버퍼의 트랜지스터 크기

Table 3. The transistor size of the proposed buffer.

Device	Width[um](Channel length=0.6um)	Device	Width[um](Channel length=0.6um)
INV1	NMOS=100, PMOS=50	M3	300
INV2	NMOS=150, PMOS=83	M4	133
INV3	NMOS=200, PMOS=66	M5	50
M1	3000	M6	166
M2	1500		

VI. 결 론

지금까지는 부하 커패시턴스가 큰 버퍼에서 회로의 전력소모에 큰 비중을 차지하는 단락회로 전류를 줄인 CMOS 버퍼에 대한 연구가 있었다. 그러나 발표된 회로들은 트랜지스터 수가 많아 레이아웃 면적이 크며, 또한 회로내에 피이드백 루프(feedback loop)가 존재하여 동작속도 및 전력소모가 큰 단점이 지적되었다^[2-5].

본 논문에서는 가장 적은 트랜지스터 수로 구성되며, 피이드백 루프가 존재하지 않아 지연 시간 및 전력소모를 줄인 새로운 형태의 CMOS 버퍼를 제안하였다.

0.6um, 3.3V/5V, CMOS 모델 파라미터로 모의 실험한 결과 제안한 회로는 기존의 Tapered 버퍼와 비교하여

전원전압 5V에서 39.41%, 3.3V에서 42.33%의 전력-지연 곱이 감소되었다. 가장 최근에 보고된 FB 버퍼^[6]와 성능 비교를 하였을 때 전력-지연 곱이 5V에서는 22.55%, 3.3V에서는 18.97%가 각각 감소되었다.

제안한 CMOS 버퍼는 부하 커패시턴스가 큰 클럭 구동기나 off-chip을 구동하는 출력버퍼로 활용이 가능할 것으로 기대할 수 있다.

참 고 문 헌

[1] N. Li, F. Haviland, and A. Tuszynski, "A CMOS tapered buffer," IEEE J. Solid-state Circuits, vol. 25, pp. 1005~1008, Aug. 1990.

[2] K. Y. Khoo and A. N. Wilson Jr., "Low power CMOS clock buffer," Proc. Int. Symp. Circuits and Systems, vol 4, pp. 355~358, 1994.

[3] H.-Y. Huang and Y.-H. Chu, "Feedback-controlled split-path CMOS clock buffer," Proc. Int. Symp. Circuits and Systems, vol 4, pp. 300~303, 1996.

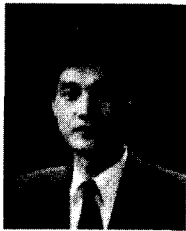
[4] K.-H. Cheng, W.-B. Yang, and H.-Y. Huang, "The charge-transfer feedback-controlled split-path CMOS buffer," IEEE Trans. Circuits Syst, II, vol. 46, pp. 346~348, Mar. 1999.

[5] C. Yoo, "A CMOS Buffer Without Short-Circuit Power Consumption," IEEE Trans. Circuits Syst, II, vol. 47, pp. 935~937, Sept. 2000.

[6] H. J. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits," IEEE J. Solid-state Circuits, vol. 19, pp. 468~473, Aug. 1984.

[7] N. Weste, K. Eshraghian, "Principles of CMOS VLSI design," Addison-wesley publishing company, pp. 122~150, 1985.

저 자 소 개



裴 孝 寬(正會員)
第38卷 SC編 第2號 參照
현재 : 동원대학 전자과 교수

柳 凡 善(正會員) 第38卷 SD編 第1號 參照
현재 : 충북대학교 전기전자 및 컴퓨터공학부 BK21 계
약교수

趙 泰 元(正會員) 第38卷 SD編 第1號 參照
현재 : 충북대학교 전기전자 및 컴퓨터공학부 교수