

論文2002-39SC-2-6

## 전원전압 감지기 및 가변 구동력을 가진 쓰기 구동기에 의한 저전력 SRAM 실현

(A Realization of Low Power SRAM by Supply Voltage  
Detection Circuit and Write Driver with Variable  
Drivability)

裒孝寬\*, 柳凡善\*\*, 趙泰元\*\*

(Hyo Kwan Bae, Beom Seon Ryu, and Tae Won Cho)

### 요 약

본 논문은 전원전압 감지기와 소비전력이 적은 SRAM 쓰기 구동기에 대한 것이다. 전원전압 감지기는 전원전압이 기준전압보다 높을 때는 하이, 낮을 때는 로우를 발생한다. 쓰기 구동기는 쓰기 사이클에서 동작 전류를 줄이기 위해 가변 구동력을 가진 이중 크기 구조를 사용하였다. 전원전압 감지 결과에 따라 로우일 경우에는 두개의 구동기를 동작하게 하여 기존과 구동능력이 같고 하이일 경우에는 한개의 구동기만 동작하여 전류를 반으로 흘리도록 하여 저전력을 구현하였다. 0.6 $\mu$ m, 3.3V/5V, CMOS 모델 파라미터를 가지고 모의 실험한 결과, 제안한 SRAM회로는 Vcc=3.3V에서 기존과 비교하여 전력소모를 22.6%, PDP(power-delay-product)를 12.7% 감소한 결과를 보였다.

### Abstract

This paper describes a supply voltage detector and SRAM write driver circuit which dissipates small power. The supply voltage detector generates high signal when supply voltage is higher than reference voltage, but low signal when supply voltage is lower than reference voltage. The write driver utilizes two same-sized drivers to reduce operating current in the write cycle. In the case of lower supply voltage comparing to Vcc, both drivers are active the same as conventional write driver, while in the case of high Vcc only one of two drivers are active so as to deliver the half of the current. As a result of simulation using 0.6 $\mu$ m, 3.3V/5V, CMOS model parameter, the proposed SRAM scheme shows a 22.6% power reduction and 12.7% PDP reduction at Vcc=3.3V, compared to the conventional one.

### I. 서 론

\* 正會員, 東元大學 電子科

(Dept. of Electronics, Tongwon College.)

\*\* 正會員, 忠北大學校 電氣電子工學科

(Dept. of Electronics Engineering, Chungbuk National University)

接受日字:2001年8月10日, 수정완료일:2001年12月18日

반도체 제조기술의 발전으로 인하여 칩의 집적도가 계속적으로 증가하고 있다. 또한, 이동 통신의 발달과 더불어 배터리를 내장한 휴대용 전자기기의 급격한 보급으로 저전력 소모는 VLSI(Very Large Scale Integrated Circuit)칩의 중요한 설계 척도가 되고 있다 [1-5]. 마이크로 프로세서를 구성하는 많은 컴퍼넌트중에

서, 임베디드(embedded) SRAM 매크로는 버스의 기생 용량이 크고 자주 액세스되기 때문에 전력소모의 중요한 소스(source)이다. 지금까지 이러한 SRAM의 전력소모를 줄이기 위한 여러 가지 기술<sup>[1]</sup>이 제안되었다. SRAM에서 전력소모의 대부분은 비트선 스윙에 기인하는데, 두 종류의 동작은 읽기와 쓰기 동작이다. 읽기 동작시의 비트선 스윙과 관련된 제안은 비트선이 클램프된 전류 감지증폭기(current sense amplifier) 등이 있다<sup>[1,2]</sup>. 그러나 쓰기 동작시의 전류를 줄이는 연구가 최근 이루어지고 있으며, 쓰기 동안 전압을 부스팅(boosting)하는 구조가 그 예이다<sup>[3]</sup>. 이 경우에는 메모리 셀의 동적 잡음여유(noise margin)가 워드선 전압이  $V_{cc} + V_T$  이상에서는 급격히 감소되어 매우 작은 비트선 스윙이 가능해진다. 이러한 부스팅 접근방식은 액세스되지 않는 셀에 영향을 준다는 단점이 있다. 또한 이러한 문제를 개선하기 위한 부분 부스팅 방법(partial boosting method)이 제안되었다<sup>[4]</sup>. 이상과 같이 비트선 스윙에 따른 전력소모를 줄이기 위한 제안은 있었으나 쓰기 구동기(write driver), 즉 외부에서의 쓰고자하는 데이터(미약한 신호)를 대용량 데이터선 및 비트 선에 실기 위한 회로 자체에 대한 연구는 보고되지 않았다.

일반적인 SRAM의 전류분포는 그림 1과 같으며<sup>[4]</sup> 쓰기 전류의 비중이 전체 전력소모 중에서 약 50%가 됨을 알 수 있다. 따라서 본 논문에서는 SRAM에서 가장 전력소모가 많은 쓰기 전류를 줄이는데 중점을 두었으며, 이를 위하여 전원전압 감지기 및 가변적인 구동력을 갖는 새로운 쓰기 구동기를 각각 제안하였다.

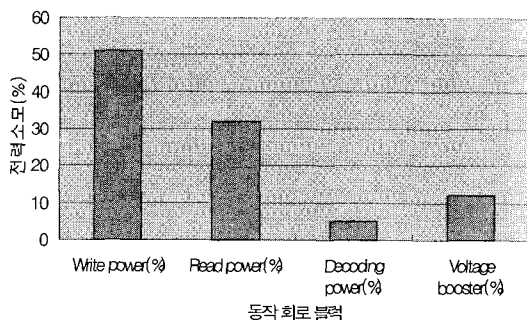


그림 1. 일반적인 SRAM의 전력소모 분포<sup>[4]</sup>  
 Fig. 1. Breakdown of Power Consumption for SRAM.<sup>[4]</sup>

SRAM에서 쓰기 시의 전류에 대해 고찰해 보면 쓰기 시의 AC 및 DC전류는 식 (1-1)과 같다.

$$I_{DDA}(w) = [(m-p) i_{DC}(r) \Delta t + p i_{DC}(w) \Delta t + p C_D \Delta V_w] f \quad (1-1)$$

여기서  $i_{DC}(r)$ 과  $i_{DC}(w)$ 는 읽기 및 쓰기 시의 데이터선의 전류이고,  $\Delta V_w$ 는 쓰기 시의 데이터선의 스윙 전압이다<sup>[6]</sup>.  $p$ 는 셀에 동시에 쓰여지는 데이터의 수,  $m$ 은 워드선당 셀의 수,  $r$ 은 읽기 및  $w$ 는 쓰기를 나타낸다. 일반적인 5V, 4Mbit SRAM에서  $I_{DDA}(r)$ ,  $I_{DDA}(w)$ 은 각각 6.4mA, 10.4mA이다 ( $i_{DC}(r) = 100\mu A$ ,  $i_{DC}(w) = 1.0mA$ ,  $\Delta V_r = 0.2V$ ,  $\Delta V_w @ V_{cc}$ ,  $C_d = 1pF$ ,  $m = 128$ ,  $p = 8$ ,  $\Delta t = 30ns$ ,  $f = 10MHz$ ). 멀티 비트 SRAM에서는  $p$ 가 증가하므로  $I_{DDA}(w)$ 가 증가하게 된다. 따라서  $I_{DDA}(w)$ 를 줄이기 위해  $i_{DC}(w)$ 와  $C_D$ 를 동시에 줄여야 한다.  $i_{DC}(w)$ 를 줄이기 위해 가변 임피던스 부하가 제안되었다<sup>[1]</sup>. 본 논문에서는 이러한 쓰기 전류 중,  $i_{DC}(w)$ 와 천이 전류를 동시에 줄이기 위한 방법을 연구하였다.

주어진 SRAM의 설계사양중에서 전원전압이 정격전압범위 내에서 변할 때, 전원전압감지기 및 가변적인 구동력을 갖는 쓰기 구동기를 사용함으로써, SRAM에서의 전력소모를 최소화하였다. 일반적인 SRAM의 설계사양에는 최소 및 최대 전원전압이 제시되어 있으며, 이러한 전원전압 변동에 따른 지연시간 및 전력소모의 변화를 나타낸 것이 표 1이다.  $V_{min}$ ,  $V_{nor}$ ,  $V_{max}$ 는 전원전압의 정격범위내에서 변동되는 최소전압, 표준전압 및 최대전압을 각각 나타낸다.  $V_{min}$ 에서 시스템의 최대 지연시간이 결정되고,  $V_{max}$ 에서 최대 전력소모가 결정된다. 따라서 본 논문에서는 전원전압이 정격전압의 최대값인  $V_{max}$ 가 되었을 때는 SRAM용 쓰기 구동기의 구동력을 작게 하여 전력소모를 감소시키는 방법에 대해서 연구하였다. 이 때 쓰기구동기의 구동력이 작아지므로 지연시간이 커지는 문제가 발생된다. 그런데 SRAM의 최대 지연시간은  $V_{min}$ 에서 결정되므로,  $V_{max}$  때에 쓰기 구동기의 구동력 저하로 인한 지연시간 증가는 전체 SRAM의 성능(performance)에는 영향을 주지 않는다. 이 때  $V_{max}$  시에 쓰기 구동기의 구동력은  $V_{max}$  시의 지연시간이 기존의 쓰기 구동기에서  $V_{min}$  시의 지연시간보다 크지 않은 범위내에서 결정된다. 한편 본 논문에서는 외부의 전원전압크기를 감지할 수 있는 새로운 전원전압 감지기 및 가변 구동력을 지닌 쓰기 구동기를 설계하였다.

본 논문의 구성은 다음과 같다. 2장에서는 기존 및 제안된 쓰기 구동기의 회로 동작 원리와 모의실험 결과를 설명하고, 3장에서 결론을 맺는다.

표 1. 3.3V/5V SRAM의 전원전압 사양 및 동작특성<sup>[7,8]</sup>  
 Table 1. Supply voltage specification and operating characteristics of 3.3V/5V SRAM<sup>[7,8]</sup>.

정격전원 전압		Vmin.	Vnor.	Vmax.
사양 (V)	5.0	4.5	5.0	5.5
	3.3	3.0	3.3	3.6
지연시간		느림	보통	빠름
전력소모		적음	보통	많음

II. 회로 설계, 동작원리 및 모의실험 결과

1. 기존의 쓰기 구동기

그림 2는 기존의 일반적인 SRAM에서 쓰기 경로의 전체 회로의 블록도로서 셀을 포함한 코어(core)회로와 외부 입력 데이터를 데이터 선에 전달하는 쓰기 구동 회로로 구성된다. 그림 3은 보통의 SRAM 코어 회로도 이고 그림 4는 기존의 데이터 입력에서 데이터 선까지의 쓰기 구동기 회로이다. 그림 5, 6은 기존의 쓰기 회로의 모의실험 파형을 나타낸다. 그림에서 트랜지스터 크기는 W/L로 표기하였으며 P는 PMOS, N은 NMOS를 나타낸다. 코어회로는 M<sub>1</sub>~M<sub>3</sub>의 비트선 이퀄라이즈(EQ : bit-line equalizer), M<sub>4</sub>~M<sub>9</sub>의 메모리 셀과 M<sub>10</sub>~M<sub>13</sub>, INV<sub>1</sub>의 행 선택(column select)회로로 구성된다<sup>[6]</sup>. 쓰기 구동기 회로는 외부 입력을 받아 반전신호와 비반전 신호를 만드는 INV<sub>5</sub>, NR<sub>1</sub>, NR<sub>2</sub>, 쓰기 구동기 INV<sub>3</sub>, INV<sub>4</sub>와 데이터를 데이터 선에 실어주는 M<sub>14</sub>~M<sub>17</sub>, INV<sub>2</sub>로 구성된다. 부하와 행선택 회로 등은 3.3V 저전압에서 동작하도록 PMOS와 NMOS를 동시에 사용하였다. 특정 주소가 선택되면 WL과 CS가 하이가 되고, EQ는 쓰거나 읽기 동작 전에 속도 개선을 위해 비트 선과 비트바( $\overline{bit}$ )선의 전압을 동일하게 한다. 쓰기 모드에서는 WE가 하이, WCON이 로우가 된다. 만약 데이터 로우를 현재 하이인 셀에 쓸 경우에는, 비트 선과 비트바 선이 Vcc로 충전(precharge)되어 있다가

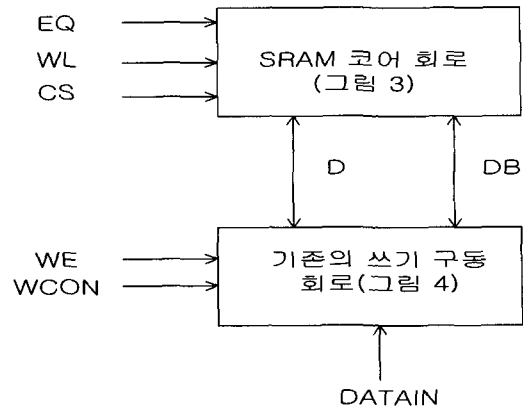


그림 2. 기존의 SRAM 블록도  
 Fig. 2. Block diagram of conventional SRAM.

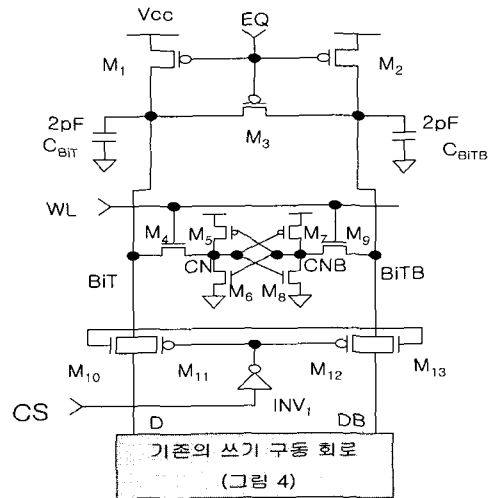


그림 3. SRAM 코어 회로도  
 Fig. 3. Circuit diagram of SRAM core.

비트선만이 로우로 방전(discharge)되어 셀 노드 CN이 로우로 떨어진다. M<sub>6</sub>의 문턱전압 이하로 떨어지면 CNB가 M<sub>7</sub>에 의해 하이로 되고, 다시 M<sub>6</sub>을 턴온(turn-on), M<sub>5</sub>를 턴 오프(turn-off)시켜 CN이 로우가 되어 로우 데이터가 래치(latch)되어 저장된다. 로우 데이터를 쓸 경우에는 역으로 동작된다. 이들에 대한 자세한 시간별 파형을 그림 5 및 그림 6에 나타내었다. 쓰기시 주요 전류 경로는 M<sub>1</sub>-M<sub>4</sub>-M<sub>6</sub>의 셀 직류전류( $i_{dc1}$ ), M<sub>1</sub>-M<sub>10</sub>-M<sub>14,15</sub>-INV<sub>3</sub>의 입력 직류전류( $i_{dc2}$ ), INV<sub>3</sub>의 방전 교류전류( $i_{ac1}$ ), INV<sub>3</sub>의 단락회로(short-circuit) 직류전류( $i_{ac2}$ )이다. 이 중에서 저전압, 고밀도인 경우 비트선 용량의 증가로 신호의 하강시간이 길어져 단락회로 직류전류의 비중이 가장 크고, 방전 교

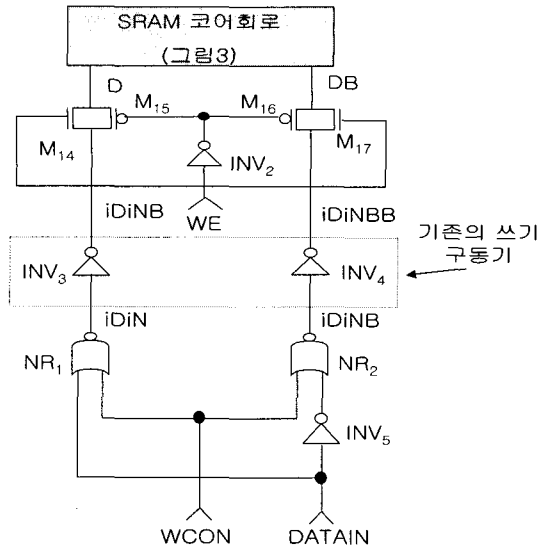


그림 4. 기존의 쓰기 구동기 회로  
Fig. 4. Conventional write driver circuit.

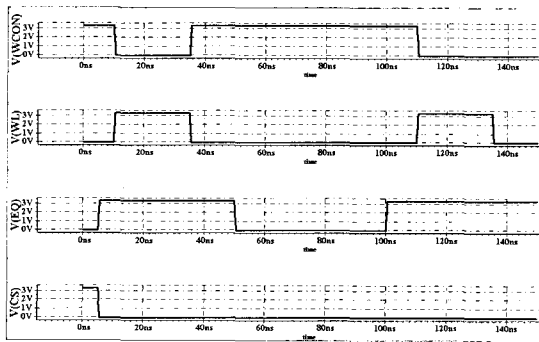


그림 5. 기존의 쓰기 회로에 대한 모의실험 파형(컨트롤)  
Fig. 5. Simulation waveform of conventional write circuit.(control)

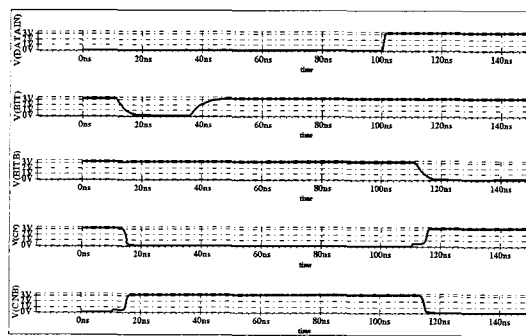


그림 6. 기존의 쓰기 회로에 대한 모의실험 파형(비트선 및 셀 내부)  
Fig. 6. Simulation waveform of conventional write circuit.(bitline and internal cell).

류전류의 비중이 그 다음이다<sup>[6]</sup>.  $i_{dc1}$ ,  $i_{dc2}$ 는  $M_1$ 과  $M_2$ 의 크기에 의해 정해지나,  $i_{dc1}$ ,  $i_{dc2}$ 는  $INV_3$ ,  $INV_4$ 의 크기에 의존한다. 따라서 그림 3에서  $V_{max}$ .에서는  $V_{min}$ .에서보다  $INV_3$  및  $INV_4$ 의 트랜지스터 크기를 작게 하여 교류전류와 단락회로 전류를 줄일 수 있으며, 이에 대한 자세한 내용은 다음 항에 설명되어 있다.

2. 본 논문에서 제안한 SRAM 블록도

그림 7은 본 논문에서 제안한 SRAM회로의 블록도를 나타내며 셀을 포함한 코어회로, 전원전압 감지회로의 출력으로 조절되는 쓰기 구동회로 및 외부전원전압 레벨의 크기에 따라 출력이 바뀌는 전원전압 감지회로로 구성된다. 본 논문의 쓰기 구동기는 그림 8과 같으며, 그림 4의 비반전 쓰기 구동기  $INV_3$  및  $INV_4$ 에 해당된다. 종래의 구동기를 1/2크기의 구동기와 전원전압 감지기의 출력으로 제어하는 Clocked Inverter로 바꾸

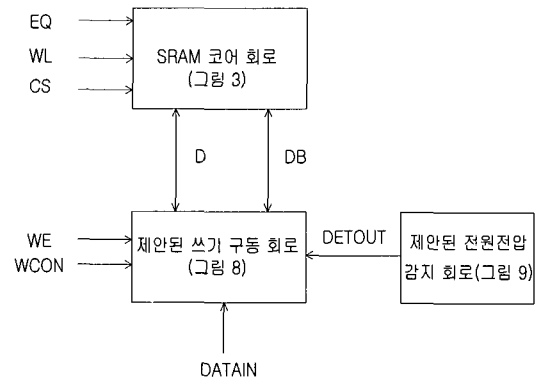


그림 7. 제안한 SRAM 블록도  
Fig. 7. Block diagram of the proposed SRAM.

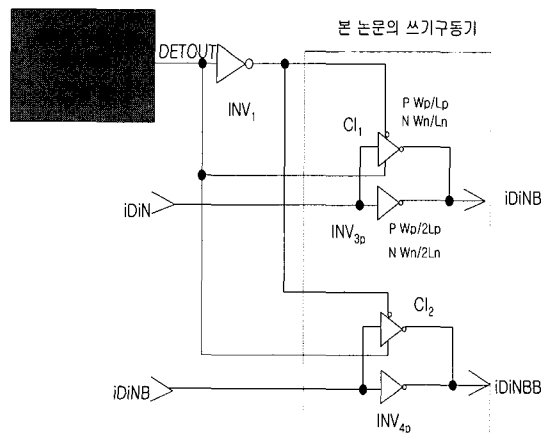


그림 8. 제안한 쓰기 구동기 회로도  
Fig. 8. Proposed write driver circuit.

었다. DETOUT은 전원전압 감지기의 출력신호로써 전원전압레벨이 기준전압보다 크면 DETOUT는 로우가 되며, 전원전압레벨이 기준전압보다 작으면 DETOUT는 하이이 된다. 전원전압감지기에 대한 회로도 및 자세한 동작설명은 그림 9이하에서 다시 설명하였다. 만약 전원전압이 기준전압보다 크면 DETOUT이 로우가 되어 CI가 동작되지 않아 구동 능력이 종래의 1/2이 되고, 전원전압이 기준전압보다 작으면 DETOUT이 하이이 되어 CI가 동작되어 구동 능력이 종래와 같게 된다.

그림 9는 제안한 가변적인 구동력을 가진 쓰기 구동기를 위해 사용되는 전원전압 감지기 회로도를 나타낸다. VCON에 의해 조절되는 MP<sub>1</sub>과 MN<sub>1</sub>는 직류 누설 전류 방지용이며 D<sub>1</sub> 다이오드는 감지전압을 크게 바꾸기 위해 사용된다. 다이오드의 개수를 증가시키면 감지전압을 높일 수 있다. MN<sub>2</sub>는 N<sub>2</sub>의 플로팅(floating)을 방지한다. VCON은 어드레스 친이 감지기로부터의 내부 클럭으로 발생되며 정의 펄스이다. VCON신호가 하이이면 출력은 하이이 되고 VCON신호가 로우이면 Vcc전압레벨을 감지하여 출력신호에 내보낸다. 이 때 감지되는 Vcc의 전압레벨을 노드 N<sub>2</sub>의 전압레벨과 INV<sub>1</sub>의 논리문턱전압(logic threshold voltage)과 관련이 있다. VCON이 로우일 때 MP<sub>1</sub>은 도통되고 다이오드를 통과하므로 N<sub>2</sub>의 전압레벨은 Vcc-Vt가 된다. 이 때 N<sub>2</sub>의 전압레벨이 INV<sub>1</sub>의 논리문턱전압보다 크면 출력은 로우가 된다. 반대로 N<sub>2</sub>의 전압레벨이 INV<sub>1</sub>의 논리문턱전압보다 작으면 출력은 하이이 된다. 그림 9에서 감지하고자 하는 전원전압 입력은 Vcc이고, 기준전압레벨을 3.3V라 가정하자. 이 경우에 기준전압레벨을 감지하는 인버터의 논리문턱전압이 3.3V가 되어야 한다. 그러나 이것은 인버터에서 Wn과 Wp의 조정만으로는 논리문턱전압이 3.3V가 되지 않기 때문에, 다이오드 D<sub>1</sub>을 사용하였다. 즉, 감지하고자 하는 전압레벨 Vcc가 D<sub>1</sub>을 통과하면, Vcc-Vt(다이오드의 문턱전압)이 되므로, 따라서 기준전압레벨도 Vt만큼 낮아진다. 모의실험 결과 D<sub>1</sub>의 전압강하는 1.7V로 나타났으므로 N<sub>2</sub>노드에서의 기준전압레벨은 1.6V로 낮아지게 된다. 이렇게 되면, INV<sub>1</sub>의 Wn 및 Wp의 비에 따라서 논리문턱전압을 1.6V로 설정한다. 그림 9의 회로도는 N<sub>2</sub>의 기준전압레벨(Vref: reference voltage)이 1.6V가 되도록 각각의 트랜지스터 크기를 시뮬레이션을 통하여 결정할 것이다. 즉 N<sub>2</sub>가 1.6V보다 크면 출력은 로우가 되고, N<sub>2</sub>가 1.6V보다 작으면 하이이 된다. INV<sub>1</sub>의 PMOS와

NMOS의 크기비(ratio)에 따라 논리문턱값이 조정되므로 감지전압의 미세조정을 할 수 있다.

그림 10은 INV<sub>1</sub>의 Wp/Wn의 비에 다른 전원전압 감지기의 기준전압 레벨 변화를 모의 실험한 것이다. 그림에서 보듯이, Wp/Wn의 비가 증가할수록 INV<sub>1</sub>의 논리문턱전압이 증가하고, 이에 따라서 기준전압레벨이 커짐을 확인할 수 있다.

또한 Vcc=5V의 경우에는 다이오드를 추가하고 INV<sub>1</sub>의 비를 바꾸어 기준전압을 5V로 하고 모의실험을 수행, 확인하였다.

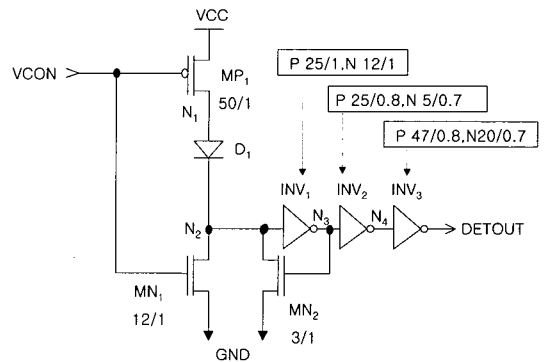


그림 9. 제안한 전압감지기의 회로도  
Fig. 9. Proposed voltage detection circuit.

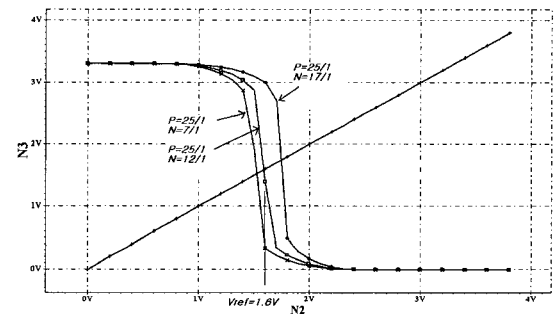


그림 10. INV<sub>1</sub>의 트랜지스터 비에 따른 전압감지기 모의실험 출력 파형  
Fig. 10. Simulation waveform of voltage detection circuit according to transistor ratio of INV<sub>1</sub>.

3. 전력 감축량 정리

시뮬레이션 툴은 HSPICE와 동급의 SPICE 상용 Version인 SmartSpice를 사용하였다. 모델 파라미터는 3.3V/5V용, 0.6 $\mu$ m CMOS공정의 것을 사용하였다. 기존과 종래의 쓰기 구동기 회로를 모의 실험한 결과를 표 2~5에 나타내었다. 하나의 비트에 대해 전원전압과 온

도를 변화시키며 속도, 전력소모 및 전력-지연 곱을 측정 비교하였다. 표 2 및 3에서 보면 전압이 커질수록 속도가 빨라지고, 전력소모가 증가하며 전력지연곱도 커진다. Vcc=3.3V의 경우 전원전압 감지기의 기준전압 레벨을 3.3V로 정하였기 때문에 3.0V나 3.3V일 때는 기존과 동일한 특성을 나타내며, 3.6V의 경우 기존과 비교하여 동작속도는 다소 느려지나, 전력이나 전력-지연 곱은 감소한다. 그러나 기존의 worst case 속도보다 느려지지 않는다. 기존의 경우 worst case 속도는 3.0V, 70°C에서 6.00ns, worst case 전력소모는 3.6V, 0°C에서 1.46(mW), worst case 전력-지연곱(power-delay pro

표 2. 기존의 SRAM 회로(그림 2)의 모의실험 결과(1 비트)

Table 2. Simulation results of the conventional SRAM(1 bit).

Vcc(V)	Temp.(°C)	속도(ns)	전력소모 (mW)	전력-지연 곱(pJ)
3.0	0	4.66	0.88	4.10
	27	5.18	0.85	4.43
	70	6.00	0.88	5.34
3.3	0	4.15	1.13	4.70
	27	4.54	1.09	4.96
	70	5.29	1.10	5.82
3.6	0	3.70	1.46	5.40
	27	4.09	1.36	5.57
	70	4.80	1.39	6.67

표 3. 본 논문의 SRAM 회로(그림 6)의 모의 실험 결과(1 비트)

Table 3. Simulation results of the proposed SRAM(1 bit).

Vcc(V)	Temp.(°C)	속도(ns)	전력소모 (mW)	전력-지연 곱(pJ)
3.0	0	4.66	0.88	4.10
	27	5.18	0.85	4.43
	70	6.00	0.88	5.34
3.3	0	4.15	1.13	4.70
	27	4.54	1.09	4.96
	70	5.29	1.10	5.82
3.6	0	3.74	1.13	4.22
	27	4.16	1.06	4.43
	70	4.89	1.03	5.02

표 4. Vcc=5.0V 일 때 기존 및 제안된 SRAM 회로의 모의실험 결과(1 비트, Temp.=27°C)

Table 4. Simulation results of the conventional and proposed SRAM at Vcc=5V(1 bit, Temp.=27°C).

Vcc(V)	속도(ns)	전력소모(mW)	전력-지연 곱(pJ)	
기존	4.5	3.23	2.52	8.12
	5.0	2.92	3.22	9.40
	5.5	2.66	4.04	10.74
제안	4.5	3.23	2.52	8.12
	5.0	2.92	3.22	9.40
	5.5	2.70	3.17	8.57

표 5. Vcc=3.3V/5V일 때의 기존 및 본 논문의 특성결과 비교

Table 5. Characteristics comparison between the conventional and the proposed write full circuit Vcc=3.3V/5V.

전원 전압	회로구분	속도(ns)	전력소모(mW)	전력-지연 곱(pJ)
3.3V	기존	6.00	1.46	6.67
	본논문	6.00	1.13	5.82
	감축률(%)	0	22.6	12.7
5V	기존	3.77	4.21	12.61
	본논문	3.77	3.20	9.35
	감축률(%)	0	23.99	25.85

duct, PDP)은 3.6V 70°C에서 6.67pJ이었다. 또한 본 논문의 경우 worst case 속도는 3.0V, 70°C에서 6.00ns, worst case 전력소모는 3.3V 또는 3.6V, 0°C에서 1.46 (mW), worst case 전력-지연 곱(power-delay product, PDP)은 3.3V 70°C에서 6.67pJ이었다. 전체 SRAM의 성능에서 보면, 동작속도는 변화가 없으면서 전력소모는 22.6%, PDP는 12.7%가 각각 감소하였다. Vcc=5V에서의 속도 및 전력소모에 대한 모의실험도 진행했으며 그 결과는 표4~5에서 나타내었다. 이 때 기준전압은 5.0V로 정하였다. Vcc=5V에서는 Vcc=3.3V와 비교할 때 전력-지연곱이 25.85% 감소되어 감축효과가 더 크게 나타났다.

표 6.  $V_{cc}=3.3V$ , 입출력 수=16 bit일 때 전압 감지기를 포함한 기존 및 본 논문의 특성결과 비교

Table 6. Characteristics comparison between the conventional and the proposed write full circuit  $V_{cc}=3.3V$ , I/O number=16 bit.

전원전압	회로구분	속도(ns)	전력소모( $mW$ )	전력-지연 곱(pJ)
3.3V	기존	6.00	23.36	140.16
	본논문	6.00	18.45	110.7
	감축률(%)	0	21.45	21.02
5V	기존	3.77	67.36	253.94
	본논문	3.77	51.57	194.42
	감축률(%)	0	23.44	23.43

### III. 결 론

SRAM에서 주어진 정격전압범위내에서 전원전압이 변동하는 경우에 최소전압에서 지연시간이 결정되고 최대전압에서 전력소모가 가장 크게 생긴다. 본 논문에서는 전원전압레벨이 기준전압보다 큰 경우에, 쓰기 구동기의 구동력을 감소시킴으로써 SRAM에서의 전력소모를 줄였다. 이 때 쓰기 구동기의 구동력은 지연시간이 최소전원전압에서의 지연시간보다 크지 않은 범위 내에서 결정된다. 이렇게 되면 SRAM의 지연시간의 증가없이, 전력소모를 감소시킬 수 있다. 이를 위하여 전원전압 레벨의 변동에 따라서 가변구동력을 가진 쓰기 구동기와, 기준전압이 결정되면 전원전압의 변화에 따라서 전압레벨을 감지하는 전원전압 감지기를 각각 제안하였다.

$0.6\mu m$ , 3.3V/5V CMOS공정의 모델 파라미터를 이용하여 쓰기 구동기를 포함한 SRAM회로에 대한 시뮬레이션을 수행하였다.  $V_{cc}=3.3V$ 의 경우 전원전압의 변동 범위는 3.0V~3.6V로 설정하였고 전원전압이 3.3V 이상인 경우를 제안한 쓰기 구동기 및 전원전압 감지기가 동작하도록 하였다. 모의 실험한 결과, 제안한 SRAM회로는 기존의 회로에 비해서 전력소모는 22.6%, PDP(power-delay-product)는 12.7%가 각각 감소되었다. 또한  $V_{cc}=5V$ 의 경우에는 변동범위를 4.5V~5.5V로 설정하였고 기준전압은 5.0V로 하였다. 모의 실험 결과 전력소모는 23.99%, PDP(power-delay-product)는 25.85%가 각각 감소되어  $V_{cc}=3.3V$ 와 비교하여 감축량이 크게

나타났다.

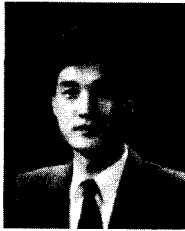
따라서 가변구동력을 가진 쓰기 구동기를 사용한 본 논문의 경우 일반적인 조건에서 밴드위스(bandwidth)가 크고 대용량 비트선을 가진 고밀도 임베디드 메모리 동작의 동적 쓰기 전류를 줄이는데 적합한 것으로 시뮬레이션 결과 확인되었고 또한 새로운 쓰기 회로 구조가 잘 동작됨을 확인하였다.

향후 제안된 회로가 전원전압이 3.3V이하에서도 적용 가능한 회로를 연구하고 칩으로도 구현, 측정 분석할 예정이다.

### 참 고 문 헌

- [1] K. Itoh, K. Sasaki, and Y. Nakagome, "Trends in low-power RAM circuit technologies," Proc. IEEE, vol.83, pp. 524~543, Apr., 1995.
- [2] T. Blalock, "A High-Speed Clamped Bit-Line Current-Mode Sense Amplifier," IEEE J. Solid-State Circuits, vol.26, no.4, Apr., 1991.
- [3] K.Ishibashi, et.al., "A 1-V TFT-Load SRAM Using a 2-Step Word-Voltage Method," IEEE J. Solid-State Circuits, pp. 1519-1524, Nov., 1992.
- [4] A. M. Fahim, M. Khellah, M. I. Elmasry, "A Low-Power High-Performance Embedded SRAM Macrocell," IEEE Proceedings of the 8th Great Lakes Symposium on VLSI, 1998.
- [5] K. Sato, T. Kajimoto, "A 4Mb Pseudo SRAM Operating at  $2.6\pm 1V$  with  $3\mu A$  Data Retention Current," ISSCC91, pp 268-269, Feb., 1991.
- [6] Jan M. Rabaey and Massoud Pedram, "Low Power Design Methodologies," Kluwer Academic Publishers, Massachusetts, pp. 244~245, 1996.
- [7] Anantha P. Chandrakasan and Robert W. Brodersen, "Low Power Digital CMOS Design," Kluwer Academic Publishers, Massachusetts, pp. 106~112, 1995.
- [8] Mark Horowitz, Thomas Indermaur and Ricardo Gonzalez, "Low Power Digital Design," IEEE Symposium on Low Power Electronics, pp. 8~11, 1994.

저 자 소 개



裴 孝 寬(正會員)  
第38卷 SC編 第2號 參照  
현재 : 동원대학 전자과 교수

柳 凡 善(正會員) 第38卷 SD編 第1號 參照  
현재 : 충북대학교 전기전자 및 컴퓨터공학부 BK21 계  
약교수

趙 泰 元(正會員) 第38卷 SD編 第1號 參照  
현재 : 충북대학교 전기전자 및 컴퓨터공학부 교수