

12Mbps, r=1/2, k=7 비터비 디코더의 이론적 성능분석 및 실시간 성능검증을 위한 FPGA구현

(Theoretical Performance analysis of 12Mbps, r=1/2, k=7 Viterbi decoder and its implementation using FPGA for the real time performance evaluation)

全光鎬*, 崔相皓**, 丁海元**, 林明燮*

(Kwangho Chun, Changho Choi, Haewon Jung, and Myoung Seob Lim)

요 약

IEEE 802.11a에 의해 규정되어진 데이터 전송속도 12Mbps, 부호화 율 1/2, 구속장이 7인 무선 LAN용 비터비 디코더의 이론적인 성능분석을 위해서 Cramer법칙을 이용하여 전달함수를 구하고 가산성 백색 가우시안 잡음 환경하에서 각 구속장 별 첫 번째 사건에서의 에러 확률과 비트 에러 확률을 구하였다. 설계과정에서는 4 비트 연성판정을 위해 입력 심볼을 16단계로 양자화 하였으며, 역 추적을 위한 방식으로 메모리를 사용하는 대신 레지스터 교환방식을 사용함으로써 다수결 결정이 가능한 구조를 제시하였다. 구현과정에서는 12Mbps 고속의 데이터를 처리하기 위해 파이프 라인을 적용한 병렬구조를 갖는 비터비 디코더와 가산성 백색 가우시안 잡음 설계를 FPGA 칩을 사용하여 구현하여 실시간 환경에서 성능검증을 하였다.

Abstract

For the theoretical performance analysis of Viterbi Decoder for wireless LAN with data rate 12Mbps, code rate 1/2 and constraint length 7 defined in IEEE 802.11a, the transfer function is derived using Cramer's rule and the first-event error probability and bit error probability is derived under the AWGN. In the design process, input symbol is quantized into 16 steps for 4 bit soft decision and register exchange method instead of memory method is proposed for trace back, which enables the majority at the final decision stage. In the implementation, the Viterbi decoder based on parallel architecture with pipelined scheme for processing 12Mbps high speed data rate and AWGN generator are implemented using FPGA chips. And then its performance is verified in real time.

* 正會員, 全北大學校 電子情報工學部, 情報通信研究所
(Dept. of Electronic & Information Engineering
Chonbuk National University. Institute of Information
& Communication.)

** 正會員, 韓國電子通信研究院
(Electronic Telecommunication Research Institute)

※ 본 연구는 전북대학교 영상·정보 신기술연구센터
지원에 의하여 수행되었습니다.

接受日字:2001年5月7日, 수정완료일:2001年10月5日

I. 서 론

사무실내의 LAN 시스템은 현재 유선 방식에서 단말
기의 설치가 용이하고, 이동성이 요구되는 무선 LAN
시스템으로 진화하기 위해 이에 필요한 표준으로서
HIPERLAN 과 IEEE 802.11가 제정되었고, 구현에 필
요한 기술이 개발되고 있다. 이 중에서 5.725 ~
5.825GHz의 U-NII대역을 사용하는 IEEE 802.11a의

Wireless LAN 방식은 6~54Mbps의 데이터를 OFDM(Orthogonal Frequency Division Multiplexing)방식으로 전송하며, FEC(Forward Error Correction)기법으로는 부호화율 $r=1/2, 2/3, 3/4$ 길쌈부호가 쓰인다. [1~3]

본 논문에서는 데이터 전송속도 12Mbps, 구속장 $K=7$, 부호화율 $r=1/2$ 의 구조를 갖는 길쌈 부호화기에 대해 4 비트 연성판정을 하여 디코딩을 수행하는 비터비 디코더에 대한 전달함수를 Cramer법칙을 통해 구하고, 가산성 백색 가우시안 잡음 환경하에서 각 구속장에 따른 첫 번째 사건에서의 에리 검증을 위한 확률과 비트 에리 확률을 구하여 이론적인 성능 분석을 수행하였다. 그리고 실시간 구현 및 설계에 있어서는 12Mbps 고속의 데이터를 처리하기 위해 32조의 나비 형태의 병렬 구조를 기반으로 하였으며, BM(Branch Metric)부에서는 4가지 가지값과 제어부를 이용하여 모든 경우의 가지값 계산이 되도록 설계를 하였다. ACS(Add Compare Select)부에서는 64개의 최소 상태값 모두를 비교하는 과정이 필요없는 방안으로서 TB(Trace Back)부에서 메모리를 사용하는 대신 레지스터 교환방식을 이용하여 설계하였으며, 이 방식은 다수결 결정이 가능한 구조로 설계된다. 이상의 알고리즘을 토대로 설계된 비터비 디코더와 중앙극한정리에 의거 의사 랜덤이진 부호발생기를 이용하여 가산성 백색 가우시안 잡음 발생회로를 FPGA 칩을 사용하여 구현하여 실시간 환경에서 성능검증을 하였다.

II. 구속장 $k=7$ 인 무선 LAN용 비터비 디코더의 이론적 성능분석

구속장 $k=7$, 부호화율 $r=1/2$ 인 길쌈부호화기의 신호 천이도에서 입력과 출력의 비로써 해밍 가중치의 분포, 오차확률을 결정할 수 있도록 전달함수를 구한다. [3] 각각 가지의 이득을 $D^i L^j N^k$ 로 표현하는 데, 각 지수인 i 는 출력 부호어의 해밍 가중치, j 는 가지 길이, k 는 입력 메시지의 해밍 가중치이다. 보통 구속장이 주어지면 각각의 상태들에서 그 상태로 들어오는 상태 더미 변수들과 그 경로의 해밍 가중치와의 곱들의 합으로 표현한 상태방정식을 구하고 전달함수 $T(D, L, N)$ 를 구한다. 그러나 구속장이 적은 상태에서 구한 전달함수 $T(D, L, N)$ 는 더미 변수의 갯수가 작아

상태 방정식을 풀 수가 있지만 구속장이 증가하면 상태 더미 변수가 2^{K-1} 가 되어 연산량이 지수적으로 증가하게 된다. 따라서 증가한 더미 변수의 계산을 쉽게 하기 위하여 Cramer법칙을 사용하기로 한다. [4] Cramer법칙은 상태방정식이 주어진 상태에서 원하는 항을 구하는 법칙으로 출력항으로 입력되는 최종 상태를 구하는데 사용된다. 이렇게 구한 최종 상태와 D^2 을 곱하여 전달함수로 정하게 된다. 한편 상태도의 표현에 있어 구속장이 작을때에는 폐회로가 구성이 되어 각 상태가 입력 2개와 출력 2개로 구성이 되어 있으나, 구속장이 증가하면 더미 변수들을 페루프로 구성한다는 것이 불가능하므로 두 개씩을 두어 입력과 출력을 나누어서 생각한다. 즉, 각 더미 변수에서 입력을 생각할 때는 처음에 하나의 입력을 가지고 상태천이가 계속 이루어지면 다시 같은 더미 변수로 입력이 들어오게 되어 결국 각 더미 변수에서는 입력이 2개이고 출력은 매 더미 변수에서 출력을 2개를 가지므로 각 더미 변수에서는 입력 2개와 출력 2개를 가진다. 그림 1을 보고 선형 방정식을 구하면 식 (1)과 같이 나타낸다.

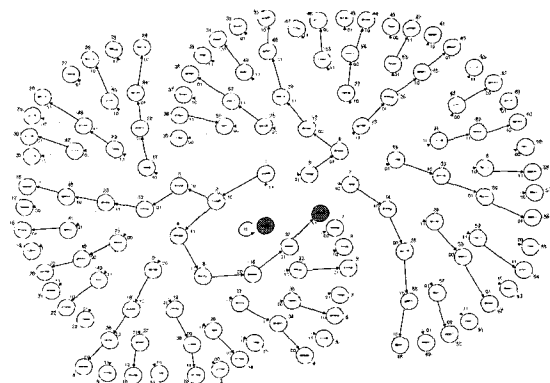


그림 1. 구속장 $k=7$ 의 신호 천이도
Fig. 1. Signal transition diagram in constraint length $k=7$.

$$\begin{aligned}
 e1 &= D^2 & + N & e32 \\
 e2 &= D & e1 + D & e33 \\
 e3 &= DN & e1 + DN & e33 \\
 e4 &= D^2 & e2 + & e34 \\
 & \vdots & \vdots & \vdots \\
 e27 &= DN & e13 + DN & e45 \\
 e28 &= & e14 + D^2 & e46 \\
 e29 &= D^2 N & e14 + N & e46 \\
 e30 &= D & e15 + D & e47
 \end{aligned}$$

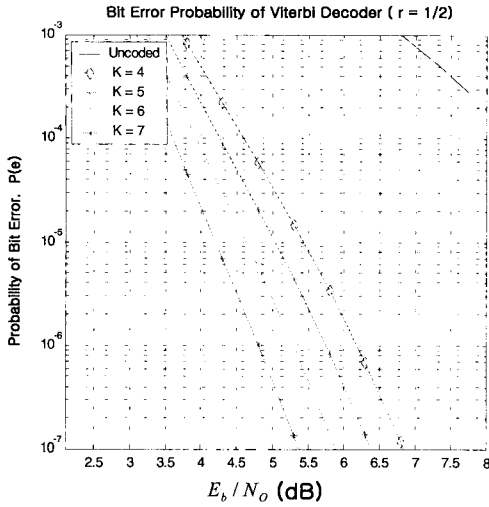


그림 3. 비트 에러 확률
Fig. 3. Bit Error Probability.

III. 비터비 복호기의 세부설계

비터비 복호기는 그림 4와 같이 크게 BM(Branch Metric)부, ACS(Add Compare Select)부, TB(Trace Back)부로 구성된다. 데이터 전송율이 12Mbps이고, 구속장이 7인 비터비 복호기의 상태는 (000000)₂ 부터 (111111)₂ 까지 총 64개의 상태가 있고, 2개의 상태가 쌍을 이루어 32개조의 나비구조를 구성한다. BM부는 전송된 심볼과 64상태 각각에서 부호어와의 거리값을 계산한다. ACS부는 상태값을 갱신하고 TB부로 선택정보를 전송한다. TB부는 생존 경로에 대한 정보를 저장한 TBM(Trace Back Memory)을 갱신하고 최종 복호된 데이터를 출력한다.

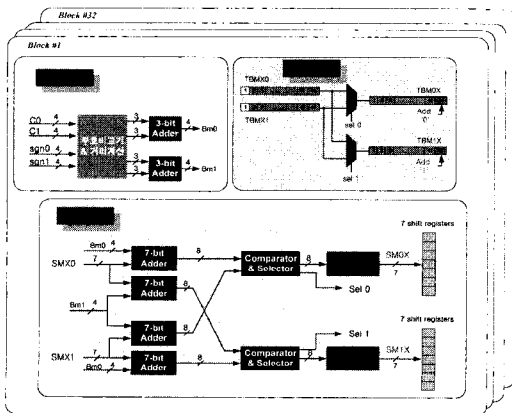


그림 4. 비터비 복호기의 블록도
Fig. 4. Block diagram of Viterbi Decoder.

1. BM부

BM부는 가지값 계산을 용이하게 하기 위해 2의 보수형태로 전송된 심볼을 부호절대값 형태로 변환한 심볼과 상태천이에 따라 발생하는 각 상태에서의 부호어와의 거리를 구하는 부분이다. 각 상태에서의 부호어는 2비트로 되어있기 때문에 이루어질 수 있는 경우는 00, 01, 10, 11의 4가지이다. 이는 병렬구조 적용 시 모든 상태에서 가지값을 구할 필요가 없이 위의 4가지 경우만을 계산함으로써 하드웨어를 절약할 수 있다. 각 상태에서의 가지값을 구하기 위해 SED(Squared Euclidean Distance)식이 사용되는데 이는 곱셈기가 필요하게 되어 많은 양의 하드웨어가 요구된다. 따라서 본 논문에서는 SED와 등가인 아래의 식을 이용하여 위의 문제점을 해결할 수 있었다.^[4]

$$BM = \sum_{i=0}^1 \begin{cases} |sgn_i| & : sgn_i \text{ 와 } C_i \text{의 부호가 같은 경우.} \\ 0 & : sgn_i \text{ 와 } C_i \text{의 부호가 다른 경우.} \end{cases} \quad (9)$$

- * sgn_i : 4bit로 양자화 된 수신 심볼
- * C_i : 각 상태에서의 부호어

이러한 방식의 장점은 가지값이 수신된 심볼의 절대값 자체로부터 구해지므로 SED를 직접 계산하는 것보다 계산시간 및 하드웨어 크기가 줄어든다. BM부는 연성판정을 위한 4비트 입력 심볼을 받아 BM값을 계산한 후 ACS부로 전송한다. 본 연구의 경우 병렬 구조를 사용하였기 때문에 한 클럭안에 모든 상태에서의 BM값 계산이 필요하다. 그러나 본 논문에서는 64상태에서 모든 BM값을 구할 필요 없이 4개의 BM부만을 사용하여 BM값을 계산하고 일정한 관계에 따라 ACS부로 전달하는 방식을 사용한다.

그림 5는 MAX+plusII에서 모의 실험한 결과로서 BM부에서 입력 심볼(sgn1, sgn2)을 받아 BM값을 계산하는 과정을 보여준다. 클럭은 12Mbps를 사용하였으며 4개의 BM부(BM_1, BM_2, BM_3, BM_4)에서 각각 BM값을 계산함을 볼 수 있다.

2. ACS부

ACS부에서는 BM부로부터 수신된 가지값과 누적된 이전 상태값을 이용하여 새로이 상태값을 갱신하고 저장하며 다음 ACS 동작수행을 위해 갱신된 상태값을 전송하고, 또한 갱신된 상태값의 비교 선택 시 발생하는 정보를 TB부로 전달하는 동작을 수행한다. ACS의

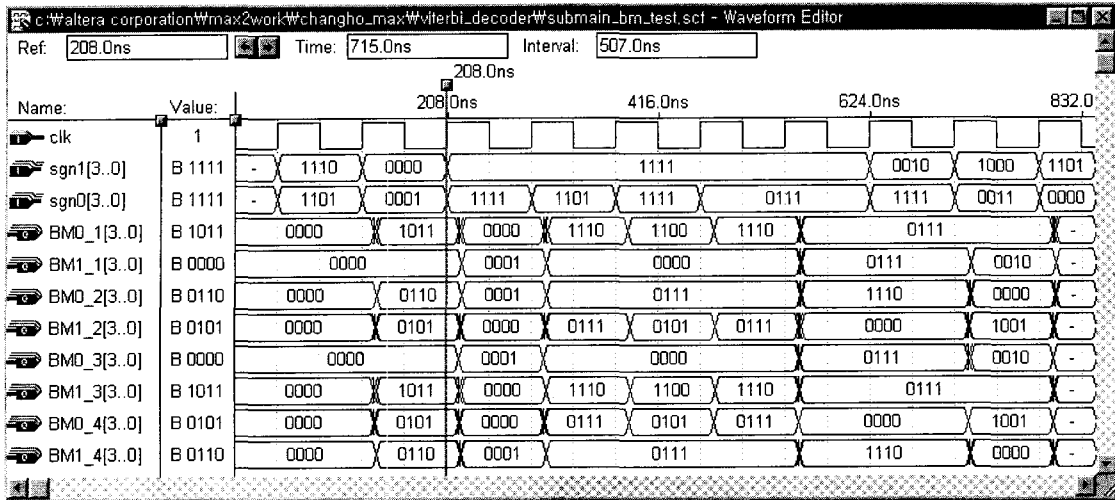


그림 5. BM값 계산 처리
Fig. 5. Computation Process of BM Value.

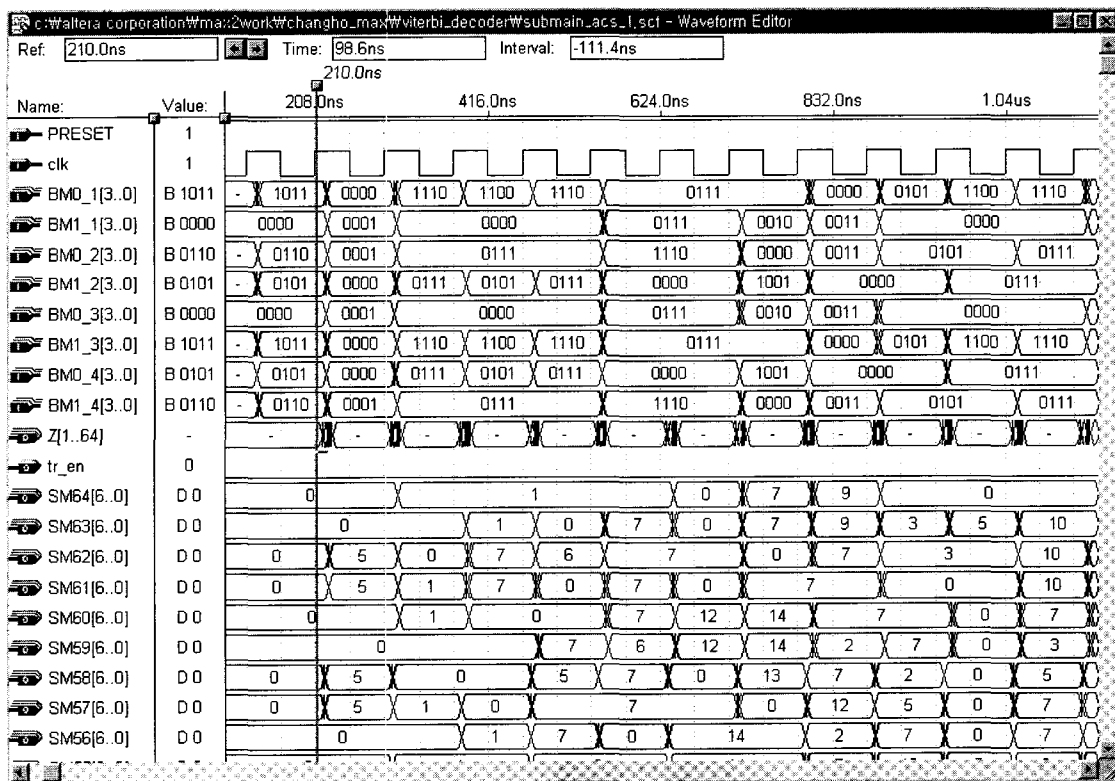


그림 6. ACS에서의 상태값 갱신과정
Fig. 6. State value update process in ACS.

기본블록은 4개의 덧셈기와 2개의 비교선택기, 2개의 절삭 로직회로, 상태값 저장을 위한 2조의 레지스터로 구성되어 나비구조의 형태를 지닌다. 즉, 두 개의 상태값과 각 가지값을 더한 뒤 작은 값으로 상태값을 갱신

한다. 상태값 (SM ; State Metric) 을 구하는 식은 다음과 같다.

$$\begin{aligned} * SM0X &= \min(SMX0 + BM0, SMX1 + BM1) \\ * SM1X &= \min(SMX0 + BM1, SMX1 + BM0) \end{aligned} \quad (10)$$

여기서 X는 현 상태의 최상위 비트를 제외한 5비트를 나타내며 상태의 변화 시 변하지 않는 부분이다. 기존의 메모리를 사용하는 경우 ACS부에서 최소 상태값을 구하는 과정이 필요하게 되는데 이럴 경우 64상태의 상태값을 모두 비교하여야하는 번거로움이 있다. 또한 입력되는 심볼이 12Mbps로, 약 83nsec에서 모든 과정을 수행해야 한다. 따라서 83nsec 안에 64개의 상태값을 모두 비교하기에는 시간적인 제약이 있다. 본 연구에서 제안한 방식의 경우 이러한 최소 상태값 결정 과정이 필요하지 않는 장점을 가지게 되는데 이러한 알고리즘에 대해서는 TB부에서 자세히 설명하기로 한다.

그림 6에서 각 상태값(SM64~SM01)은 초기값이 모두 0으로 지정되어 있으며 ACS과정을 수행한 후 각각의 상태에서 상태값들이 갱신됨을 볼 수 있다. 입력으로 들어오는 BM값은 앞 절에서 계산된 BM값을 사용하였으며 ACS과정 후 TB부로 전달되는 선택 신호(Z[1..64])와 상태값이 127을 초과할 경우 절삭을 수행하기 위한 신호(tr_en)가 존재한다.

3. TB부

TB부에서는 ACS부에서 결정된 생존경로에 대한 정보를 저장하며 저장과 동시에 이전 TBM에 저장된 각 상태의 정보값을 갱신하게 되고 일정길이(구속장의 4-5 배)를 처리 후 최종 복호 데이터를 출력한다. TB의 기본블록은 2개의 다중화기와 생존경로 저장을 위한 2개의 레지스터로 구성된다. 이 논문에서는 길이를 48로 하였으며 역 추적과정을 간편화하고 비터비 디코더의 종단에서 다수결 결정이 가능한 새로운 역추적 알고리즘을 적용한다. 구속장이 7일 경우 각 상태는 6비트(000000, 100000, ..., 111111)로서 표현이 가능하고 짝수 상태(000000, 010000, ... 011111)와 홀수상태(100000, 110000, ..., 111111)로 나눌 수 있다. 임의의 시간 t-1에서 t로의 천이시 모든 상태로 입력되는 경로는 두 가지가 존재하는데 짝수상태로 천이 되는 경우는 TBX0과 TBX1에서 입력이 0인 경우에 TBOX로 천이 되는 경우이고 홀수상태로 경우는 TBX0과 TBX1에서 입력이 1인 경우에 TB1X로 천이 되는 경우이다. 예를 들어 상태 000000에서 입력으로 0이 인가되면 다음상태로의 천이는 짝수상태인 000000이고, 입력으로 1이 인가되면 다음상태로의 천이는 홀수상태인 100000이다. 이와 같은 성질을 이용하면 TBM 갱신과정을 다음과 같이 표

현할 수 있다.

$$\begin{aligned}
 TB0X &= \begin{cases} [TBX0(2:48), 0] & \text{for sel } 0 = 0 \\ [TBX1(2:48), 0] & \text{for sel } 0 = 1 \end{cases} \\
 TB1X &= \begin{cases} [TBX0(2:48), 1] & \text{for sel } 1 = 0 \\ [TBX1(2:48), 1] & \text{for sel } 1 = 1 \end{cases}
 \end{aligned}
 \tag{11}$$

* sel : ACS로부터의 선택신호

모든 상태로 입력되는 경로는 두 가지가 존재하는데 짝수상태로 천이 되는 경우는 항상 X0과 X1에서 0이 입력되어 0X로 다음 상태가 변하는 때이고 홀수 상태로 천이 되는 경우는 항상 X0과 X1에서 1이 입력되어 1X로 다음상태가 변할 때이다.

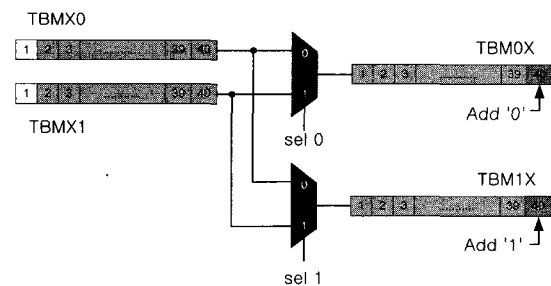


그림 7. TB의 기능 블록도

Fig. 7. Functional block diagram in TB.

그림 7에서 갱신되는 새로운 상태값은 이전 상태값과 BM을 더한 후 적은 상태값을 갖는 것으로 갱신되는데, 이때 비교 선택기에서는 윗 경로와 아래 경로 중 한 경로를 선택하게 되고 윗 경로일 경우 sel 신호를 '0'으로, 아래 경로일 경우 sel 신호를 '1'로 출력한다. 이러한 나비구조를 TB부에 적용시켜 보면 TBX0과 TBX1에 저장된 역추적을 위한 정보를 ACS부에서 발생된 sel_A, sel_B신호를 사용하여 sel신호가 '0'일 경우 TBX0의 정보를 선택하여 갱신된 다음 TBOX와 TB1X에 저장이 된다. 본 논문에서는 길이를 40으로 하였으며 ACS부의 상태메모리에서와 같이 메모리를 사용하여 역 추적에 관한 정보를 저장하도록 하였다. TBM의 갱신 과정을 살펴보면 TBMX0과 TBMX1의 2번째부터 40번째의 이전 상태에 대한 정보가 입력으로 인가되며 ACS부에서 출력된 sel 신호가 0인지 1인지를 구분하여 0일 경우 TBMX0의 정보를, 1일 경우 TBMX1의 정보를 선택하여 갱신될 TBMOX나 TB1X의 첫 번째부터 39번째로 저장하고, 짝수 상태는 끝단에 즉, 40번째 플

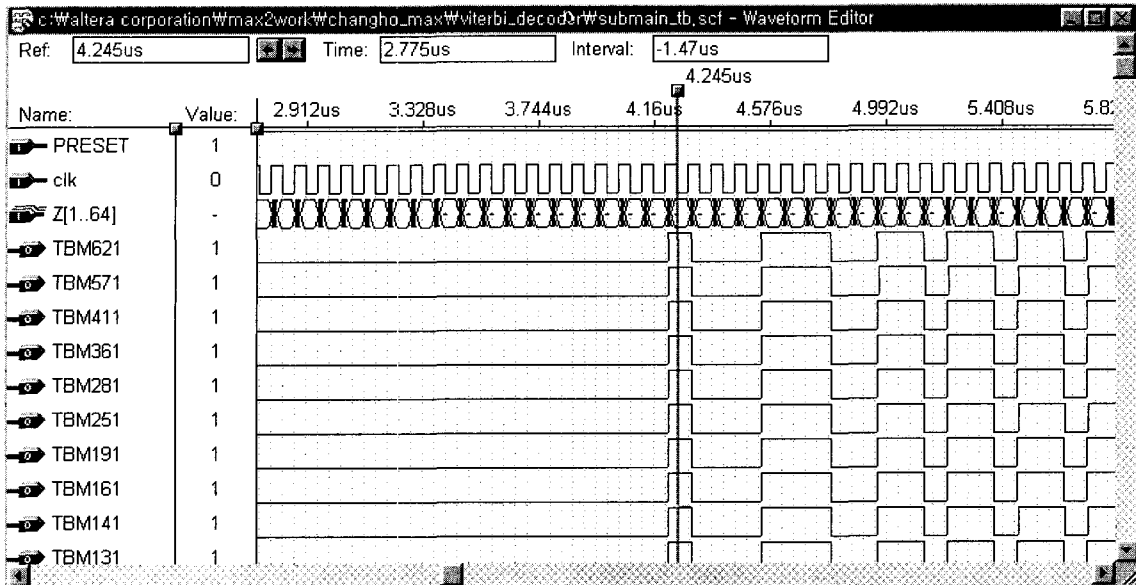


그림 8. TB의 선택 정보 갱신 및 복구과정
 Fig. 8. Selected information update and recovery process in TB.

림플롭에 항상 0만을 삽입하고 홀수상태는 항상 1만을 삽입하여 갱신과정을 완료한다. 이러한 과정을 매 단계마다 수행하고, 일정길이의 깊이를 거치면서 각 상태의 입력정보를 가진 64개의 TBM은 복호 과정을 수행하게 된다. 이 과정에서 일정길이의 TB과정이 지나면 각 상태의 입력정보를 저장한 TBM은 일정한 값 (0 또는 1)으로 수렴하게 되어 레지스터의 뒷부분에 저장되는 모든 TBM은 동일한 값을 가지게 된다⁶⁾. 따라서 모든 상태에서 최소 상태값을 찾을 필요가 없게 되어 역추적 과정이 간편화 되었으며 비터비 디코더의 중단에서 다수결 결정이 가능한 장점을 가진다. TB부의 동작은 그림 8에서 나타내었다. 선택정보는 앞 절 ACS부에서 구

해진 값을 사용하였으며 깊이만큼의 지연과 BM부와 ACS부에서 critical path를 줄이기 위해 사용된 버퍼의 지연을 더한 50클럭의 지연 후 첫 데이터가 복호됨을 볼 수 있다. 갱신된 선택정보를 저장하는 TBM은 각 상태에서 존재하고 TBM621은 62번째 상태에서의 저장 값 중 첫 번째 레지스터에 저장된 값을 의미한다. TB부의 세부 설계에서 기술한 바와 같이 각 상태에서 깊이만큼의 갱신과정 후 저장된 값들은 동일한 값을 가지고 있음을 알 수 있다.

앞에서 기술한 각 블록별 과정을 종합한 MAX+plus II에서의 전체 모의 실험 결과를 그림 9에서 나타내었다. 입력 신호와 출력 신호를 비교하기 용이하게 하기

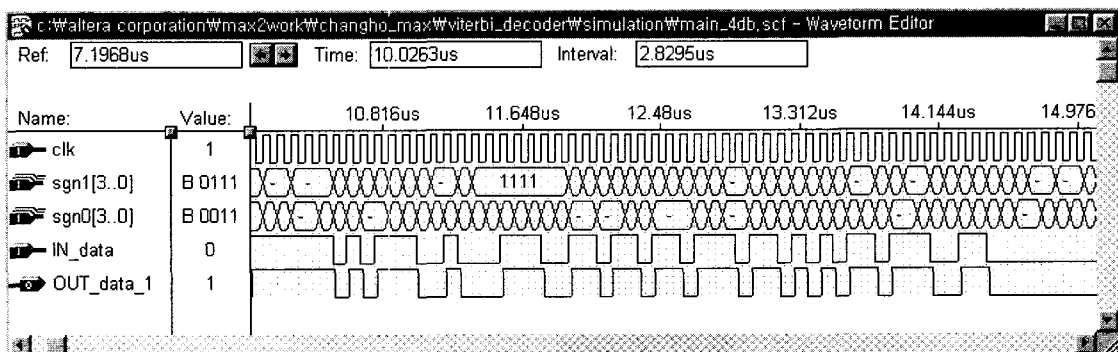


그림 9. 전체 모의 실험 결과
 Fig. 9. Full Simulation result.

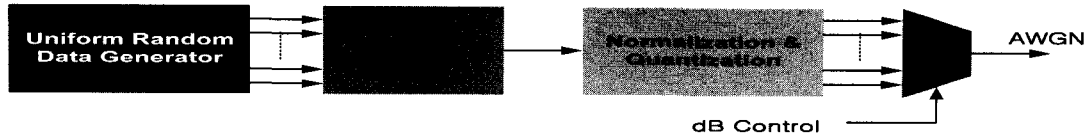


그림 10. AWGN 생성 블록
Fig. 10. AWGN generate block.

위해 입력 신호를 출력 신호와 같은 지연을 두어 동일 선상에서 입,출력을 비교하여 설계가 정확히 되었음을 확인하였다.

IV. 하드웨어제작에 의한 실시간 성능검증 실험

1. 가산성 백색 가우시안 잡음 생성

구현된 비터비 디코더의 성능검증을 위해 중앙극한 정리를 적용하여 가산성 백색 가우시안 잡음을 생성하였다. 먼저 15단 시프트 레지스터를 이용한 의사잡음열 발생부에서 균일분포를 가진 8개의 랜덤변수를 생성하고 가우시안 분포를 가진 가산성 백색 가우시안 잡음을 생성하기 위해 더한 후 정규화와 양자화 과정을 거친다. 균일분포를 갖는 랜덤변수의 전력은 식 (12)과 같으며 중앙극한 정리에 의해 각각 더해진 백색 가우시안 잡음의 전력은 식(13)과 같이 표현된다.^[11]

$$var[x] = \frac{(b-a)^2}{12} \quad (a \leq x \leq b) \quad (12)$$

$$var\left\{\sum_{i=1}^N a_i X_i\right\} = a_i^2 \sum_{i=1}^N var\{X_i\} \quad (13)$$

그림 10은 가산성 백색 가우시안 잡음발생기의 다양한 SNR에 맞는 잡음을 생성하기 위해 구성된 블록도를 나타내며, 2개의 FPGA 칩 중 첫 번째에 길쌈부호기, BM부, ACS부와 같이 위치한다.

2. 구현된 비터비 복호기의 성능검증

하드웨어 모의실험을 위해 PCB상에 2개의 FPGA칩을 사용하여 구현을 하였으며 첫 번째의 칩에는 8개의 15단 시프트 레지스터를 이용한 송신측 랜덤 데이터 발생부, 길쌈부호기, 가산성 백색 가우시안 잡음 생성블록, BM부, ACS부를, 두 번째 칩에는 TB부 에러율 표시와 제어부를 포함시켰다.

그림 11은 실제 PCB상에서 실시한 하드웨어 실시간 성능실험의 블록도를 나타낸다. 그림 14에서 보듯이 비

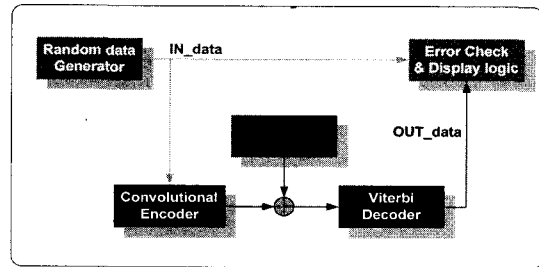


그림 11. 비터비 디코더의 실시간 성능실험 블럭도
Fig. 11. Block diagram for the real time performance evaluation of Viterbi decoder.

터비 복호기의 구현을 위해 ALTERA사의 EPF10K100ARC240-3 칩 두 개를 사용하였으며 길쌈부호기, BM부, ACS부, AWGN 생성블록이 구현된 첫 번째 칩은 73%의 LE(Logic Element) 사용율을, TB부와 에러율 표시제어부를 구현한 두 번째 칩은 57%의 LE 사용율을 보이며 전체적으로 65%, 6521개의 LE가 사용되었다. 그리고, Seven segment LED에서 E_b/N_0 의 주어진 값이 표시되도록 하였다. 그림 12는 Logic Analyzer를 이용하여 입력 신호열과 수신부 출력 신호열을 비교하여 에러가 정정되는 것을 보여준다. 그러나, Logic Analyzer의 메모리양이 한정되어 있으므로 메모리 초과범위에서 에러가 발생할 때는 검출이 불가능하다. 따라서, 먼저 Seven segment LED를 이용하여 error의 누적을 표시하도록 하므로써 구현한 비터비 디코더의 HW가 제대로 동작하는지 실시간 확인하는 과정을 거친다. 그리고, 10^6 개의 송신 데이터와 수신 데이터를 비교하는 회로부에서 틀린 데이터를 계수기로 누적한 결과를 실제로 Seven segment LED에 BER값이 표시되도록 하였다.

그림 13은 비터비 복호기의 BER특성을 Matlab에서 컴퓨터 시뮬레이션한 결과와 실제 FPGA로 가산성 백색가우시안 잡음 발생기와 비터비 복호기를 구현하여 실시간으로 얻은 BER특성결과를 보여준다. 그림 13에서 오른쪽 곡선은 에러 정정 부호화기를 쓰지 않은

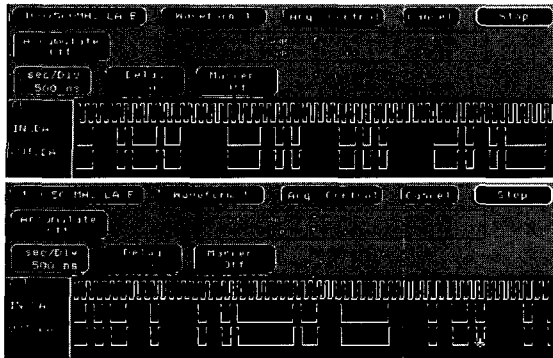


그림 12. Logic Analyzer를 이용한 Viterbi decoder 출력 확인
 Fig. 12. Verification of the Viterbi decoder output using Logic Analyzer.

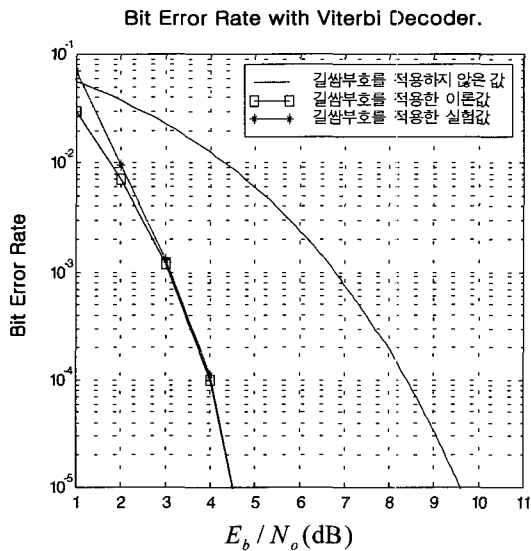


그림 13. 비터비 디코더의 비트오율
 Fig. 13. Bit error rate of Viterbi decoder.

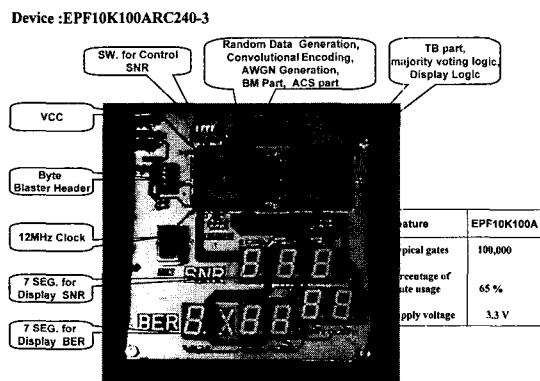


그림 14. 비터비 디코더 시험보드
 Fig. 14. Implemented Viterbi decoder test board.

BPSK의 에러율을 나타내며 왼쪽의 곡선은 기존의 구속장이 7, 부호화율이 1/2, 연성판정의 경우에 대한 비터비 복호기의 이론치 에러율을 나타낸다. 가운데 곡선이 구현된 비터비 복호기의 실험치의 에러율을 나타내며 이론치와 거의 일치하는 성능을 얻을 수 있었다.

V. 결론

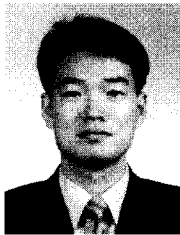
본 논문에서는 IEEE 802.11a에 의해 규정되어진 데이터율 12Mbps, 부호화율 1/2, 구속장이 7인 무선 LAN용 비터비 디코더의 전달함수를 구하여 가산성 백색 가우시안 잡음 환경하에서 성능분석을 하고, 하드웨어 구현을 통해 검증하였다. 전달함수를 구함에 있어서 Cramer법칙을 이용하여 구속장에 따른 전달함수를 구하였으며, 각 구속장 별 첫 번째 사건에서의 에러 확률과 비트 에러 확률을 구하였다. 구현된 비터비 복호기에서는 12Mbps의 고속 데이터를 처리하기 위해 32조의 규칙적인 구조를 갖는 병렬구조를 사용하였으며 4비트 연성판정을 위해 입력 심볼을 16단계로 양자화하였으며, 역 추적을 위한 방식으로 메모리를 사용하는 대신 레지스터 교환방식을 사용함으로써 다수결 결정이 가능한 구조로 구현을 하였다. 가산성 백색 가우시안 잡음 환경에서 실시간 하드웨어 모의실험을 위해 가산성 백색 가우시안 잡음 생성블록을 추가하였고, 두 개의 FPGA 칩을 사용하여 비터비 복호기를 구현하여 실시간 검증한 결과 이론치와 매우 흡사한 결과를 얻을 수 있었다.

참고 문헌

- [1] John G. Proakis "Digital Communication" McGraw-Hill, Inc. 1995.
- [2] Jhong Sam Lee, Leonard E. Miller "CDMA Systems Engineering HandBook" Artech House Publishers. 1998.
- [3] Rolf Johannesson, Kamil Sh. Zigangirov "Fundamentals of Convolutional Coding" IEEE Press, 1999.
- [4] Gennady Feygin and P.G. Gulak "Architectural Tradeoffs for Survivor Sequence Memory Management in Viterbi Decoders," IEEE Trans. Commun., vol. 41, No.3, March 1993.

- [5] Emmanuel Boutillon, Nicolas Demassieux. "High Speed Low Power Architecture For Memory Management in a Viterbi Decoder," Proc. IEEE, Int. Symposium of Circuit and Systems, Vol. 4 1996
- [6] "Wireless LAN Medium Access Control(MAC) and Physical Layer (PHY) specifications : High Speed Physical Layer in the 5 GHz Band", IEEE Standard Department. 1999.
- [7] 송상섭의 4인, "CDMA용 비터비 복호기의 최적 구조 제시 및 FPGA 구현에 관한 연구," ETRI 보고서. 1995
- [8] 임명섭의 2인, "무선 LAN용 OFDM 모델 라이브러리 개발 및 FPGA 구현," ETRI 보고서. 1999
- [9] Bernard Sklar, "Digital Communications Fundamentals and Applications" Prentice-Hall International, Inc. 1988.
- [10] 조원경의 3인, "메모리 최적화를 위한 Viterbi 디코더의 설계" 대한 전자공학회 하계종합학술대회 논문집 제21권 제1호 pp.285-288. 1998
- [11] Alberto Leon-Garcia, "Probability and Random Processes for Electrical Engineering" Addison Wiley, 1994.

저 자 소 개



全 光 鎬(正會員)

2000년 2월 : 원광대학교 전자공학과(학사). 2002년 2월 : 전북대학교 대학원 정보통신학과(석사). 관심분야 : 고속무선 LAN 모델, HomePNA 2.0 모델개발



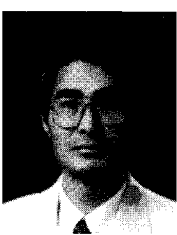
丁 海 元(正會員)

1980년 2월 : 한국항공대학교 항공통신정보공학과(학사). 1982년 2월 : 한국항공대학교 항공전자공학과(석사). 1999년 2월 : 한국항공대학교 항공통신정보공학과(박사). 1982년 3월 - 현재 : ETRI 네트워크기술연구소 라우터기술연구부 기가접속팀장, 책임연구원. 관심분야 : 무선 LAN, 홈 네트워크, 기가비트이더넷



崔 楹 皓(正會員)

1998년 2월 : 전북대학교 자원공학과(학사). 2000년 8월 : 전북대학교 대학원 정보통신공학과(석사). 2000년 8월 - 현재 : ETRI 네트워크기술연구소 라우터기술연구부 기가접속팀, 연구원. 관심분야 : 고속무선 LAN 모델, 에러제어, 기가비트 이더넷



林 明 燮(正會員)

1980년 2월 : 연세대학교 전자공학과(학사). 1982년 2월 : 연세대학교 전자공학과(석사). 1990년 2월 : 연세대학교 전자공학과(박사). 1984년 1월 - 1985년 9월 : 대우통신 종합연구소 근무. 1985년 9월 - 1996년 10월 : 한국전자통신연구원 이동통신기술연구단 신호처리연구실장. 1996년 10월 - 현재 : 전북대학교 전자정보공학부 부교수. 관심분야 : Advanced CDMA Modem 기술 개발(OFDM, MC-CDMA), Cellular System Engineering, 통신신호처리 기술개발, HomePNA 기술개발