

論文2002-39TE-1-5

## 박막 접합 형성을 위한 열처리 방법에 관한 연구

## (A Study on the Annealing Methods for the Formation of Shallow Junctions)

韓明錫\*, 金在英\*\*, 李忠根\*\*, 洪信男\*\*

(Myoung-Seok Han, Jae-Young Kim, Chung-Keun Lee, and Shin-Nam Hong)

## 요약

낮은 에너지의 보론 이온을 선비정질화된 실리콘 기판과 단결정 기판에 이온 주입하여 0.2 $\mu$ m 정도의 접합 깊이를 갖는 박막의 p<sup>+</sup>-n 접합을 형성하였다. 이온주입에 의한 결정결함의 제거 및 주입된 보론 이온의 활성화를 위해 급속 열처리를 이용하였으며, BPSG(boro-phosphosilicate glass)를 흐르도록 하기 위해 노 열처리를 도입하였다. 선비정질화 이온주입은 45keV, 3 $\times$ 10<sup>14</sup>cm<sup>-2</sup> Ge 이온을 사용하였으며, p형 불순물로는 BF<sub>2</sub> 이온을 20keV, 2 $\times$ 10<sup>15</sup>cm<sup>-2</sup>로 이온주입 하였다. 급속 열처리와 노 열처리 조건은 각각 1000 $^{\circ}$ C/10초와 850 $^{\circ}$ C/40분이었다. 형성된 접합의 접합깊이는 SIMS와 ASR로 측정하였으며, 4-point probe로 면저항을 측정하였다. 또한 전기적인 특성은 다이오드에 역방향 전압을 인가하여 측정된 누설전류로 분석하였다. 측정 결과를 살펴보면, 급속 열처리만을 수행하여도 양호한 접합 특성을 나타내나, 급속 열처리와 노 열처리를 함께 고려해야 할 경우에는 노 열처리 후에 급속 열처리를 수행하는 공정이 급속 열처리 후에 노 열처리를 수행하는 경우보다 더 우수한 박막 접합 특성을 나타내었다.

## Abstract

Low energy boron ions were implanted into the preamorphized and crystalline silicon substrates to form 0.2 $\mu$ m p<sup>+</sup>-n junctions. The rapid thermal annealing(RTA) was used to annihilate the crystal defects due to implantation and to activate the implanted boron ions, and the furnace annealing was employed to reflow the BPSG(boro-phosphosilicate glass). The implantation conditions for Ge preamorphization were the energy of 45keV and the dose of 3 $\times$ 10<sup>14</sup>cm<sup>-2</sup>. BF<sub>2</sub> ions employed as a p-type dopant were implanted with the energy of 20keV and the dose of 2 $\times$ 10<sup>15</sup>cm<sup>-2</sup>. The thermal conditions of RTA and furnace annealing were 1000 $^{\circ}$ C/10sec and 850 $^{\circ}$ C/40min, respectively. The junction depths were measured by SIMS and ASR techniques, and the 4-point probe was used to measure the sheet resistances. The electrical characteristics were analyzed via the leakage currents of the fabricated diodes. The single thermal processing with RTA produced shallow junctions of good qualities, and the thermal treatment sequence of furnace anneal and RTA yielded better junction characteristics than that of RTA and furnace anneal.

\* 正會員, 大川大學 컴퓨터電子電氣學部

(Division of Computer/Electronic/Electric Engineering,  
DaeCheon College)

(School of Electronics, Telecommunication and Computer Engineering, Hankuk Aviation University)

\*\* 正會員, 韓國航空大學校 電子,情報通信,컴퓨터工學部

接受日字:2002年2月15日, 수정완료일:2002年3月11日

I. 서론

차세대급의 휘발성 메모리나 비휘발성 메모리 제조에 있어서 소자 성능에 대한 손실 없이 크기를 감소시키기 위한 공정 기술 개발이 요구되고 있다. 실제 공정에 있어 반도체 소자의 크기를 줄이기 위해서는 공정간에 서로 보완적인 관계를 통한 최적화 공정 개발이 필요하게 된다. 특히 채널 길이 감소에 따른 수직 크기를 축소시키기 위한 박막 접합(shallow junction) 형성 공정은 공정 중에 thermal budget과 관계하여 중요한 요소로 대두되고 있다. 이러한 MOSFET에서 채널 길이를 감소시키면 채널 길이와 반비례하여 드레인 전압에 의한 수평 전계의 크기가 커져 문턱전압 이하의 전류가 드레인 전압에 따라 많은 영향을 받게 되고, 수평 전계가 증가함에 따라 드레인 포화 전류가 감소하여 전달전도도(transconductance)가 줄어드는 단채널(short channel effect)효과가 발생하게 된다. 따라서 채널 길이 감소에 의한 단채널 효과를 감소시키기 위해 수직적인 영역의 축소를 위한 공정개발이 요구된다. 박막접합 형성을 위해서는 GILD(gas immersion laser doping)방법, 불순물 source로 부터 확산시키는 방법, 이온주입 방법 등 여러 가지 방법이 있으나<sup>[1]</sup>, 도핑의 균일성과 제어성 그리고 재현성이 우수한 이온주입 방법이 주로 사용되고 있다.

P<sup>+</sup>-n 접합을 형성하기 위해 사용되는 보론(boron) 이온은 원자 질량이 작아 이온 주입 시 채널링(channeling) 현상이 발생하기 쉽고, 확산 계수가 커서 열처리 시 확산이 많이 일어나기 때문에 pmos는 nmos와 다르게 소오스와 드레인의 박막접합 형성이 어렵다. 이온 주입 시 발생하는 이러한 채널링 현상을 감소시키고자 원자량이 큰 F, As, Ge, Si 등으로 선비정질화(preamorphization)시킨 후 불순물 이온을 주입시키는 방법이 연구되었다<sup>[2]</sup>. As 이온을 가지고 선비정질화하면 접합은 얇게(shallow) 형성할 수 있으나, 불순물의 활성화 정도를 나타내는 면저항의 값이 너무 크게 나타나는 단점<sup>[3]</sup>이 있으며, Si 이온을 이용한 선비정질화 방법은 역방향으로 전압을 인가할 때 다이오드 누설 전류가 크게 되는 단점을 가지고 있다<sup>[4]</sup>.

따라서 본 논문에서는 원자량이 큰 Ge 이온으로 기판을 선비정질화한 기판과 선비정질화하지 않은 기판에 p형 불순물인 BF<sub>2</sub> 이온을 주입하여 p<sup>+</sup>-n 박막접합

을 형성하였다. 또한 불순물 활성화 및 결점 제거를 위한 열처리로는 RTA(rapid thermal annealing) 공정 외에 thermal budget을 위해 현재 CMOS 공정에서 일반적으로 이용되는 BPSG를 흐르게 하기 위한 FA(furnace annealing)공정을 함께 적용하여<sup>[5-6]</sup> 열처리를 한 후 접합깊이, 면저항 등 접합 특성과 소자의 전기적인 특성인 누설 전류에 대하여 검토하였다. 보론 이온 분포에 의한 접합 특성은 SIMS(secondary ion mass spectroscopy)와 ASR(auto spreading resistance)로 측정하였으며, 소자의 동작 속도와 관계 있는 면저항은 4-point probe로 측정하였다. 또한 다이오드를 제작하여 소자의 전기적인 특성인 누설 전류를 측정하였다. 이러한 측정 결과를 바탕으로 본 논문에서는 Ge 이온으로 선비정질화 하였을 때와 선비정질화 하지 않은 경우의 박막 접합 특성과 열처리 방법을 제시하였다.

II. 실험 방법

접합 특성 분석 및 전기적인 특성 분석을 위한 시편 제작의 주요 공정 흐름도는 그림 1과 같다. RCA 세척 후 900°C에서 10분간 건식 산화 방법으로 70Å의 screen oxide를 성장시켜 소오스와 드레인 이온주입 공정 이전에 형성되는 LDD(light doping drain)구조를 위한 side wall 공정을 묘사하였다. P<sup>+</sup>-n 박막접합을 형

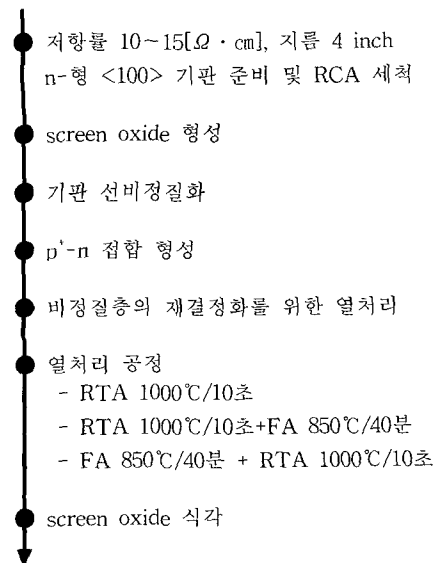


그림 1. 시편 제작의 주요 공정 흐름도  
Fig. 1. The primary process flow for the sample fabrication.

성하기 위해 p형 불순물을 이온주입 하기 이전에 Ge 이온을 45keV의 에너지,  $3 \times 10^{14} \text{cm}^{-2}$ 의 dose로 주입하여 선비정질화 하였으며, p형 불순물 이온으로는 실제 보론 주입 에너지를 약 22% 줄일 수 있는 BF<sub>2</sub> 이온을 20keV,  $2 \times 10^{15} \text{cm}^{-2}$ 로 선비정질화한 기판과 선비정질화 하지 않은 기판에 이온주입 하였다. 비정질층의 재결정화를 위해 노(furnace)에서 600°C, 20분간 열처리를 수행하였다. 이후 고온 열처리는 RTA만을 수행한 것과 RTA와 함께 BPSG를 흐르게 하기 위한 공정인 FA를 조합하여 수행하였으며, 각각의 열처리 온도와 시간은 RTA인 경우 1000°C/10초, FA는 850°C/40분간 수행하였다. 또한 누설 전류를 측정하기 위해서 500 $\mu\text{m} \times 500\mu\text{m}$ 의 크기를 갖는 다이오드를 제작하였다.

### III. 실험 결과 분석

보론 이온에 대한 전기적으로 활성화된 분포는 SSM 2000장비를 가지고 ASR로 측정하여 그림 2에 나타나 있는데, 이때 측정 조건은 sine bevel angle이 0.001763도, contact radius 1.7 $\mu\text{m}$ , probe spacing 29.11 $\mu\text{m}$ 이다.

ASR에 의한 접합깊이는 설정은 1017[cm<sup>-3</sup>]의 기판 농도와 전기적으로 활성화된 보론 분포가 만나는 점으로 하였는데, 그림 2를 보면 RTA로만 열처리를 수행한 경우에 가장 얇은 접합을 형성할 수 있었고, BPSG flow를 고려한 열처리의 경우에 있어서는 RTA후 FA를 수행하는 경우보다는 FA후에 RTA를 수행하는 경우에 얇은 접합이 형성되었다.

보론 이온에 대한 화학적 분포는 Cameca IMS 3-f의 SIMS를 이용하여 측정하였고, 이를 그림 3에 나타내었다.

그림 3에서 열처리 이전의 보론 분포를 살펴보면 BF<sub>2</sub> 이온만 주입한 경우에는 약 250Å까지 비정질층이 형성되었으나, 비정질층 내에 보론 이온이 충분히 다 포함되지 않아 채널링 현상이 발생하였다. 반면에 Ge 이온으로 선비정질화하는 경우에는 기판 표면으로부터 약 500Å의 비정질층이 형성되었고, 대부분의 보론 이온이 이곳에 포함되어 채널링 현상이 거의 나타나지 않았다.

SIMS에 의한 접합깊이 설정도 ASR과 마찬가지로 1017[cm<sup>-3</sup>]의 기판 농도와 화학적 보론 분포가 만나는 점으로 하였다. 이에 따른 접합깊이를 이온 주입 조건과 열처리 온도로 구분하여 보면 Ge 이온으로 선비정

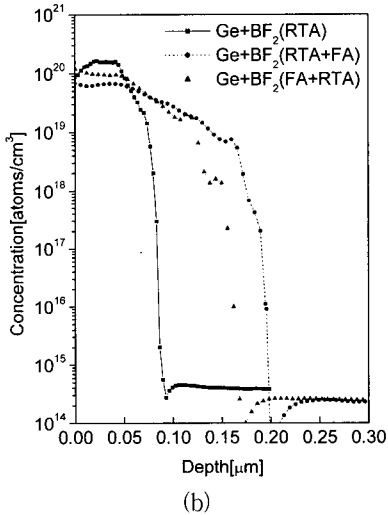
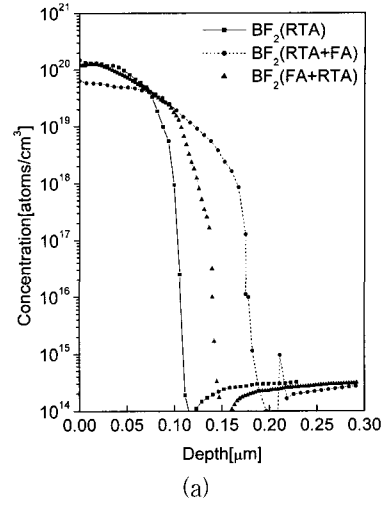
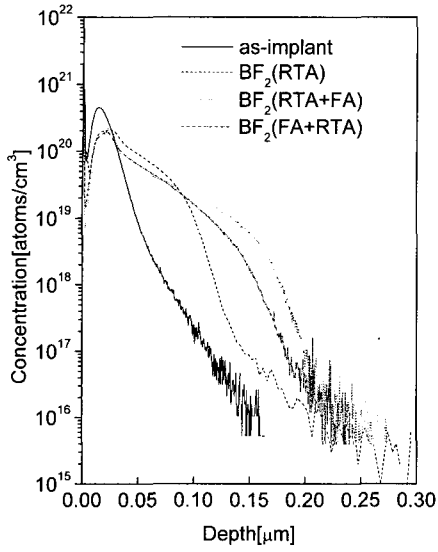


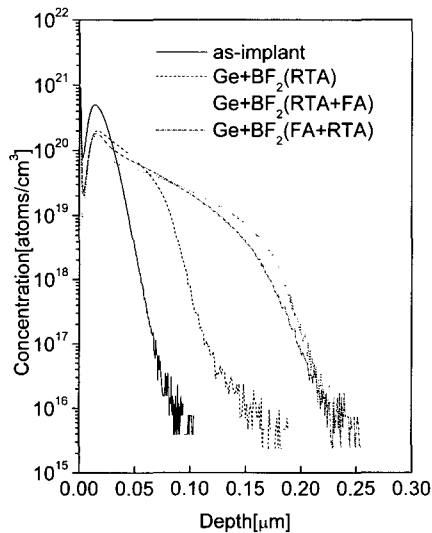
그림 2. 열처리에 따른 ASR에 의한 보론 분포 (a) 선비정질화하지 않고 BF<sub>2</sub> 이온주입 (b) 선비정질화하고 BF<sub>2</sub> 이온주입

Fig. 2. The boron ASR profiles for annealing conditions. (a) BF<sub>2</sub> ion implant without preamorphization. (b) BF<sub>2</sub> ion implant with preamorphization.

질화하고 RTA 만을 수행하였을 때 가장 얇은 접합을 얻을 수 있었다. 또한 ARS과 SIMS에 의한 보론 분포를 보면 FA를 가지고 실제 생산라인의 공정을 묘사하여 BPSG 공정을 고려한 경우 RTA+FA 보다 FA+RTA로 열처리를 수행하는 방법에서 얇은 접합이 형성되었다. 이러한 현상은 결함(defect)과 관련된 확산 모델을 가지고 설명할 수 있다. 큰 원자량을 가지고 이온주입을 할 때 이온과 격자, 목표물 원자의 상호 작용



(a)



(b)

그림 3. 열처리에 따른 SIMS에 의한 보론 분포 (a) 선비정질화하지 않고 BF<sub>2</sub> 이온주입 (b) 선비정질화하고 BF<sub>2</sub> 이온주입

Fig. 3. The boron SIMS profiles for annealing conditions. (a) BF<sub>2</sub> ion implant without preamorphization. (b) BF<sub>2</sub> ion implant with preamorphization.

으로 비정질층과 함께 결합이 발생한다. 실리콘 내에서 보론 이온의 확산은 불순물의 분포뿐만이 아니라 이온 주입을 할 때 발생하는 interstitial과 vacancy의 점결합 (point defects)에 의해 영향을 많이 받게 된다. 그리고 interstitial은 열처리 초기에 매우 빨리 확산하고

vacancy와 결합하여 그 수가 급격히 감소한다. 따라서 점결합에 의해 발생하는 TED(Transient Enhanced Diffusion) 현상은 열처리 온도와 밀접한 관계가 있고<sup>[7]</sup>, 모의 실험 결과 FA로 850°C/40분간 열처리를 한 경우가 RTA 1000°C/10초간 열처리를 한 것보다 결점 제거에 효과적임이 보고되었다<sup>[8-9]</sup>. 따라서 RTA와 FA를 통하여 불순물 활성화와 BPSG를 흐르게 하기 위한 공정을 고려한 경우의 열처리에 있어서는 RTA+FA 보다는 FA+RTA가 접합깊이에 있어서 효율적이다.

주입된 불순물의 활성화된 정도는 4-point probe를 가지고 실제 소자에 있어 직렬 저항에 해당되는 면저항을 측정된 값과 활성화된 보론 이온의 백분율을 계산하여 그림 4에 나타내었다.

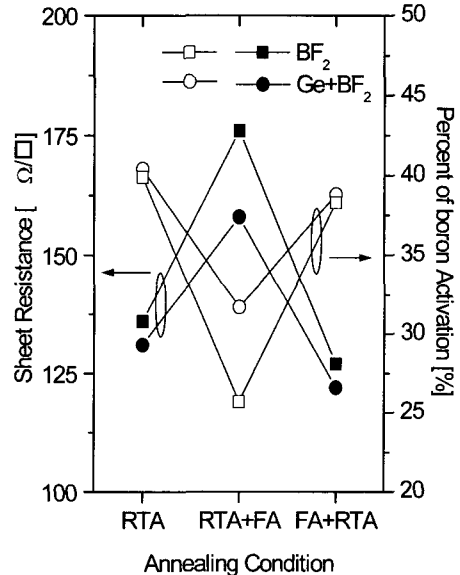


그림 4. 4-point probe로 측정된 면저항 값과 ASR에 의한 보론 활성화 정도

Fig. 4. Sheet resistances measured with a 4-point probe and percent of boron activation by ASR.

활성화된 보론 이온의 백분율은 전기적으로 활성화된 보론 분포에서 보론의 양을 모두 더한 농도를 가지고 주입되어진 보론 dose에 대한 활성화된 양으로 계산하였다. 이 결과 Ge 이온으로 선비정질화한 경우의 활성화된 양이 선비정질화하지 않고 BF<sub>2</sub> 이온만 주입한 경우보다 더 많고, 열처리 방법에 따라서는 RTA, FA+RTA 경우가 RTA+FA 보다 활성화 양이 크다. 따라서 Ge 이온으로 선비정질화를 시킨 후 RTA나

FA+RTA로 열처리를 하면 보론 이온 활성화를 향상시킨다 할 수 있다. 또한 면저항을 측정할 결과 BPSG를 흐르게 하기 위한 공정을 고려하여 FA+RTA의 열처리를 수행한 경우가 RTA만으로 열처리를 수행한 경우보다 낮은 면저항을 나타내었고, Ge 이온으로 선비정질화하는 경우가 모든 열처리 조건에서 BF<sub>2</sub> 이온만을 주입하는 경우보다 낮은 면저항 값으로 측정되어, Ge 이온으로 선비정질화하고 FA+RTA로 열처리를 하면 면저항에서 유리함을 알 수 있다. 즉 보론 활성화 양과 면저항을 고려할 때 Ge 이온으로 선비정질화하고 FA+RTA로 열처리를 하는 경우에 양호한 접합 특성을 나타내고, 나중에 수행되는 열처리에 의해 면저항 값이 결정된다고 할 수 있다.

선비정질화를 위하여 이온주입을 수행하고 열처리를 하면 비정질층과 결정질층 경계 외부에 결정결함이 잔류하게 되는데, 만약 이 결함이 공핍층 안 또는 그 근처에 위치하게 된다면 접합 누설전류를 현저히 증가시키는 요소가 된다. 그림 5에는 다섯 개의 소자를 측정 후 평균값으로 누설 전류를 구한 결과를 나타내었다.

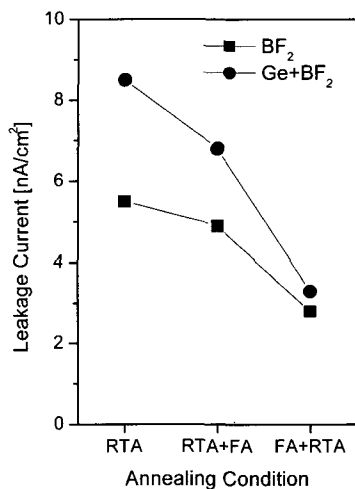


그림 5. 역방향 전압 인가 시 누설 전류 측정 결과  
Fig. 5. Measurement results of leakage current with a reverse bias.

모든 조건에서 5V의 역방향 전압을 인가하였을 때 누설 전류 크기는 10[nA/cm<sup>2</sup>] 이하로 측정되었고, 이 크기는 모두 수용할 만한 범위라 할 수 있다. 열처리 방법에 따른 누설 전류의 크기는 RTA만을 수행한 경우 BF<sub>2</sub>, Ge+BF<sub>2</sub>의 이온주입 조건에 따라 각각 5.5[nA/cm<sup>2</sup>]와 8.5[nA/cm<sup>2</sup>]로 측정되었고, BPSG flow를 고려한 경우

에는 FA+RTA에서 이온주입 조건에 따라 각각 2.8[nA/cm<sup>2</sup>]와 3.3[nA/cm<sup>2</sup>]의 누설전류가 측정되었고, 이 값은 RTA+FA보다 작은 값을 나타내었다. 이를 종합하면 Ge 이온으로 선비정질화한 경우 누설 전류양이 큰 값으로 측정되었지만, FA를 먼저 수행한 후 RTA로 열처리를 하면 Ge 이온으로 선비정질화한 후 BF<sub>2</sub> 이온을 주입한 경우나 BF<sub>2</sub> 이온만을 주입하였을 때의 누설전류 값에는 큰 차이가 없는 결과를 얻었다.

#### IV. 결 론

본 논문에서는 박막 접합을 형성하기 위해 단결정 실리콘 기판에 Ge 이온을 45keV와 3×10<sup>14</sup>cm<sup>-2</sup>로 주입하여 선비정질화하였으며, p형 이온으로는 BF<sub>2</sub> 이온을 20keV, 2×10<sup>15</sup>cm<sup>-2</sup>로 선비정질화한 기판과 선비정질화하지 않은 기판에 이온주입 하였다. 열처리는 RTA만을 수행한 경우와 BPSG 공정을 위해 850°C/40분간 FA를 RTA 이전과 이후에 수행한 경우로 구분하였다.

ASR과 SIMS의 보론 분포에 따르면 RTA만 적용한 열처리의 경우에 가장 얇은 접합을 형성할 수 있었고, FA를 포함하여 수행하는 경우에는 FA+RTA로 열처리를 수행할 때 RTA+FA 보다 접합깊이가 작게 측정되었다. 4-point probe에 의한 면저항 값은 FA+RTA로 열처리한 조건이 RTA, RTA+FA로 열처리한 경우보다 작은 값으로 측정되어 보론 이온 활성화는 Ge 이온으로 선비정질화하는 경우에 우수함을 알 수 있다. 다이오드에 역방향 전압을 인가하여 측정할 누설전류 값은 모든 조건이 수용할 수 있는 작은 값으로 측정되었고, 열처리 방법에 따른 누설전류 값은 RTA > RTA+FA > FA+RTA 순으로 측정이 되어 FA+RTA로 열처리를 하는 것이 유리함을 알 수 있었다.

따라서 RTA만을 가지고 열처리를 하여도 양질의 박막 접합을 형성할 수 있지만, 실제 생산 공정의 thermal budget을 위한 열처리 공정을 고려하여 RTA 공정에 BPSG flow를 위한 FA 공정을 적용하면 FA+RTA가 RTA+FA보다 모든 면에서 양질의 박막 접합이 형성됨을 알 수 있다.

#### 참 고 문 헌

[1] W. Zagodzdon-Wosik, P. B. Grabiec and G. Lux, "Fabrication of Submicron Junctions-

- Proximity Rapid Thermal Diffusion of Phosphorus, Boron and Arsenic”, *IEEE Transactions on Electron Devices.*, vol.41, no.12, pp. 2281~2290, Dec. 1994.
- [2] Daniel F. Downey, Kevin S. Jones, “The Role of Extended Defects on the Formation of Ultra-shallow junctions in Ion Implanted  $^{11}\text{B}^+$ ,  $^{48}\text{BF}_2^+$ ,  $^{75}\text{As}^+$  and  $^{31}\text{P}^+$ ”, *Ion Implantation Technology Proceedings, 1998 International Conference*, vol. 2, pp. 987~901, 1998.
- [3] 한명석, 홍신남, 김형준, “선비정질화를 이용한 shallow p<sup>+</sup>-n 접합 형성에 관한 연구”, *전자공학 회논문집 제28권 A편 제9호*, pp. 68~74, 1991
- [4] C.P.Wu, J.T. McGinn and L.R. Hewitt, “Silicon Preamorphization and Shallow Junction Formation for ULSI Circuits”, *J. Electronic Mat.*, vol. 18, no. 6, pp. 721~730, 1989.
- [5] Jong-Wan Jung, Young-Jong Lee, Jeong-Mo Hwang, Kyung-Ho Lee, “The effect of ILD material and BPSG densification anneal on the device characteristics”, ‘99 ICVC 6th International Conference VLSI and CAD, pp. 473~475, 1999.
- [6] Kil-Ho Lee, Jae-Geun Oh, Byung-Jin Cho, Jong-Choul Kim, “Effect of additional low temperature RTA on ultra-shallow p<sup>+</sup>-n junction formation”, *Ion Implantation Technology. Proceedings of the 11th International Conference*, pp. 634~637, 1997.
- [7] B. Baccus, E. Vandenbossche, and M. Lannoo, “Modeling high concentration boron diffusion under amorphization conditions,” *J. Appl. Phys.*, vol. 77, pp. 5630~5641, 1995.
- [8] R. B. Fair and R. Subrahmanyam, “PREDIC - A new design tool for shallow junction processes,” *Proc. SPIE*, vol. 530, pp. 88~96, 1985.
- [9] Shin-Nam Hong, “0.2 $\mu\text{m}$  p<sup>+</sup>-n Junction Characteristics Dependent on Implantation and annealing Process”, *IEEE Electron Device. lett.*, vol. 20, no. 2, pp. 83~85, Feb. 1999.

## 저 자 소 개



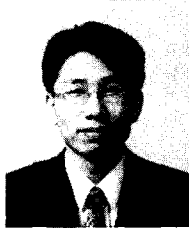
韓明錫(正會員)

1989년 2월 : 한국항공대학교 항공전자공학과 졸업(학사). 1991년 8월 : 한국항공대학교 대학원 전자공학과 졸업(석사). 1991년 7월~1994년 2월 : 현대전자 반도체 연구소 1995년~현재 : 대전대학 컴퓨터전자전기학부 부교수. <주관심분야 : 극초박막 접합, SOI 소자 개발 및 modeling 등임>



李忠根(正會員)

1996년 2월 : 한국항공대학교 항공전자공학과(학사). 1998년 2월 : 한국항공대학교 대학원 전자공학과(석사). 1998년~현재 : 한국항공대학교 대학원 전자공학과 박사과정. <주관심분야 : 고유전체 박막 및 전극물질 개발, device modeling 등임>



金在英(正會員)

1996년 2월 : 한국항공대학교 항공전자공학과(학사). 1998년 2월 : 한국항공대학교 대학원 전자공학과(석사). 1998년~현재 : 한국항공대학교 대학원 전자공학과 박사과정. <주관심분야 : 반도체 공정 시뮬레이션, 극초박막 접합, 전력 소자 등임>



洪信男(正會員)

1979년 2월 : 한양대학교 전자공학과(학사). 1984년 12월 : North Carolina State University 전기 및 컴퓨터공학과(석사). 1989년 8월 : North Carolina State University 전기 및 컴퓨터공학과(박사). 1989년 9월~현재 : 한국항공대학교 항공전자공학과 교수. <주관심분야 : 반도체 소자 및 공정, 고유전체 박막 및 전극물질 개발 등임>