

박 사 학 위 논 문 초 록

성 명 : 이 재 훈 (Lee, Jae Hoon)

李 宰 勳

생년월일 : 1964년 6월 11일

학위취득학교명 : 성균관대학교 전기전자과

취득년월 : 2001년 8월 25일

지도교수 : 민 형 복

학위논문제목 :

국문 : 효율적인 Test Methodology에 관한 연구

영문 : A Study on efficient test methodology

논문 요약 :

디지털 회로를 테스트하기 위한 방법으로 여러 가지가 시도되고 있으나 이를 전체적인 관점에서 테스트 기법으로 제시하는 연구는 많지 않은 실정이다. 본 논문에서는 이러한 테스트 문제를 효율적으로 수행할 수 있는 테스트 기법을 제안하였다. 제안된 기법은 스캔 삽입 후 스캔 법칙을 검사하여 테스트 생성 시 발생하는 문제점을 미리 검출하여 테스트 생성 시 발생하는 문제점을 줄이기 위한 스캔 설계 법칙 검사를 실시한다. 다음 과정으로 테스트 생성 시 비동기 순차회로에서도 높은 고장 검출률을 가진 테스트 생성기를 제안하였다. 또한 칩 제조 후 테스트를 실시하여 불량 발생된 칩에 대해 원인을 밝혀내는 고장 진단을 통해 고장의 원인 분석을 가능하게 하였다. 따라서 본 논문에서 제안된 테스트 기법들을 통하여 테스트 완성도를 높이고 비용을 절감할 수 있을 것으로 기대되며 효율적인 테스트 기법 수행을 위하여 세 가지 테스트 방법을 제안하고 다음의 결과를 얻었다.

첫째로 설계 초기단계에서 스캔기법을 적용함에 있어 스캔법칙을 위반하였을 경우 다시 설계하거나 설계를 변경해야 하는 문제를 줄이기 위하여 스캔 설계 법칙 검사를 수행하며 자동화한다. 스캔 설계 법칙은 기본 법칙, 스캔 기본 법칙, Muxed 스캔, Clocked 스캔과 LSSD에 대한 설계 법칙이며 각각에 대한 스캔 설계 법칙을 정립하고 이를 검사하는 스캔 설계 법칙 검사기를 구현하였다.

두 번째로는 비동기 순차회로의 테스트 생성에 대한 문제이다. 일반적으로 비동기 순차회로의 테스트 생성 문제는 매우 어렵다고 알려져 있다. 문제를 쉽게 하기 위해 대부분의 경우 비동기 순차회로를 동기 순차회로로 해석하여 테스트를 생성한다. 테스트 패턴을 생성하는 동안 피드백 루프를 절단하고 플립플롭이 있는 회로로 해석한다. 이 경우 구조적인 차이로 생성된 테스트 패턴이 고장을 검출하지 못하는 경우도 발생된다. 이러한 문제를 해결하기 위한 비동기 순차회로의 테스트 생성을 제안하였다. 특징으로는 피드백 루프 특성을 고려한 비동기 순차회로의 테스트 패턴 생성을 하며 생성된 테스트 패턴은 기본 모드에서 동작하고 임계 레이스와 순환 문제를 최소화하였다.

세 번째로는 칩 제조 후 고장 칩인 경우 고장의 원인을 밝히기 위한 고장진단 검사신호 생성을 테스트 기법에 적용하였다. 고장진단을 위하여 생성된 진단 테스트 패턴을 생성 한 후 진단이 되지 않은 고장들을 구분하는 방법을 제시하였다. 결과로는 필요한 진단 검사 패턴수가 DIATEST보다 월등히 적음을 보였고 높은(99%) 고장 진단률을 나타내었다.